

BACHELORTHESIS

Johannes Voß

Entwicklung einer Phasenregelschleife für das Multibunch Feedback System eines Synchrotrons

FAKULTÄT TECHNIK UND INFORMATIK

Department Informatik

Faculty of Computer Science and Engineering

Department Computer Science

Johannes Voß

**Entwicklung einer Phasenregelschleife für das
Multibunch Feedback System eines Synchrotrons**

Bachelorthesis eingereicht im Rahmen der Bachelorprüfung
Im Studiengang Informations- und Elektrotechnik
Am Department Informations- und Elektrotechnik
Der Fakultät Technik und Informatik
Der Hochschule für Angewandte Wissenschaft Hamburg

Betreuender Prüfer: Prof. Dr. Ralf Wendel
Zweitgutachter: Prof. Dr. Matthias Kronauge

Abgegeben am 28. Juli 2025

Johannes Voß

Thema der Arbeit

Entwicklung einer Phasenregelschleife für das Multibunch Feedback System eines Synchrotrons

Stichworte

Phasenregelschleife, Simulation, Messung, Multibunch Feedback System, Synchrotron

Kurzzusammenfassung

Für die Entwicklung des neuen Synchrotrons PETRA IV beim Forschungsinstitut DESY in Hamburg Bahrenfeld soll eine 10 GHz Phasenregelschleife mit möglichst wenig Phasenrauschen entwickelt werden. Dafür werden die Schaltungsparameter mit einer Simulationssoftware ermittelt, ein Prototyp wird gebaut und es werden Messungen aufgenommen, die zur Auswertung mit den Simulationsergebnissen verglichen werden.

Johannes Voß

Title of Thesis

Development of a phase locked loop for the multi bunch feedback system of a synchrotron

Keywords

Phase locked loop, simulation, measurement, multi bunch feedback system, synchrotron

Abstract

During the development phase of PETRA IV, the new synchrotron of the research facility DESY in Hamburg Bahrenfeld, a 10 GHz phase locked loop is to be developed with as little phase noise as possible. To achieve this, simulation software is used to determine all necessary parameters for a prototype to be built and tested. The measurement results are then compared to the simulation for a final evaluation.

Inhaltsverzeichnis

Inhaltsverzeichnis.....	IV
Abbildungsverzeichnis.....	VI
Abkürzungsverzeichnis.....	VIII
Symbolverzeichnis.....	IX
1 Einleitung.....	1
1.1 Motivation.....	1
1.2 Hintergrund.....	2
1.2.1 DESY und PETRA IV.....	2
1.2.2 Timing.....	3
1.2.3 Multibunch Feedback System.....	4
2 Mathematische Grundlagen.....	5
2.1 PLL-Grundlagen.....	5
2.2 Übertragungsfunktionen der Komponenten.....	6
2.2.1 Phasendetektor.....	6
2.2.2 VCO.....	6
2.2.3 Schleifenfilter.....	7
2.2.4 Frequenzteiler.....	8
2.3 Phasenrauschen und Jitter.....	8
3 Aufbau der Phasenregelschleife.....	10
3.1 Anforderungen an die PLL.....	10
3.2 Bauteilauswahl.....	11
3.2.1 Vorgabe des VCOs.....	11
3.2.2 Vorgabe der Referenz.....	14

3.2.3	Auswahl des Phasendetektors	15
3.2.4	Auswahl der Frequenzteiler	17
3.2.5	Auswahl des Schleifenfilters	19
3.3	Gesamtübertragungsfunktion	22
4	Simulation	26
4.1	Simulationsaufbau	26
4.1.1	Auswahl der Simulationssoftware	26
4.1.2	Unterschiede zur realen PLL	26
4.2	Simulationsdurchführung	27
4.2.1	Modellierung des VCOs	27
4.2.2	Modellierung der Referenz	28
4.2.3	Modellierung des Frequenzteilers	29
4.2.4	Modellierung der PLL	30
4.3	Simulationsergebnis	35
5	Messungen	42
5.1	Messaufbau	42
5.1.1	Aufbau der realen PLL	42
5.1.2	Messgeräte und Spannungsversorgung	43
5.2	Messergebnisse	45
5.2.1	Erste Messung – HMP2020 Netzteil	45
5.2.2	Zweite Messung – AGILENT Netzteile	46
6	Auswertung	49
7	Fazit	51
7.1	Zusammenfassung	51
7.2	Ausblick	52
	Literatur- und Quellenverzeichnis	53
	Erklärung zur selbstständigen Bearbeitung einer Abschlussarbeit	55

Abbildungsverzeichnis

Abbildung 1: DESY-Gelände mit hervorgehobenen Teilchenbeschleunigern [1]	2
Abbildung 2: Darstellung der Strahlausdehnung im Vergleich Elektron/ PETRA III/ PETRA IV [2].....	3
Abbildung 3: Schematische Darstellung von PETRA IV [3]	4
Abbildung 4: Darstellung einer regulären PLL	5
Abbildung 5: Darstellung einer regulären PLL, reduziert auf die Betrachtung der Phase	5
Abbildung 6: Allgemeine Darstellung einer Phasenrauschkurve [6]	8
Abbildung 7: Augendiagramm mit eingezeichnetem Jitter [7]	9
Abbildung 8: Grundstruktur der PLL aus den Anforderungen.....	11
Abbildung 9: Gehäuse des SDRO1000-8 [8]	12
Abbildung 10: Phasenrauschkurve des SDRO1000-8 [8]	12
Abbildung 11: Aussteuerkurve des SDRO in Abhängigkeit von der Stimmspannung	13
Abbildung 12: Phasenrauschkurven des SMA100B-B711 für 10 MHz, 100 MHz & 1 GHz [9].....	14
Abbildung 13: Fehlerspannungs- und Phasenrauschverhalten des HMC440 [10]	15
Abbildung 14: Ausgangslogik eines Phasendetektor mit Chargepump [11].....	16
Abbildung 15: Phasenrauschkurve des HMC862 [12]	17
Abbildung 16: Phasenrauschkurve des HMC905 für Teilverhältnisse 1 bis 4 [13]	18
Abbildung 17: Schaltplan des Schleifenfilters, erstellt mit Altium	19
Abbildung 18: Übertragungsfunktion des Schleifenfilters bei Variation von R2.....	21
Abbildung 19: Übertragungsfunktion des Schleifenfilters bei Variation von C.....	21
Abbildung 20: Vollständige PLL mit ausgewählten Bauteilen	22
Abbildung 21: Übertragungsfunktion des Geschlossenen Kreises bei Variation von R2	23
Abbildung 22: Übertragungsfunktion des Geschlossenen Kreises bei Variation von C	23
Abbildung 23: Phasenrauschkurven der Referenz und des VCOs	24
Abbildung 24: Modellierung des SDRO1000-8 in ADIsimPLL.....	27
Abbildung 25: Modellierung des SMA100B in ADIsimPLL	28
Abbildung 26: Modellierung des Frequenzteilers HMC862A in ADIsimPLL	29

Abbildung 27: Auswahl der PLL-Struktur	30
Abbildung 28: Auswahl von Ein- und Ausgangsfrequenz	30
Abbildung 29: Auswahl des Frequenzteilers	31
Abbildung 30: Auswahl des Phasendetektors	31
Abbildung 31: Auswahl des Schleifenfilters nach Ordnung und Operationsverstärker	32
Abbildung 32: Auswahl des VCOs	32
Abbildung 33: Auswahl der Referenz	32
Abbildung 34: Auswahl der Anfangswerte	33
Abbildung 35: Oberfläche zur Anpassung des Schleifenfilters	33
Abbildung 36: Schleifenfilteraufbau in ADIsimPLL (Bauteilwerte sind zufällig)	34
Abbildung 37: Übertragungsverhalten der PLL bei Variation von Phasenrand und Bandbreite	35
Abbildung 38: Gesamtphasenrauschen am Ausgang bei Variation von Phasenrand und Bandbreite	37
Abbildung 39: Ergebnis der Jitter Sweep Analyse von ADIsimPLL	38
Abbildung 40: Filterparameter nach der Jitter-Optimierung in ADIsimPLL	39
Abbildung 41: Phasenrauschanalyse der PLL mit Zerlegung in die Beiträge der Einzelkomponenten .	40
Abbildung 42: Analysebericht von ADIsimPLL	41
Abbildung 43: Foto vom Messaufbau der PLL mit EVAL-Boards	42
Abbildung 44: SMA100B (oben) und FSWP Phase Noise Analyzer (unten) von Rohde&Schwarz	43
Abbildung 45: Zwei HMP2020 von Rohde und Schwarz	44
Abbildung 46: Einstellbare Spannungsversorgung E3630A und E3620A von Agilent	44
Abbildung 47: Messaufbau mit HMP2020 Netzteilen	45
Abbildung 48: Phasenrauschmessung mit HMP2020 Netzteil	45
Abbildung 49: Messaufbau mit Agilent E3620A und E3630A Netzteilen	46
Abbildung 50: Phasenrauschmessung mit Agilent Netzteilen für 0 dBm und 10 dBm Eingangssignal ..	47
Abbildung 51: Halte- und Fangbereich	48
Abbildung 52: Gemeinsame Darstellung von Messungen und Simulation	49

Abkürzungsverzeichnis

PLL	Phase Locked Loop
DESY	Deutsches Elektronen-Synchrotron
MSK	Maschine Strahlkontrollen
LLRF	Low Level Radio Frequency
MBFS	Multi Bunch Feedback System
VCO	Voltage Controlled Oscillator
DRO	Dielectric Resonance Oscillator
ADU	Analog-Digital-Umsetzer
DAU	Digital-Analog-Umsetzer
RMS	Root Mean Square
ATCA	Advanced Telecommunications Computing Architecture
μ TCA	Micro Telecommunications Computing Architecture
EMV	Elektro-Magnetische Verträglichkeit
SNR	Signal to Noise Ratio
PCB	Printed Circuit Board

Symbolverzeichnis

Symbol	Bedeutung	Einheit
T_{Bunch}	Periodendauer für einen Umlauf der Bunches	s
Φ	Phase eines Signals	rad
ω	Kreisfrequenz	$\frac{rad}{s}$
K_{VCO}	Proportionalbeiwert des VCOs	$\frac{Hz}{V}$
K_{PD}	Proportionalbeiwert des Phasendetektors	$\frac{V}{rad}$
R	Widerstand	Ω
C	Kapazität	F
τ	RC- Zeitkonstante	s
V_{Tune}	Stellspannung am VCO	V
V_{err}	Fehlerspannung	V
N	Teilverhältnis eines Frequenzteilers	

1 Einleitung

1.1 Motivation

In der Hochfrequenztechnik ist das Signal- zu Rauschverhältnis von zentraler Bedeutung. Dies wird üblicherweise durch hohe Signalamplituden oder die Wahl eines möglichst freien Kanals gewährleistet. Für viele Anwendungen in den Bereichen Funk, RADAR oder verschlüsselte Datenübertragung reicht dies jedoch nicht mehr aus. Die Datenmengen werden größer, während die einst freien Kanäle immer stärker genutzt werden. Für die meisten Kleingeräte ist eine Steigerung der Signalamplitude wegen mangelnder Leistung oder einschränkenden EMV-Vorgaben keine Option, deshalb bleibt nur das Ausweichen in höhere Frequenzbänder, wie die rasche Entwicklung von 5G und 6G Netzen zeigt.

Ein dritter Ansatz zur Signalqualitätsverbesserung, der u.a. in der Fachgruppe MSK am DESY verfolgt wird, ist Präzision. Statt mit der Amplitude in die Höhe oder der Frequenz in die Breite zu gehen, soll mit dem Grundrauschen in die Tiefe gegangen werden.

Das Entwicklungsziel dieser Arbeit ist eine 10 GHz Phasenregelschleife, deren Präzision die Genauigkeit eines Messsystems im Teilchenbeschleuniger PETRA IV bestimmen wird. Da das Frequenzband durch das Messsystem vorgegeben ist und spannungsgesteuerte Oszillatoren keine großen Amplituden generieren können, kann ein gutes SNR nur über den dritten Ansatz durch möglichst geringes Rauschen der Schaltung erreicht werden.

1.2 Hintergrund

1.2.1 DESY und PETRA IV

Das Deutsche Elektronen-Synchrotron wurde 1959 in Hamburg gegründet, wo der erste und namensgebende Teilchenbeschleuniger DESY 1964 in Betrieb genommen wurde. Seit über 60 Jahren wird bei DESY an den Grundsteinen der Materie geforscht. Heute beschäftigt DESY über 3000 Mitarbeiter, die seit der Gründung stetig neue Meilensteine in der Beschleunigertechnologieentwicklung legen.

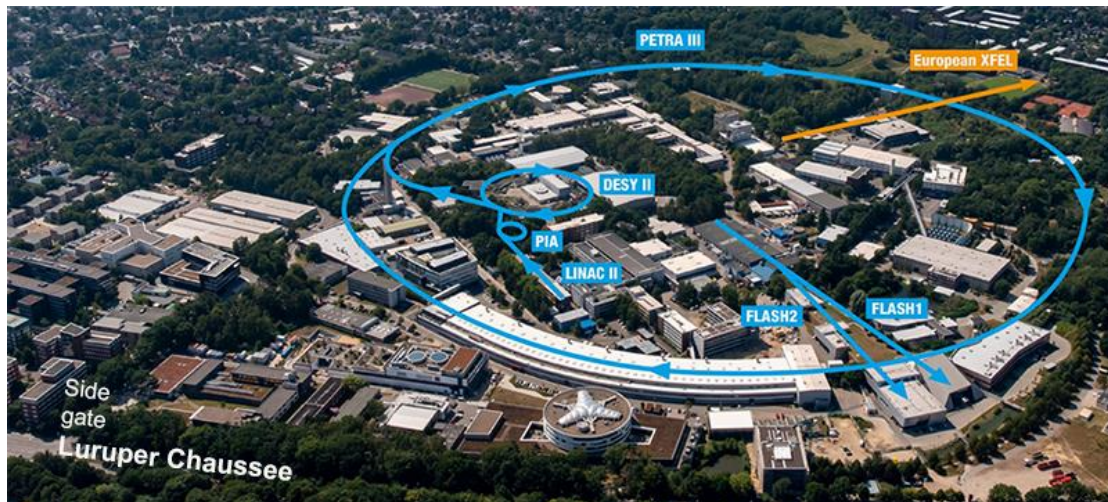


Abbildung 1: DESY-Gelände mit hervorgehobenen Teilchenbeschleunigern [1]

PETRA IV ist ein in der Entwicklung befindliches Synchrotron, das die Nachfolge für DESYs derzeit größtes Synchrotron PETRA III antreten soll. Die Positron-Elektron-Tandem-Ring-Anlage („PETRA“) ging 1978 als damals größtes Synchrotron der Welt für Experimente der Teilchenphysik in Betrieb. Nach einer Zwischenphase als Vorbeschleuniger für den fünfmal größeren Speicherring HERA von 1990 bis 2007 ging PETRA III 2010 wieder als eigenständige Anlage in den Betrieb und ist seitdem als Elektronenspeicherring und Röntgenlichtquelle für 60 Experimentierplätze aktiv.

Trotz vieler Auf- und Umrüstungen stammen 2000 der 2304 Meter noch von der ursprünglichen Anlage von 1978. Wegen der Abstoßung der beschleunigten Elektronen untereinander und der kontinuierlichen Ablenkung auf einer Kreisbahn fächert der Elektronenstrahl auf. Mit dem technischen Stand von PETRA III kann dem nur im horizontalen, aber nicht im vertikalen Querschnitt entgegengewirkt werden. Um dennoch präzises, kohärentes Röntgenlicht an den Experimenten gewährleisten zu können, muss ein Großteil des zu weit aufgefächerten Strahls, und damit der gespeicherten Energie, durch optische Blenden am Ende des Strahlrohrs verworfen werden. Darum kann PETRA III nur einen Bruchteil seines Potentials entfalten.

PETRA IV soll nicht wie zuvor eine weitere Aufrüstung der alten Maschine werden, sondern eine komplett neue Entwicklung. Durch den Einsatz eines transversalen Multibunch Feedback Systems [15] soll die Bündelung und Korrektur des Elektronenstrahls im horizontalen und vertikalen Querschnitt erfolgen, was die Nutzung von bis zu 100% der Strahlenergie für die Experimente ermöglicht. Damit wird die Leuchtdichte („Brillanz“) von PETRA IV bis zu 500-mal höher als die von PETRA III, wie in Abbildung 3 qualitativ dargestellt.

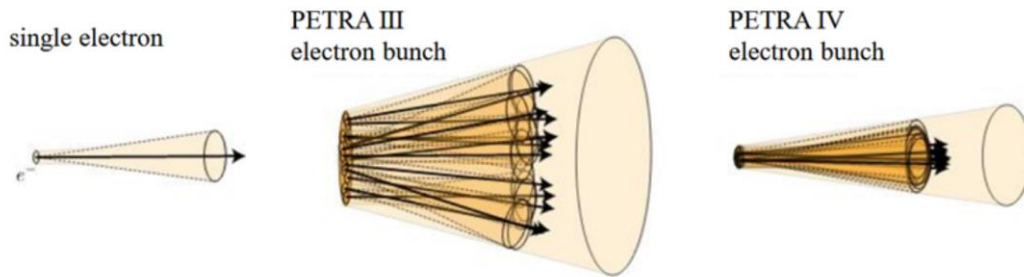


Abbildung 2: Darstellung der Strahlausdehnung im Vergleich Elektron/ PETRA III/ PETRA IV [2]

1.2.2 Timing

Die Eingangsparameter für die zu entwickelnde 10 GHz PLL ergeben sich aus dem Timing System von PETRA IV, welches einen Grundtakt von etwa 500 MHz liefert. Eine Gruppe von zusammen gebündelten Elektronen, die als eine Einheit betrachtet werden, wird als Elektronen-Bunch bezeichnet. Mit annähernd Lichtgeschwindigkeit braucht ein Bunch für eine Umrundung des PETRA Rings mit einem Umfang von 2304 m:

$$T_{Bunch} = \frac{2304 \text{ m}}{3 \cdot 10^8 \frac{\text{m}}{\text{s}}} = 7,680 \mu\text{s} \quad (1)$$

Die Hälfte dieses Wertes wird vom Timing System als die Anzahl der „Buckets“ im Speicherring definiert, in denen sich theoretisch je ein Bunch befinden könnte. So ergibt sich eine gedachte „Perlenkette“ von 3840 Buckets, die sich mit annähernd Lichtgeschwindigkeit im Kreis dreht. Zwischen jedem Bucket liegen 2 ns, aus deren Inversen sich die Frequenz von 500 MHz ergibt.

Das Timing System ist dafür zuständig, diesen Takt mit der tatsächlichen Position der Bunches zu synchronisieren. Für alle anderen Systeme der „RF Section“ (pinke Linie unten in Abbildung 3) inklusive des MBFS bedeutet das, dass mit jedem Taktschlag des Timing Systems gerade der Mittelpunkt eines Buckets die Messstation durchläuft.

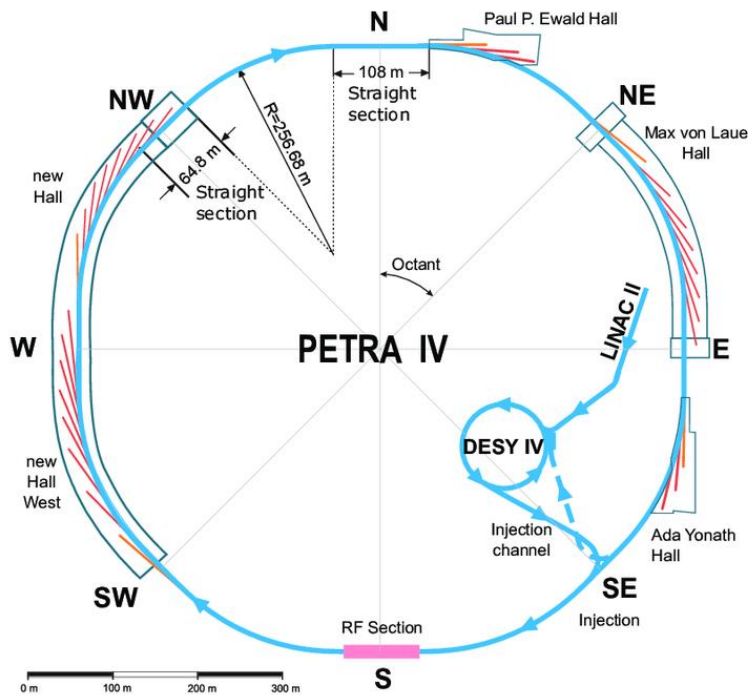


Abbildung 3: Schematische Darstellung von PETRA IV [3]

1.2.3 Multibunch Feedback System

Das Multibunch Feedback System ist für die hohe Präzision des Elektronenstrahls zuständig. Es vermisst den Inhalt des Strahlrohrs im horizontalen und vertikalen Querschnitt und überprüft für jeden Bucket, ob ein Bunch vorliegt und bestimmt dessen Position und Ausdehnung. Für jeden Messvorgang hat das System lediglich 2 ns Zeit, bevor schon der nächste Bucket kommt, in dem sich ein Bunch befinden könnte. Danach hat das System $7,680 \mu\text{s}$ Zeit, um die Messdaten zu analysieren und ggf. nötige Ansteuersignale für die „Stripline Kicker“ zu berechnen, die die Strahlkorrektur ausführen.

Die PLL, die in dieser Arbeit entwickelt wird, soll dem MBFS ein 5 GHz und ein 10 GHz Signal zur Verfügung stellen, welche mit dem Grundtakt des Timingsystems synchronisiert sein sollen. Das 5 GHz Signal dient der 10-Fachen Überabtastung der Bunch-Messung mit ADUs, während das 10 GHz Signal den DAUs als Referenz dient, die die Ansteuersignale an die Stripline Kicker ausgeben.

Dabei gilt, je geringer das Phasenrauschen bzw. der Jitter am Ausgang der PLL ist, desto genauer kann das MBFS messen und nachregeln und desto höher ist die theoretisch mögliche Ausbeute der Strahlenergie an den Experimenten.

2 Mathematische Grundlagen

2.1 PLL-Grundlagen

Phasenregelschleifen werden allgemein wie alle Regelkreise mit einem Eingang, einem Regler, einer Regelstrecke und einem rückgekoppelten Ausgang aufgebaut. Bei einer PLL kommen je nach Aufbau noch Frequenzteiler vor dem Eingang oder im Rückkopplungsweig hinzu, um Ein- und Ausgangsfrequenz vor dem Phasendetektor auf den kleinsten gemeinsamen Nenner zu bringen.

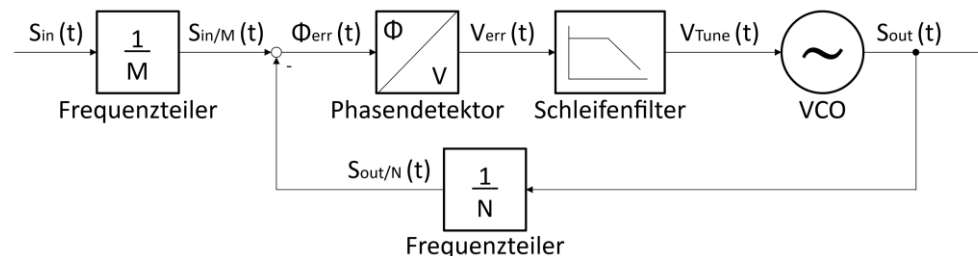


Abbildung 4: Darstellung einer regulären PLL

Die tatsächlichen Signale haben eine Amplitude, Frequenz und Phase mit:

$$S(t) = A \cdot \sin(\omega \cdot t + \varphi) \quad (2)$$

Da der Phasendetektor die Amplitude und Frequenz von Eingangs- und Ausgangssignal jedoch nicht berücksichtigt, wird bei der Auslegung des Regelkreises vereinfacht nur die Phase im Laplace-Raum betrachtet:

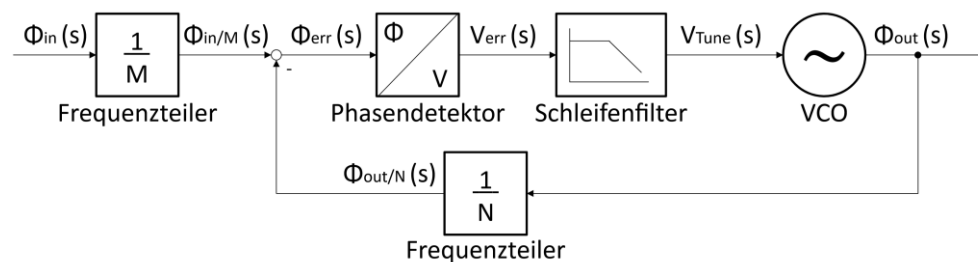


Abbildung 5: Darstellung einer regulären PLL, reduziert auf die Betrachtung der Phase

2.2 Übertragungsfunktionen der Komponenten

2.2.1 Phasendetektor

Der Phasendetektor kann analog z.B. mit Mischern, oder digital z.B. mit XOR- Gattern realisiert werden. Unabhängig von der Bauweise, wird immer die Differenz der Phasen von Ausgang und Referenz mit einem Faktor K_{PD} multipliziert.

$$G_{PD}(s) = \frac{V_{err}(s)}{\Phi_{err}(s)} = K_{PD} \quad (3)$$

2.2.2 VCO

Der VCO ist ein Oszillator mit fester Grundfrequenz ω_g , die mit einer Spannung V_{tune} und dem Faktor K_{vco} verstimmt werden kann, wobei $[K_{vco}] = \frac{Hz}{V}$ gilt.

Die Ausgangsfrequenz des VCOs wird mit

$$\omega_{out}(t) = \omega_g + K_{vco} \cdot V_{tune}(t) \quad (4)$$

bestimmt. Die Phase am Ausgang ergibt sich durch Integration über die Frequenz:

$$\Phi_{out}(t) = \int_0^t \omega_{out}(\tau) d\tau \quad (5)$$

$$\Phi_{out}(t) = \omega_g \cdot t + K_{vco} \cdot \int_0^t V_{tune}(\tau) d\tau \quad (6)$$

Die Grundfrequenz ω_g steuert einen über der Zeit ein vom Regler unabhängiger Phasenanteil bei. Der hintere Teil beschreibt die Phasenänderung in Abhängigkeit von der Stellspannung V_{tune} , die für das Regelverhalten der PLL relevant ist. So gilt für die Übertragungsfunktion des VCOs:

$$\Delta\Phi_{out}(t) = K_{vco} \cdot \int_0^t \Delta V_{tune}(\tau) d\tau \quad (7)$$

$$\frac{\Delta\Phi_{out}(s)}{\Delta V_{tune}(s)} = G_{vco}(s) = \frac{K_{vco}}{s} \quad (8)$$

Für die Phase ist der VCO ein Integrator mit Verstärkungsfaktor K_{vco} [4].

2.2.3 Schleifenfilter

Das Schleifenfilter bildet zusammen mit dem Phasendetektor den Regler, während der VCO und die ggf. verwendeten Frequenzteiler die Regelstrecke stellen. Grundsätzlich muss es Tiefpassverhalten aufweisen, um den Einfluss des Phasendetektors auf den VCO so zu begrenzen, dass die Anforderungen an die PLL erfüllt werden. Je schmalbandiger das Filter ist, desto freier kann der VCO schwingen. Je breitbandiger es ist, desto mehr Kontrolle hat der Phasendetektor über die PLL. Das gilt sowohl für erwünschte Eingangssignale als auch für Störungen von außen, Phasenrauschen aus der Schaltung und die harmonischen Frequenzen, die einige Bauteile je nach Funktionsweise abgeben können.

Wird beispielsweise ein Mischer als analoger Phasendetektor verwendet, muss das Schleifenfilter die Stellspannung V_{tune} auf das Basisband begrenzen. Digitale Bausteine hingegen geben harmonische Frequenzen aus, die in gemischten PLLs auch noch von Mischern oder Frequenzteilern über das ganze Spektrum verteilt werden können.

Schleifenfilter bestimmen die Ordnung und den Typ der PLL. Die Ordnung wird durch die Zahl der Integratoren in der Schleife bestimmt. Da der VCO für die Phase immer ein Integrator ist, ist die Mindestordnung 1. Der Typ wird durch die Anzahl der Polstellen in der Schleife bestimmt. Filter von PLLs 1. Ordnung sind passive Tiefpassfilter. Sie sind einfach aufzubauen, bieten aber keine aktive Schleifenverstärkung („Loop Gain“), was den Halte- und Fangbereich einschränkt, und ohne Integrator im Regler kann für größere Phasenfehler keine stationäre Genauigkeit erreicht werden.

Ab der 2. Ordnung haben Schleifenfilter einen Integrator und sind üblicherweise aktive PI-Regler, deren Übertragungsfunktion mit

$$G_{LF}(s) = \frac{V_{tune}(s)}{V_{err}(s)} = \frac{1 + \tau_P \cdot s}{\tau_i \cdot s} \quad (9)$$

gegeben ist [5]. PLLs 2. Ordnung sind am meisten verbreitet, da sie bei noch überschaubarer Komplexität den meisten Anforderungen genügen.

2.2.4 Frequenzteiler

Frequenzteiler sind in der Regel D-Flip-Flops, die in einem gewissen Arbeitsbereich die Frequenz des Eingangssignals durch einen einstellbaren ganzzahligen Faktor N teilen. Für die Frequenz, ebenso wie für die Phase, gilt die Übertragungsfunktion:

$$G_{FD}(s) = \frac{\omega_{out}(s)}{\omega_{in}(s)} = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{1}{N} \quad (10)$$

Dieser Zusammenhang bedeutet, dass der Frequenzteiler auch das Phasenrauschen durch N teilt, danach addiert sich aber auch das eigene Rauschen des Frequenzteilers dazu.

2.3 Phasenrauschen und Jitter

Phasenrauschen und Jitter sind die beiden gängigen Kenngrößen für die Güte von Oszillatoren und PLLs. Das Phasenrauschen betrachtet die Rauschleistungsdichte des gemessenen Signals in Bezug auf den Abstand vom Trägersignal und gibt diese in $\frac{dBc}{Hz}$ an.

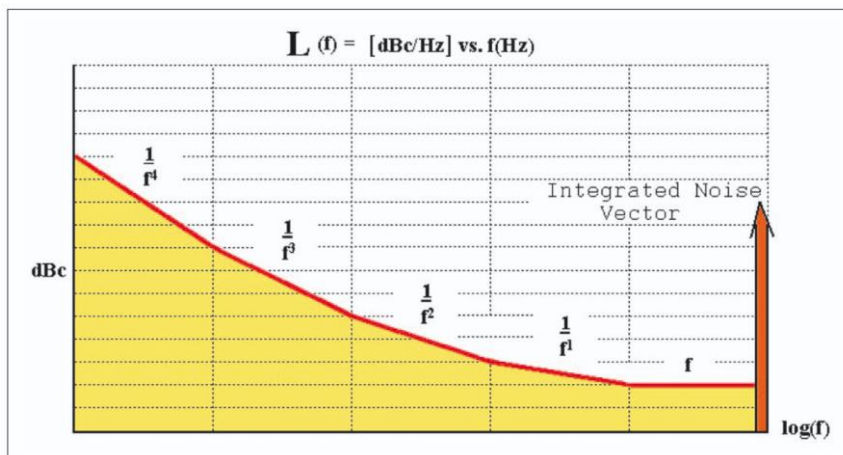


Abbildung 6: Allgemeine Darstellung einer Phasenrauschkurve [6]

Das Phasenrauschen wird je nach Dekade von unterschiedlichen physikalischen Phänomenen verursacht. Grundsätzlich gilt, je näher am Träger, desto größer ist der Beitrag des Rauschens.

Das Rauschen in Trägernähe hängt vor allem von Effekten in der Leiterbahn-/ Halbleiterstruktur ab. Empfindlichkeit auf akustische Schwingungen machen sich ebenfalls im Herz bis Kiloherzbereich bemerkbar. Störungen, die von rauschenden Netzteilen verursacht werden, können sich bei Vielfachen der Netzfrequenz oder im hohen Kiloherzbereich bei Vielfachen der Schaltreglerfrequenz zeigen.

Der Grundrauschpegel bestimmt die unabhängig von Leiterbahn- und Schaltungsstruktur erreichbare Untergrenze und wird auch thermisches Rauschen genannt, da es aus thermischen Schwingungen in der atomaren Struktur der Halbleitermaterialien stammt.

Der Jitter bewertet im Zeitbereich die gleiche physikalische Eigenschaft des Nutzsignals wie das Phasenrauschen im Frequenzbereich. Jitter kann wie in Abbildung 7 mit Augendiagrammen gemessen oder durch Integration der Rauschleistungsdichte über der Frequenz aus dem Phasenrauschen berechnet werden.

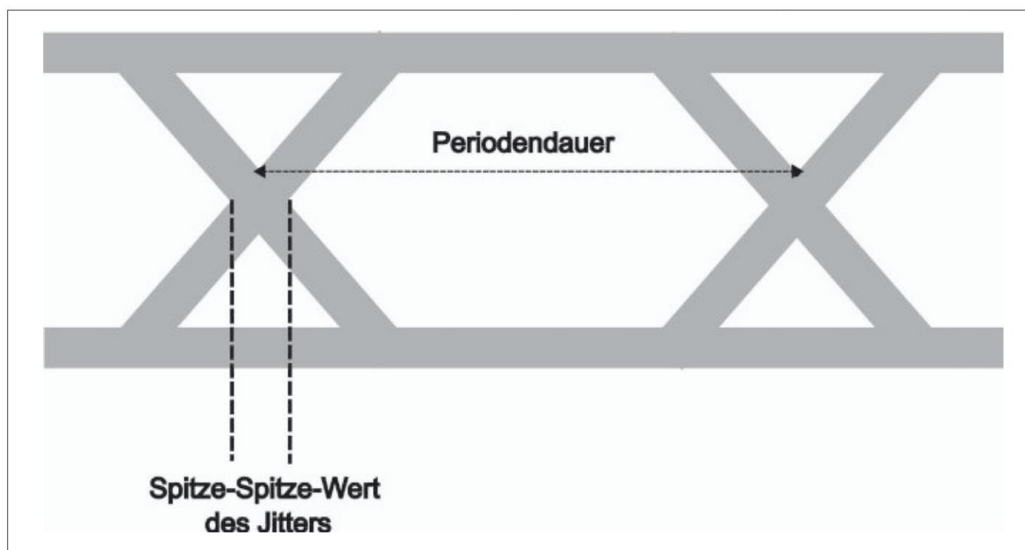


Abbildung 7: Augendiagramm mit eingezeichnetem Jitter [7]

Bei Angaben oder Messungen des Jitters ist wichtig zu beachten, ob dieser wie in Abbildung 7 als Spitze-Spitze-Wert oder als RMS-Wert angegeben ist.

3 Aufbau der Phasenregelschleife

3.1 Anforderungen an die PLL

Die Parameter für die in dieser Arbeit zu entwickelnden PLL stammen von dem in **1.2.2** und **1.2.3** erläuterten Timing- und Multibunch Feedback System:

- Das Eingangssignal, das als Referenz dient, ist mit etwa 500 MHz aus der Lichtgeschwindigkeit, dem Umfang des Synchrotrons mit 2304 m und der vordefinierten Anzahl an Buckets mit 3840 Stück berechnet worden. Da die Lichtgeschwindigkeit aber nicht $300.000.000\frac{\text{m}}{\text{s}}$, sondern $299.792.458\frac{\text{m}}{\text{s}}$ beträgt und sich die Bunches auch nur mit annähernd Lichtgeschwindigkeit bewegen, liegt die tatsächliche Referenzfrequenz des Timing Systems bei $499,664.300\text{ MHz}$, die um $\pm 1,5\text{ kHz}$ schwanken.
- Die geforderte Ausgangsfrequenz vom 20-fachen der Eingangsfrequenz für die DAUs des MBFS liegt demnach auch nicht bei exakt 10 GHz , sondern bei $9,993.286\text{ GHz}$ mit einer Varianz von $\pm 30\text{ kHz}$.

An Stellen, wo es auf die Präzision dieses Wertes nicht direkt ankommt, wird im Folgenden der Einfachheit halber weiter von 500 MHz , bzw. 10 GHz gesprochen, gemeint sind damit immer diese tatsächlichen Werte.

Zusätzlich kommt vom MBFS die Forderung nach zwei weiteren Ausgängen:

- Erstens ein etwa 5 GHz Signal für die ADUs des MBFS, die ebenfalls innerhalb der Schleife generiert werden sollen.
- Zweitens soll für spätere Erweiterungen die Möglichkeit freigehalten werden, ein 1 GHz Signal aus den 5 GHz mit einem weiteren Frequenzteiler außerhalb des Regelkreises zu generieren.
- Außerdem fordert das MBFS generell die Verwendung eines DROs als VCO, da dieser Oszillatortyp sich durch besonders niedriges Phasenrauschen auszeichnet.

Aus diesen Forderungen ergibt sich der folgende Grundaufbau für die PLL:

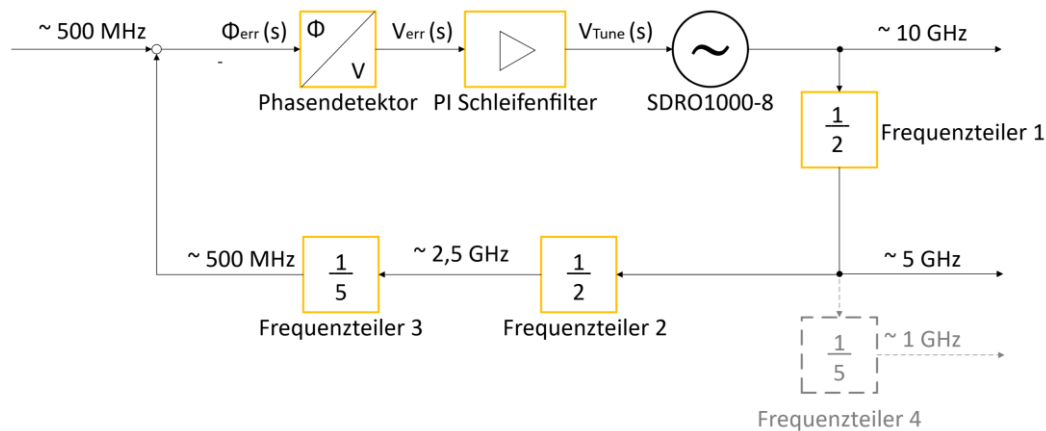


Abbildung 8: Grundstruktur der PLL aus den Anforderungen

Frequenzteiler 4, sowie die 5 GHz und 1 GHz Signale aus Abbildung 8 werden in dieser Arbeit nicht weiter behandelt.

3.2 BauteilAuswahl

3.2.1 Vorgabe des VCOs

Als VCO wurde im Vorfeld bereits der Typ SDRO1000-8 [8] von Synergy Microwave Corporation ausgewählt und für diese Entwicklung sonderangefertigt (*das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann*).

Dabei handelt es sich um einen Dielektrischen Resonanz Oszillator (DRO). Im Inneren des Gehäuses wird zwischen einer Halbleiterstruktur und einer Resonanzplatte eine stehende Welle erzeugt. Mit der Stellschraube auf dem Gehäuse in Abbildung 9 lässt sich die Position der Resonanzplatte minimal verändern, womit die Grundfrequenz des Oszillators um einige Megahertz verändert werden kann. Die DROs von Synergy zeichnen sich grundsätzlich durch besonders niedriges Phasenrauschen aus, sind aber wegen der beweglichen Resonanzplatte wie alle DROs anfällig auf mechanische Schwingungen im akustischen Bereich, z.B. durch Lüfter, und können außerdem empfindlich für Temperaturschwankungen sein, was beim mechanischen Design des Aufbaus zu berücksichtigen ist.

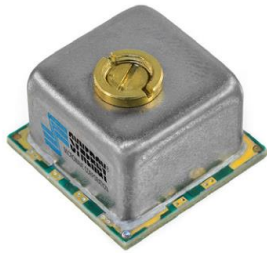


Abbildung 9: Gehäuse des SDRO1000-8 [8]

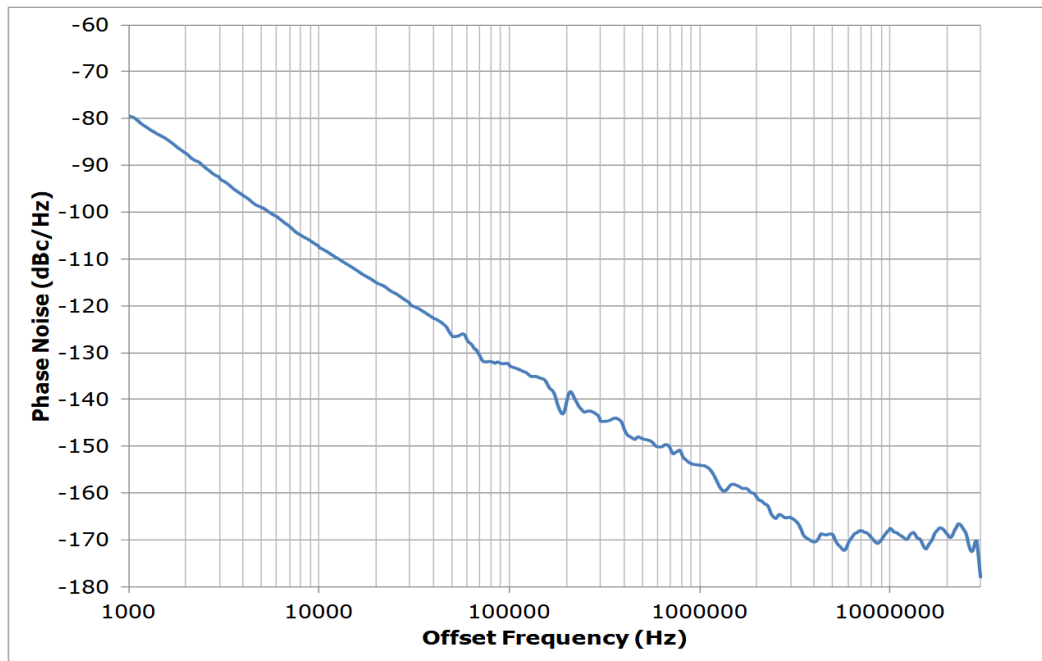


Abbildung 10: Phasenrauschkurve des SDRO1000-8 [8]

DROs haben generell die Eigenschaft, in der Langzeitbetrachtung nicht stabil zu sein, was sich in hohen Phasenrauschpegeln nah am Träger niederschlägt. Dafür ist der Grundrauschpegel mit $-170 \frac{dBc}{Hz}$ besonders für eine 10 GHz -Anwendung sehr niedrig.

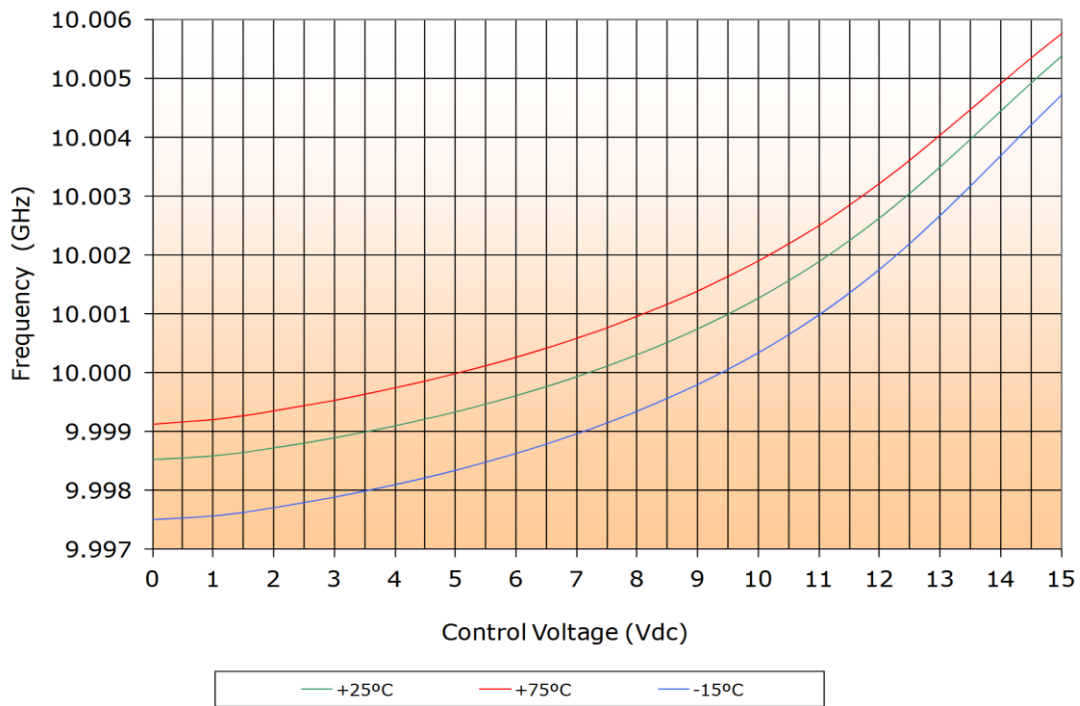


Abbildung 11: Aussteuerkurve des SDRO in Abhängigkeit von der Stimmspannung

Der K_{VCO} wird aus der Kurve für +25 °C in Abbildung 11 generell mit

$$K_{VCO} = \frac{10,0053 \text{ GHz} - 9,9985 \text{ GHz}}{15 \text{ V}} = 453 \frac{\text{kHz}}{\text{V}} \quad (11)$$

abgelesen. Das Verhältnis ist zwar nicht über den gesamten Aussteuerbereich gleich, aber für eine analytische Betrachtung ist diese Näherung ausreichend. Wichtig ist, dass der K_{VCO} über den gesamten Aussteuerbereich streng monoton steigend ist, da sich die PLL ansonsten in den lokalen Extremstellen aufhängen kann.

3.2.2 Vorgabe der Referenz

Die Referenzquelle für das 500 MHz Eingangssignal ist durch das Timing System aus 1.1.2 mit dem SMA100B (mit B711 Option für niedriges Phasenrauschen) von Rohde & Schwarz gegeben [9] (das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann).

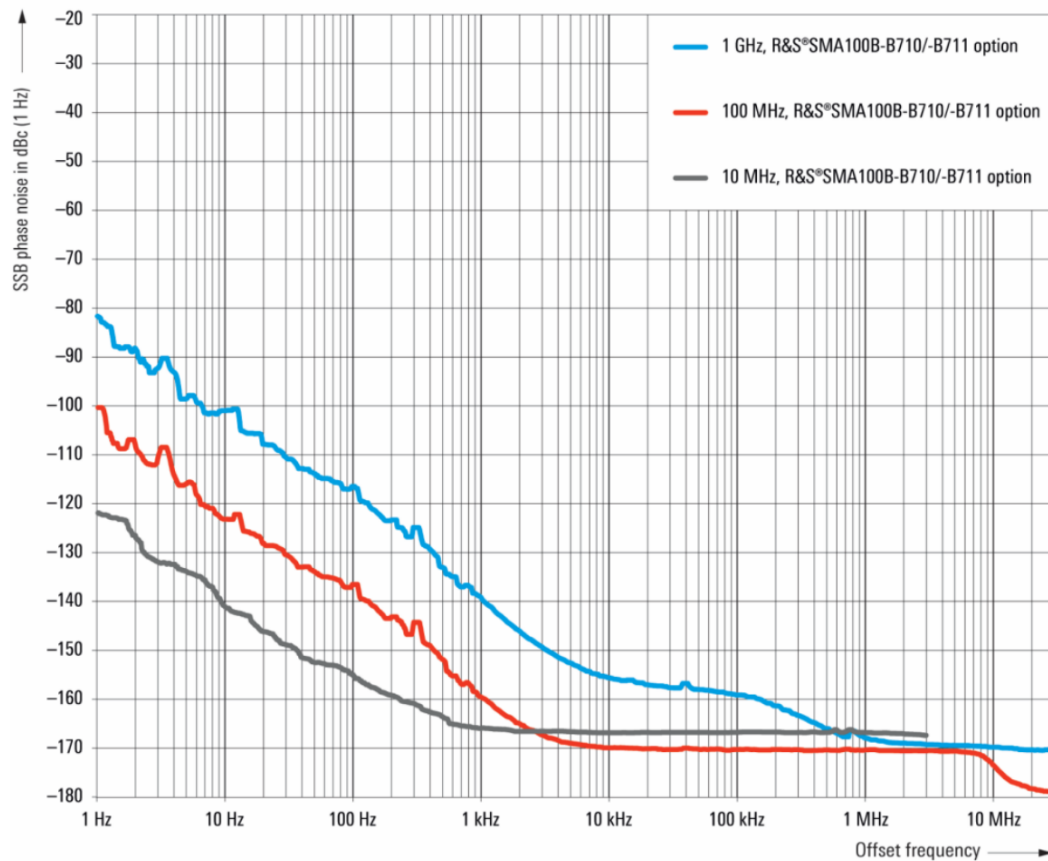


Abbildung 12: Phasenrauschkurven des SMA100B-B711 für 10 MHz, 100 MHz & 1 GHz [9]

3.2.3 Auswahl des Phasendetektors

Der Phasendetektor wird wie alle Bauteile primär nach niedrigem Phasenrauschen ausgewählt. Er muss außerdem für eine Eingangsfrequenz von mindestens 500 MHz ausgelegt sein.

Die Wahl fällt auf den HMC440 [10] von Analog Devices (*das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann*).

Das Datenblatt zeigt eine sehr niedrige Phasenrauschkurve und gute Temperaturstabilität. Zusätzliche Motivation für diese Wahl waren die Erfahrungen anderer Ingenieure der Abteilung MSK mit diesem Bauteil und ein bereits vorhandenes EVAL-Board, was die Beschaffung deutlich vereinfacht. Zudem besitzt der HMC440 einen integrierten Frequenzteiler, der auch beliebig durch ungerade Zahlen teilen kann. Damit ist die Auswahl für Phasendetektor und Frequenzteiler 3 aus Abbildung 8 getroffen.

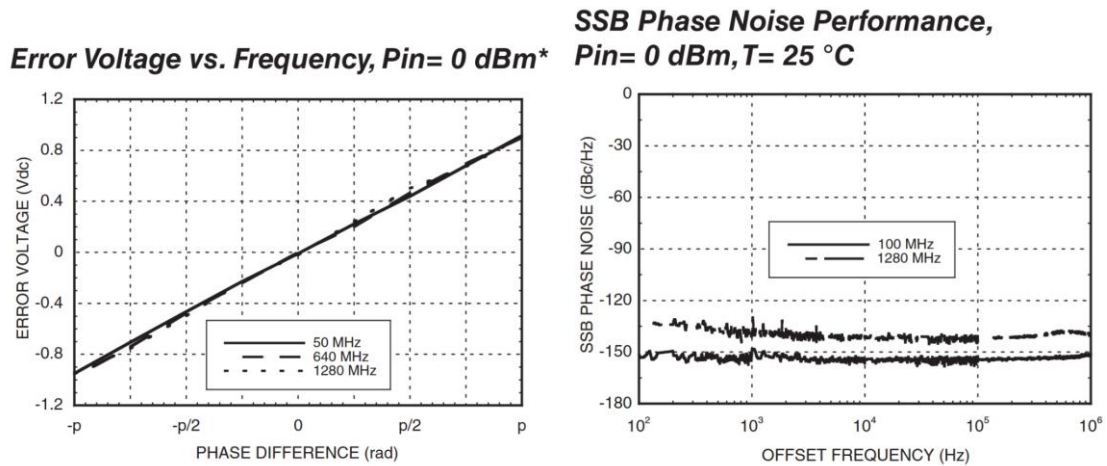


Abbildung 13: Fehlerspannungs- und Phasenrauschverhalten des HMC440 [10]

Da die Kurve für die Fehlerspannung in Abbildung 13 sehr linear verläuft, kann ein konstanter Faktor

$$K_{PD} = \frac{0,9 V}{\pi rad} = 0,286 \frac{V}{rad} \quad (12)$$

mit einem einfachen Steigungsdreieck direkt abgelesen werden. Beim HMC440 wird die Fehlerspannung mit einer differentiellen „Charge Pump“ und eine nachfolgende RC-Struktur erzeugt.

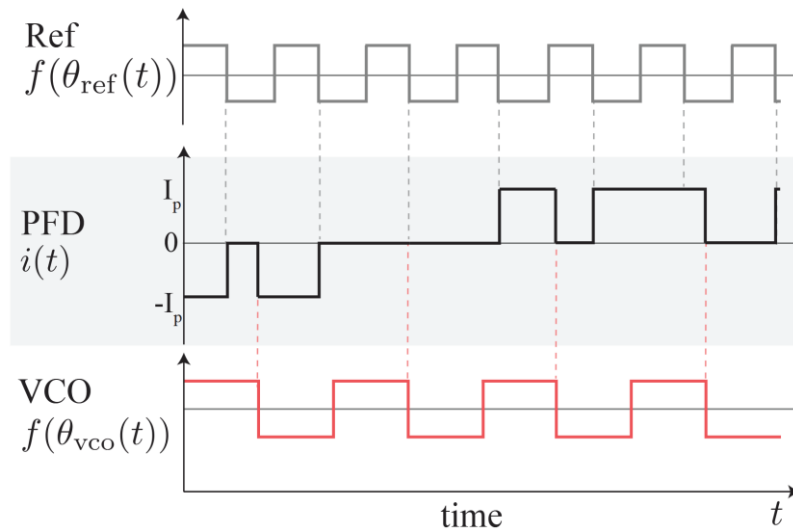


Abbildung 14: Ausgangslogik eines Phasendetektors mit Chargepump [11]

Eine XOR-Logik schaltet für die Dauer eines Phasenfehlers zwischen VCO und Referenz eine Stromquelle an den „UP“-Ausgang, wenn der VCO der Referenz nacheilt oder an den „DOWN“-Ausgang, wenn der VCO der Referenz voreilt, was in Abbildung 14 mit I_p und $-I_p$ dargestellt wird. Die Dauer der Stromimpulse ist dabei Proportional zum Phasenfehler. Hinter beiden Ausgängen befindet sich je ein RC-Integrator, der aus den differentiellen Fehlerströmen die differentielle Fehlerspannung V_{err} generiert, auf die sich Abbildung 13 bezieht.

Das bedeutet, das Schleifenfilter muss ein aktiver Differenzverstärker mit PI- Übertragungsfunktion sein, der mit unipolarer Spannungsversorgung von $+15\text{ V}$ betrieben werden kann.

3.2.4 Auswahl der Frequenzteiler

Frequenzteiler 1 muss gemäß Abbildung 8 durch 2 teilen und für eine Eingangsfrequenz von mindestens 10 GHz ausgelegt sein. Die Ausgangsleistung des SDRO1000-8 liegt laut Datenblatt bei etwa 0 dBm , die für die Rückkopplung im Testaufbau durch einen Splitter aufgeteilt wird. Frequenzteiler 1 muss also mit etwa -3 dBm Eingangsleistung arbeiten können.

Die Wahl fällt auf den HMC862 [12] von Analog Devices (*das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann*). Mit einer maximalen Eingangsleistung von 13 dBm , einer maximalen Eingangsfrequenz von 24 GHz und einem auf $N = 2$ einstellbaren Teilverhältnis erfüllt er die Anforderungen bei sehr niedrigem Phasenrauschen, welches in Abbildung 15 mit der blauen Kurve „SINE 12GHz“ angenommen wird.

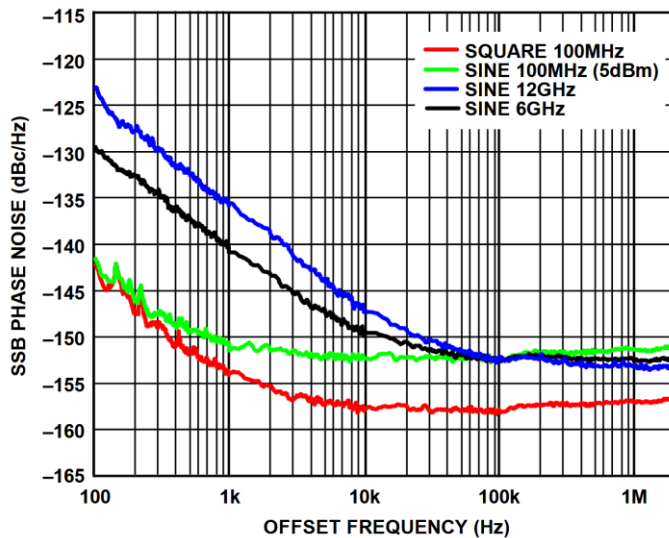


Abbildung 15: Phasenrauschkurve des HMC862 [12]

Die Ausgangsleistung bei nicht differenziellem Ausgang beträgt zwischen 0 dBm und 5 dBm .

Frequenzteiler 2 muss gemäß Abbildung 8 5 GHz durch 2 teilen und mit 0 dBm bis 5 dBm Eingangsleistung arbeiten können, die der HMC862 liefert. Außerdem soll Frequenzteiler 2 das Eingangssignal für den Phasendetektor HMC440 ausgeben, was zwischen -15 dBm und +10 dBm liegen muss.

Die Wahl fällt hier auf den HMC905 [13] von Analog Devices (das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann), bei dem es ebenfalls Erfahrung innerhalb der Abteilung sowie ein vorhandenes EVAL-Board gibt. Bei einer maximalen Eingangsfrequenz von 6 GHz und niedrigem Phasenrauschen, welches in Abbildung 16 zu sehen ist, liefert er eine Ausgangsleistung zwischen -2 dBm und 6 dBm, was im Arbeitsbereich des Phasendetektors HMC440 liegt, der das Ausgangssignal erhält. Das Teilverhältnis kann auf $N = 2$ eingestellt werden und die gestattete Eingangsleistung mit 0 dBm bis 10 dBm liegt innerhalb der zu erwartenden Ausgangsleistung des vorlaufenden HMC862.

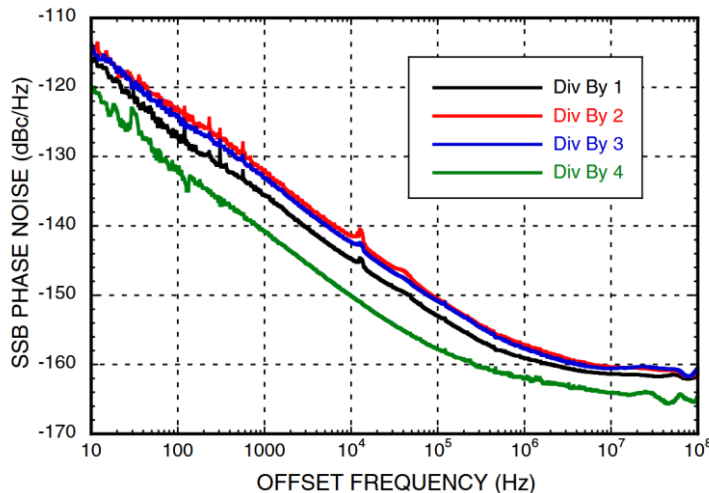


Abbildung 16: Phasenrauschkurve des HMC905 für Teilverhältnisse 1 bis 4 [13]

3.2.5 Auswahl des Schleifenfilters

Das Schleifenfilter muss im Gegensatz zu den übrigen Bauteilen in der PLL nicht einfach nur ausgewählt, sondern dimensioniert werden. Vom Phasendetektor in 3.2.2 wird ein aktiver Differenzverstärker mit PI-Filtercharakteristik gefordert. Dafür müssen ein Operationsverstärker ausgewählt und die Bauteilwerte bestimmt werden.

An den Operationsverstärker werden Anforderungen vom VCO aus 3.1.1 und vom Phasendetektor aus 3.2.2 gestellt. Die Auswahl fällt hier auf den OPA891 von Texas Instruments (das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann). Er kann unipolar mit 9 V bis 36 V betrieben werden, besitzt einen Anschluss zum Einstellen eines Spannungsoffsets, falls im unipolaren Betrieb die mittlere Aussteuerung angepasst werden muss und hat eine Bandbreite von bis zu 180 MHz, was deutlich außerhalb der Bandbreite des Schleifenfilters liegt, die für Phasenrauschoptimierung im unteren Kilohertzbereich zu erwarten ist.

Da das Schleifenfilter ein Differenzverstärker mit PI-Filtercharakteristik sein soll, ergibt sich die Operationsverstärkerschaltung in Übereinstimmung mit den Beispielschaltungen im Datenblatt des HMC440 [10] (Seite 8) wie folgt:

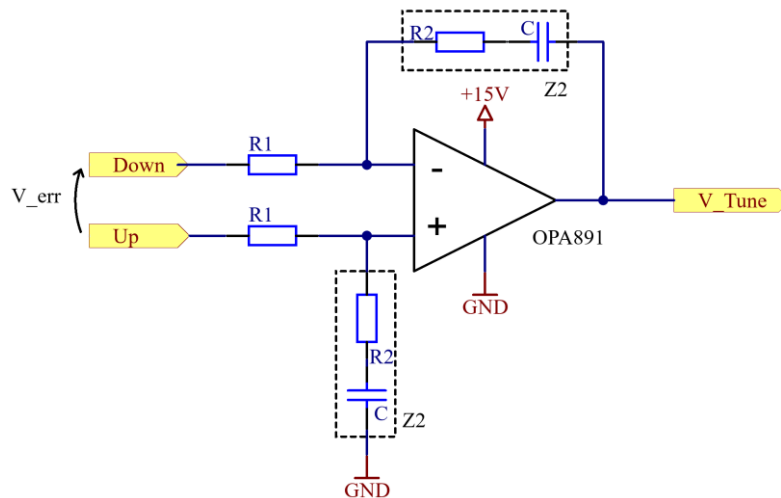


Abbildung 17: Schaltplan des Schleifenfilters, erstellt mit Altium

Durch die Betrachtung der Kombination aus R2 und C als die komplexe Impedanz Z2, ergibt sich für die Übertragungsfunktion des Filters aus der Vorschrift für symmetrische Differenzverstärker:

$$G_{LF}(s) = \frac{V_{Tune}(s)}{V_{err}(s)} = \frac{Z2}{R1} \quad (13)$$

Durch die Auflösung von Z2 zurück zu der Reihenschaltung von R2 und C ergibt sich die Pol-Nullstellen Form des Filters wie in Gleichung (9) in 2.2.3 gefordert mit:

$$G_{LF}(s) = \frac{R2 + \frac{1}{C \cdot s}}{R1} = \frac{1 + R2 \cdot C \cdot s}{R1 \cdot C \cdot s} = \frac{1 + \tau_p \cdot s}{\tau_i \cdot s} \quad (14)$$

Oder in P- und I-Glied aufgeteilt:

$$G_{LF}(s) = \frac{\tau_p}{\tau_i} + \frac{1}{\tau_i \cdot s} \quad (15)$$

Aus Gleichung (15) lässt sich direkt die frequenzunabhängige Grundverstärkung mit $\frac{\tau_p}{\tau_i}$ bzw. $\frac{R2}{R1}$ ablesen.

Mit MATLAB kann der Einfluss von R2 und C auf das Übertragungsverhalten beispielhaft untersucht werden. Da für die Festlegung von τ_p und τ_i nur zwei Freiheitsgrade erforderlich sind, wird R1 entsprechend dem Schaltungsbeispiel auf Seite 8 im Datenblatt des HMC440 auf 200 Ω festgelegt.

Bei der Variation von R2 wird C fest auf 1 nF gesetzt. Bei der Variation von C wird R2 fest auf 1,5 k Ω gesetzt.

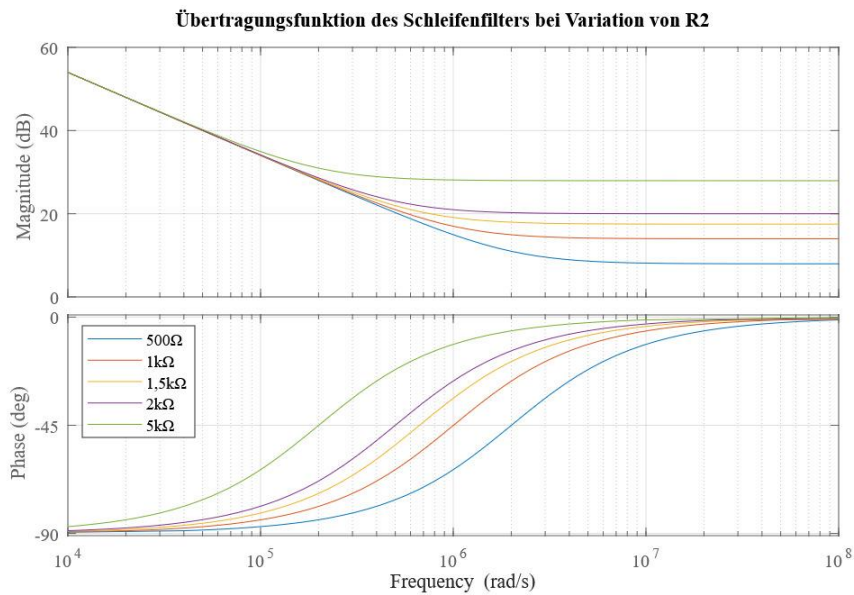


Abbildung 18: Übertragungsfunktion des Schleifenfilters bei Variation von R2

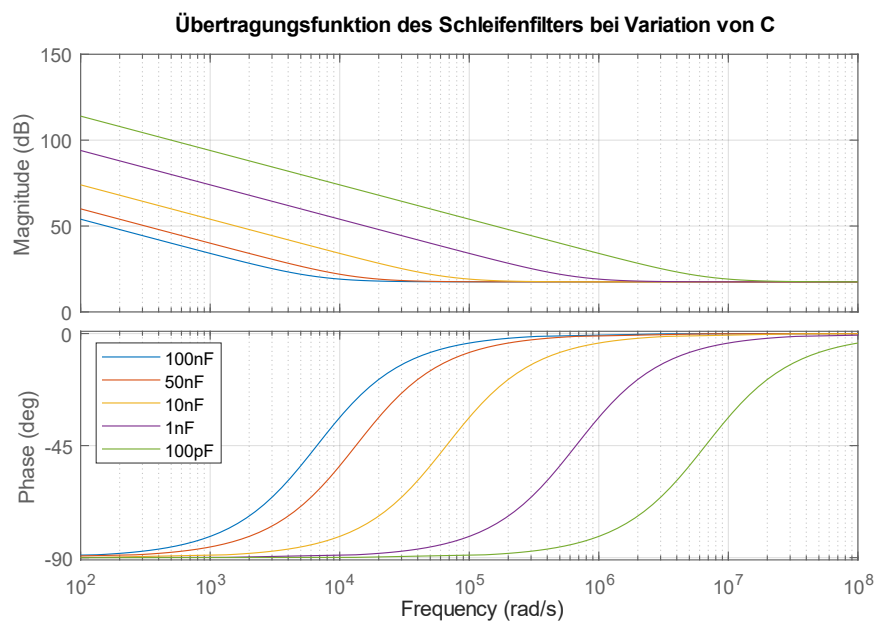


Abbildung 19: Übertragungsfunktion des Schleifenfilters bei Variation von C

R2 ändert nur den P-Anteil und verschiebt damit die Grundverstärkung in der Höhe, was ebenfalls Einfluss auf die Position des Knickpunkts auf der f-Achse hat. C ändert nur den I-Anteil und verschiebt damit den Knickpunkt auf der f-Achse.

3.3 Gesamtübertragungsfunktion

Mit den nun ausgewählten Bauteilen ergibt sich das fertige Blockschaltbild für die PLL:

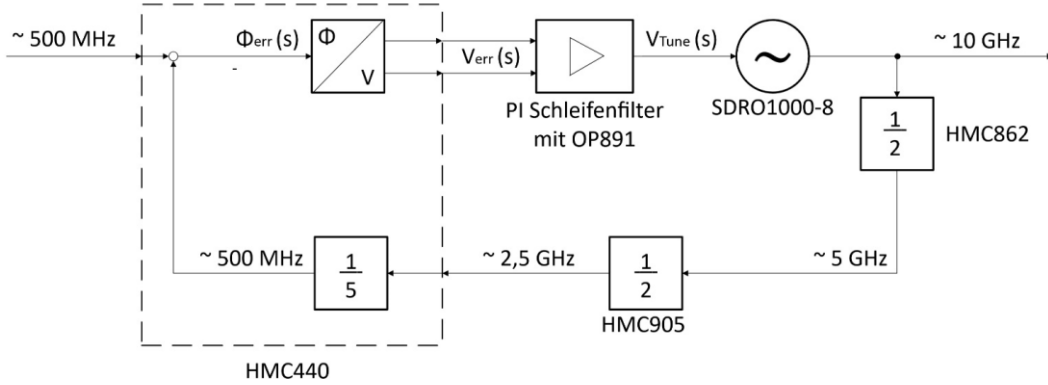


Abbildung 20: Vollständige PLL mit ausgewählten Bauteilen

Die Gesamtübertragungsfunktion wird aus der Reihenschaltung/ Rückkopplung der Einzelübertragungsfunktionen gebildet:

$$G_{PLL}(s) = \frac{G_{PD}(s) \cdot G_{LF}(s) \cdot G_{VCO}(s)}{1 + G_{PD}(s) \cdot G_{LF}(s) \cdot G_{VCO}(s) \cdot G_{FT1}(s) \cdot G_{FT2}(s) \cdot G_{FT3}(s)} \quad (16)$$

$$G_{PLL}(s) = \frac{K_{PD} \cdot \frac{K_{VCO}}{s} \cdot \frac{1 + \tau_p \cdot s}{\tau_i \cdot s}}{1 + K_{PD} \cdot \frac{K_{VCO}}{s} \cdot \frac{1 + \tau_p \cdot s}{\tau_i \cdot s} \cdot \frac{1}{2} \cdot \frac{1}{2} \cdot \frac{1}{5}} \quad (17)$$

$$G_{PLL}(s) = \frac{K_{PD} \cdot K_{VCO} \cdot (1 + \tau_p \cdot s)}{20 \cdot \tau_i \cdot s^2 + K_{PD} \cdot K_{VCO} \cdot (1 + \tau_p \cdot s)} \quad (18)$$

$$G_{PLL}(s) = \frac{\tau_p \cdot s + 1}{\frac{20}{K_{PD} \cdot K_{VCO}} \cdot \tau_i \cdot s^2 + \tau_p \cdot s + 1} \quad (19)$$

K_{VCO} und K_{PD} sind durch die Bauteilwahl gegeben. τ_p und τ_i hingegen müssen noch bestimmt werden.

Die Variation von R2 und C wie in Abbildung 18 und 19 hat auf die Gesamtübertragungsfunktion folgenden Einfluss:

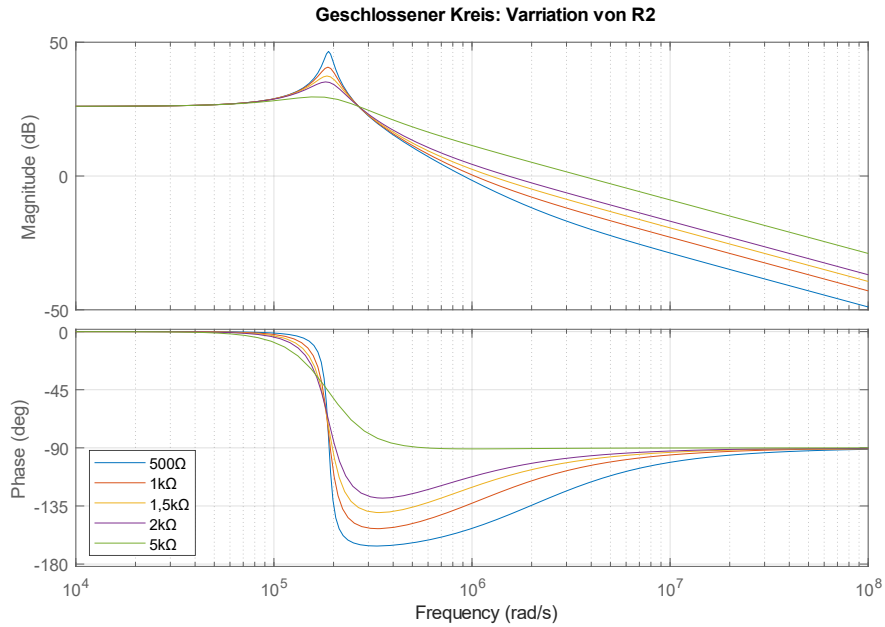


Abbildung 21: Übertragungsfunktion des Geschlossenen Kreises bei Variation von R2

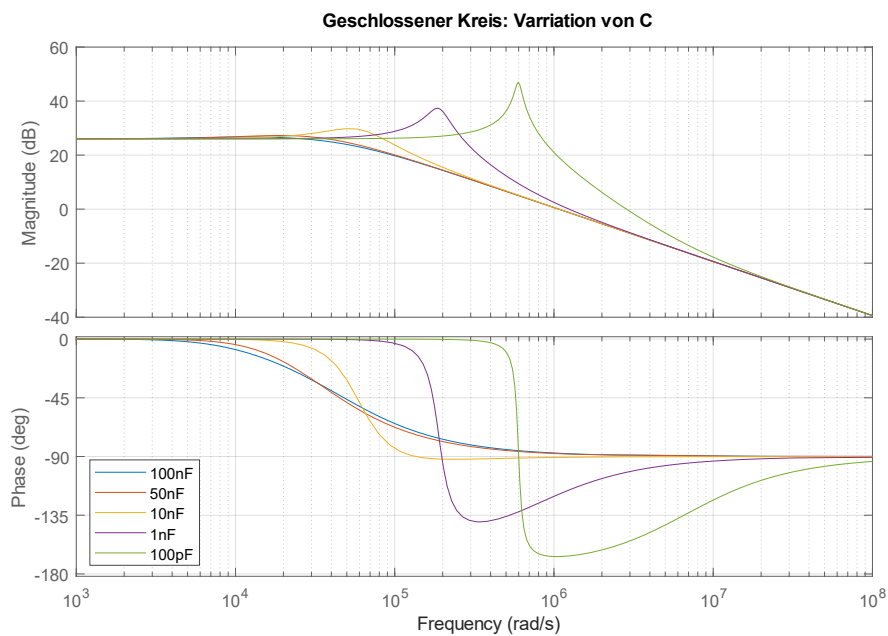


Abbildung 22: Übertragungsfunktion des Geschlossenen Kreises bei Variation von C

Bei kleinen Werten für R2 oder C treten spitze Maxima im Amplitudengang auf, was gleichzeitig radikale Einbrüche im Phasengang zur Folge hat. Sobald der Integrator im Schleifenfilter im Vergleich zum Proportionalglied sehr groß wird, entstehen Stabilitätsprobleme, die es zu vermeiden gilt.

Die Übertragungsfunktionen in den Abbildungen 21 und 22 zeigen den Einfluss von Phasenänderungen in der Referenz auf Phasenänderungen am Ausgang. Damit können bereits grobe Abschätzungen zur Stabilität und damit zu möglichen Wertebereichen für R1, R2 und C getroffen werden.

Nach Abbildung 21 sollte die Grundverstärkung $\frac{\tau_p}{\tau_i}$ größer als $\frac{1500 \Omega}{200 \Omega} = 7,5$ sein. Nach Abbildung 22 sollte τ_i bei einer Mindest-Grundverstärkung von 7,5 größer als $1 nF \cdot 200 \Omega = 200 ns$ sein.

Der VCO hat generell den besseren Grundrauschpegel, während die Referenz in Trägernähe besser ist. Um das Gesamtphasenrauschen zu minimieren, soll die Filterbandbreite in den Schnittpunkt der Rauschkurven von VCO und Referenz gelegt werden.

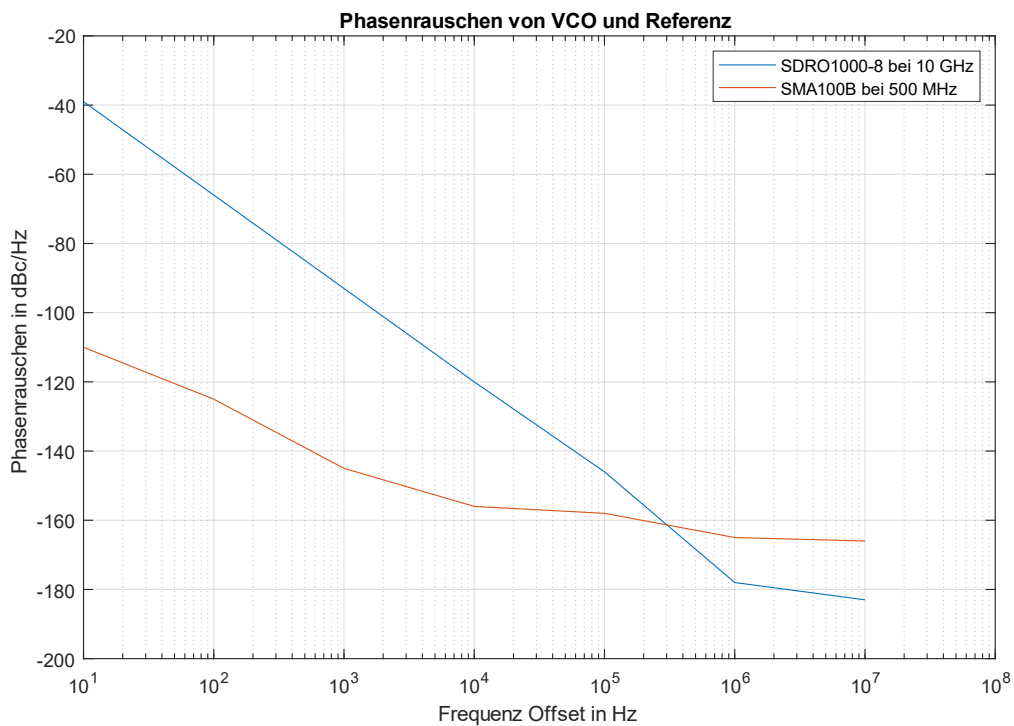


Abbildung 23: Phasenrauschkurven der Referenz und des VCOs

Da das Phasenrauschen des VCOs am Phasendetektor durch 20 geteilt ankommt, wurde die Kurve des SDRO1000-8 in Abbildung 23 um $10 \cdot \log_{10}\left(\frac{1}{20}\right) \approx -13 \text{ dB}$ herabgesenkt.

An diesem Punkt könnte die Filterbandbreite bereits grob über den Schnittpunkt von VCO und Referenz bei 300 kHz ausgelegt werden.

In Wahrheit ist die Wechselwirkung aller Komponenten in der PLL aber deutlich komplexer als es der einfache Vergleich von Referenz und VCO wirken lässt. Um die gegenseitige Beeinflussung, das tatsächlich nichtlineare Übertragungsverhalten einiger Bauteile und ihre Aussteuergrenzen zu berücksichtigen, reicht eine rein analytische Betrachtung nicht aus. Darum soll ergänzend eine Simulation der PLL durchgeführt werden, mit der das Schleifenfilter präzise auf niedriges Phasenrauschen optimiert werden kann.

4 Simulation

4.1 Simulationsaufbau

4.1.1 Auswahl der Simulationssoftware

Da PLLs keine Seltenheit in der Schaltungsentwicklung der Hochfrequenztechnik sind, gibt es viele Simulationsumgebungen, die die Filterauslegung vereinfachen sollen. Die meisten ausgewählten Bauteile stammen von Analog Devices, daher bietet sich auch die PLL-Simulations-Software „ADIsimPLL“ Version 5.60 von Analog Devices an. Diese Simulationsumgebung gestattet umfassende Phasenrauschenanalysen, die neben dem Gesamtverhalten auch die Beiträge der Einzelbauteile innerhalb der Schleife visualisieren, was das Eliminieren von Engpässen ermöglicht, sowie eine Jitter-Analyse mit Minimalwertprognose für die Filterbandbreite.

4.1.2 Unterschiede zur realen PLL

Der Simulationsalgorithmus von ADIsimPLL erlaubt nur begrenzt Einflussnahme auf die PLL-Konstruktionen. Eine PLL darf hier aus einer Referenz, einem Phasendetektor, einem Schleifenfilter, einem VCO und auch nur einem Frequenzteiler bestehen. Der HMC440 mit dessen integriertem Teiler ist bereits als Modell in der Standardbibliothek vorhanden, daher muss einer der beiden anderen Teiler vernachlässigt und der andere mit einem Verhältnis $N = 4$ angenommen werden. Vorzugsweise wäre der HMC862 zu vernachlässigen, da sein Phasenrauschen vom darauffolgenden HMC905 halbiert wird und daher weniger zur Geltung kommt (Siehe Abbildung 20), aber die maximale Eingangsfrequenz des HMC905 liegt bei 6 GHz , darum wird der HMC905 in der Simulation vernachlässigt.

4.2 Simulationsdurchführung

4.2.1 Modellierung des VCOs

Zunächst werden der VCO und die Referenz als Modelle der Bibliothek hinzugefügt. Der „VCO Library Editor“ erlaubt es, detaillierte Werte aus dem Datenblatt [8] in das Modell zu übernehmen:

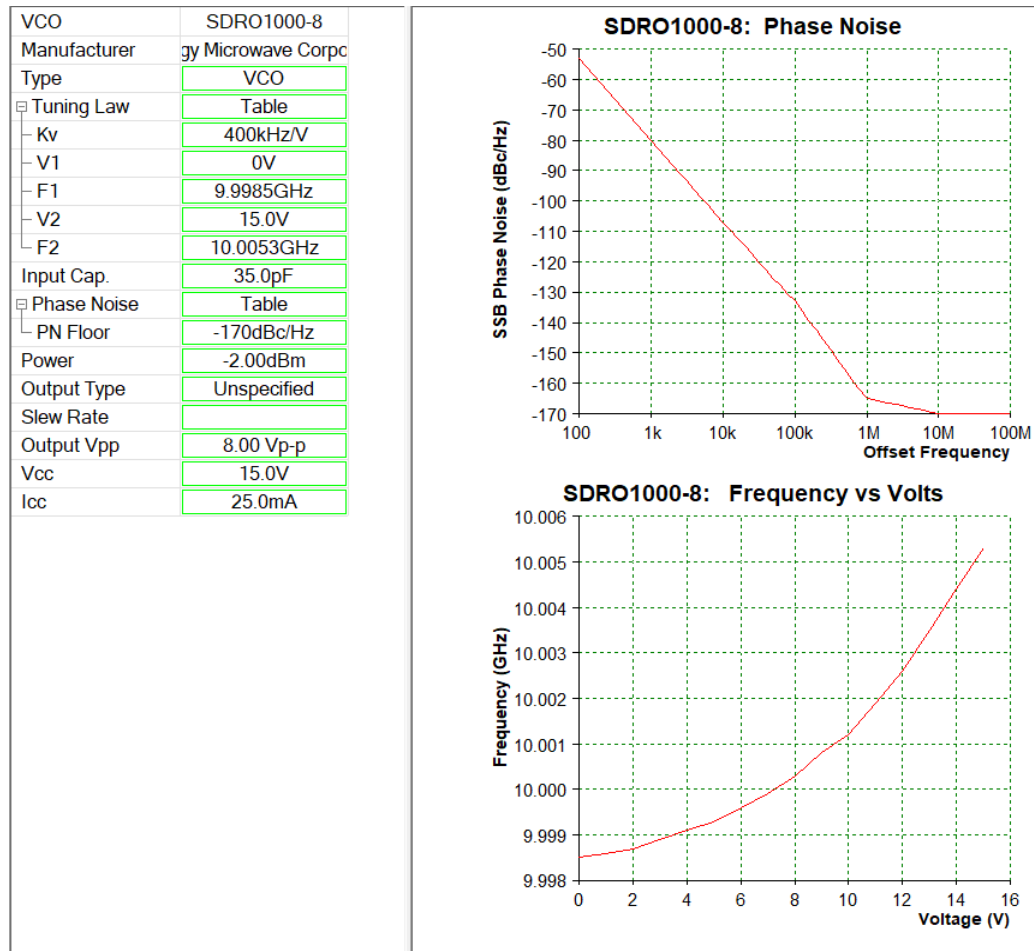


Abbildung 24: Modellierung des SDRO1000-8 in ADIsimPLL

4.2.2 Modellierung der Referenz

Der „Reference Editor“ erlaubt es analog zum VCO Werte aus dem Datenblatt der Referenzquelle in das Modell zu übernehmen.

Repräsentativ für die 500 MHz wird die 1 GHz Kurve aus Abbildung 12 in 3.3.2 gewählt:

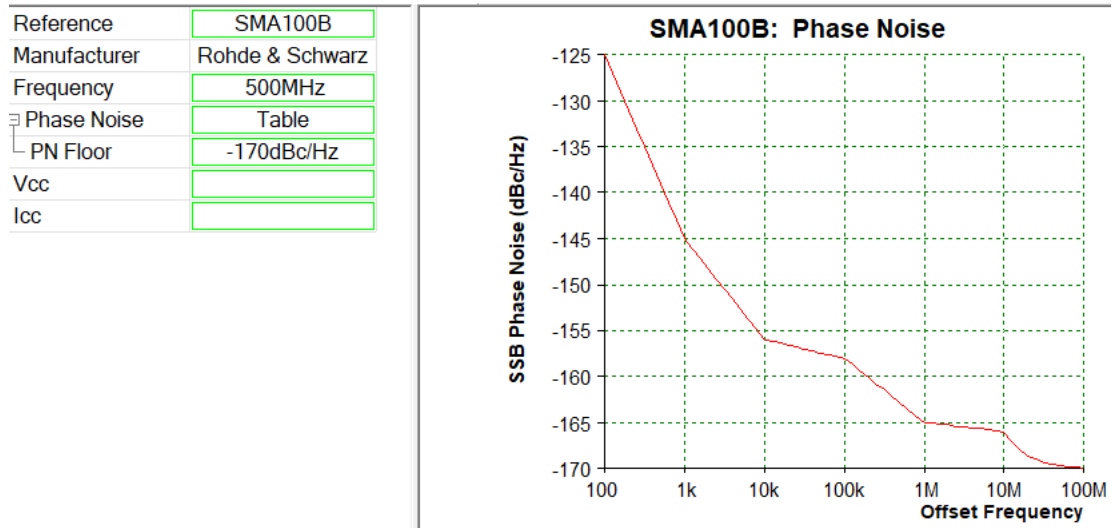


Abbildung 25: Modellierung des SMA100B in ADIsimPLL

(Das Phasenrauschen in Abbildung 25 ist nur bis 10 MHz modelliert)

Nun wird die Simulation aufgesetzt, indem Referenz, VCO und Phasendetektor aus den vorhandenen bzw. eigens erstellten Bibliotheken ausgewählt werden. Die Referenzfrequenz wird vereinfacht mit 500 MHz und die Ausgangsfrequenz mit 10 GHz angegeben.

4.2.3 Modellierung des Frequenzteilers

Für den Frequenzteiler wird ein „Custom Prescaler“ mit $N = 4$ gewählt, für dessen Phasenrauschen die Kurve „SINE 12GHz“ aus Abbildung 15 in 3.2.4 verwendet wird:

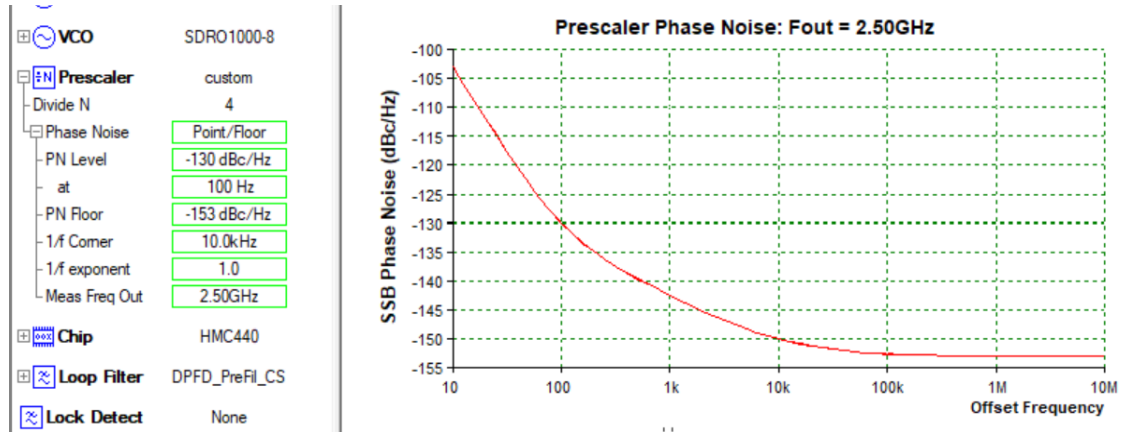


Abbildung 26: Modellierung des Frequenzteilers HMC862A in ADIsimPLL

4.2.4 Modellierung der PLL

Nachdem nun alle zuvor ausgewählten Bauteile in die Bibliothek von ADIsimPLL eingepflegt worden sind, kann die PLL selbst nach den in Kapitel 3 getroffenen Vorgaben modelliert werden.

Dafür wird der Benutzer durch eine Reihe von Menüs geführt, um die PLL zu konfigurieren. Hierbei wurden die Auswahlen wie folgt getroffen:

The PLL has to:

- produce a range of equal spaced output frequencies
- produce a single output frequency

The PLL is:

- an Integer-N PLL
- a Fractional-N PLL

SimPLL should:

- check that all channels can be generated
- not check that all channels can be generated

Abbildung 27: Auswahl der PLL-Struktur

Specify the Output Frequency requirements for your PLL synthesizer

Output Frequency

Phase Detector Freq

Output Frequency must be a multiple of the Phase Detector Frequency for Integer-N PLL's

Use an External Prescaler

Abbildung 28: Auswahl von Ein- und Ausgangsfrequenz

To use a prescaler choose "custom" and enter the division ratio, or select a library model.

From Library [Selector Guide](#)

Prescaler Library: AnalogDevices

Prescaler Model: ADF5000

Div N: 2

Custom Division Ratio: 4

Phase noise details can be entered later.

Frequency to PLL chip will be 2.50GHz
Channel spacing will be 2.000GHz (= 4 x 500.0MHz)

Abbildung 29: Auswahl des Frequenzteilers

Select the PLL synthesizer chip for your design

Only list chips covering frequency range [Selector Guide](#)

Chip: HMC440

HMC440 - Integer-N PLL chip
Frequency range from 10.0MHz to 2.80GHz
Reference Frequency to 1.30GHz
Phase Detector Maximum Frequency: 1.30GHz

[Visit chip webpage](#)

Lock Detect:
 None
 Voltage O/P
 Open Drain
 Digital Filter

Speedup Type:
 None
 Switched R1

In-band Phase Noise: -120.0 dBc/Hz
Phase Detector Freq: 500MHz

Abbildung 30: Auswahl des Phasendetektors

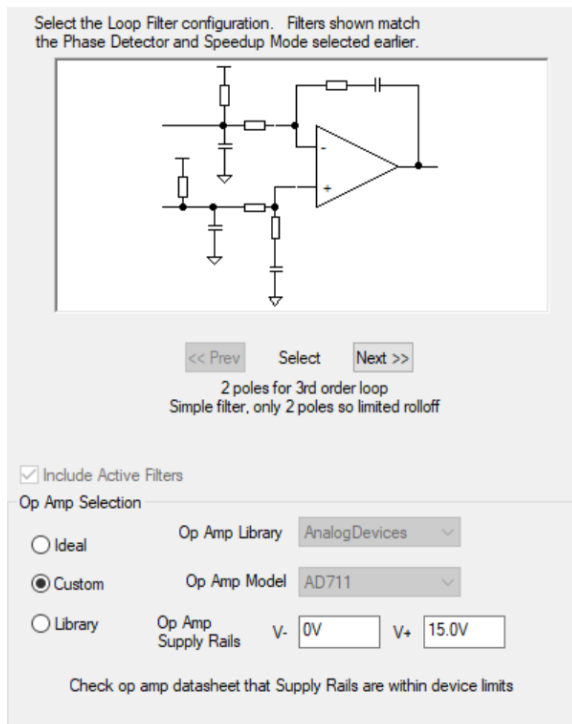


Abbildung 31: Auswahl des Schleifenfilters nach Ordnung und Operationsverstärker

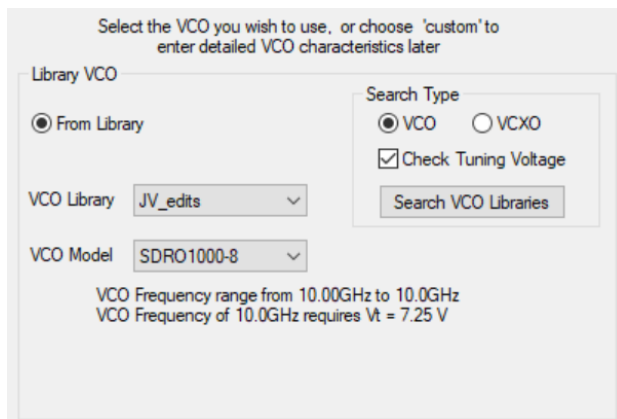


Abbildung 32: Auswahl des VCOs

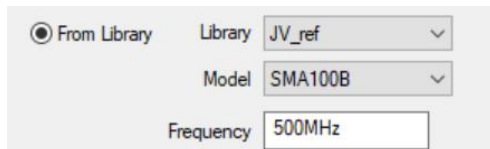


Abbildung 33: Auswahl der Referenz

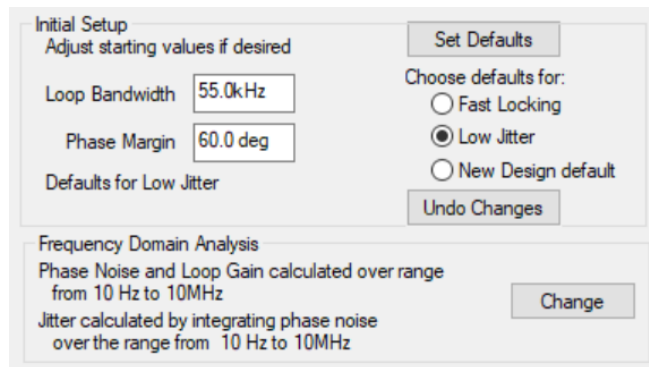


Abbildung 34: Auswahl der Anfangswerte

Nachdem alle Einstellungen gemacht wurden, kann nun die eigentliche Optimierung am Schleifenfilter beginnen.

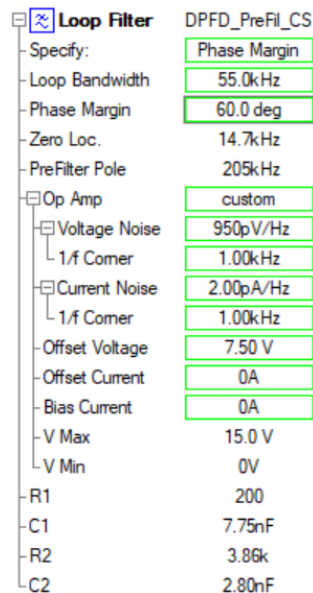


Abbildung 35: Oberfläche zur Anpassung des Schleifenfilters

Die Werte für „Voltage/ Current Noise“ wurden dem Datenblatt des OPA891 [14] entnommen. Die Parameter für das Filter können nun über „Phase Margin“ (Phasenrand) und „Loop Bandwidth“ (Bandbreite) oder über die direkte Auswahl der Bauteile R1, R2, C1 und C2 definiert werden.

Das Filter folgt dabei dem Aufbau:

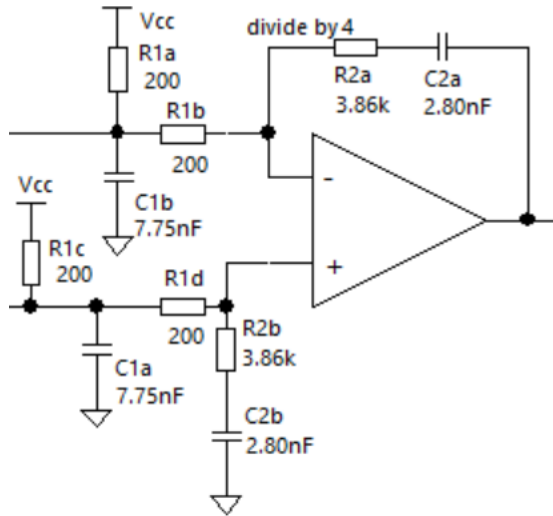


Abbildung 36: Schleifenfilteraufbau in ADIsimPLL (Bauteilwerte sind zufällig)

$R1a$ und $R1c$, sowie $C1a$ und $C1b$ sind Teil des Integrators auf dem EVAL-Board des HMC440 (Seite 4 im Datenblatt) und generieren aus den differentiellen Fehlerströmen der Charge Pump die differentielle Fehlerspannung V_{err} , die in der Übertragungsfunktion $G_{LF}(s) = \frac{\tau_p \cdot s + 1}{\tau_i \cdot s}$ des Loopfilters als Eingang betrachtet wurde. $C1$ und $R1$ sind zwar in ADIsimPLL frei wählbare Parameter, aber auf dem EVAL-Board des HMC440 bereits fest verbaut und mit $R1 = 200 \Omega$ und $C1 = 1 \text{ nF}$ gewählt.

Vorgehensweise ist nun, Bandbreite und Phasenrand wie in Abbildung 35 so zu wählen, dass das Phasenrauschen minimiert wird und die Gesamtübertragungsfunktion gleichzeitig stabil bleibt. ADIsimPLL gibt dabei Werte für $C1$, $C2$ und $R2$ an, für die daraufhin passende Werte aus den E-Reihen für Kondensatoren und Widerstände ausgewählt werden müssen.

(Die erstellten Bibliotheken und die Simulationsdatei befinden sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann)

4.3 Simulationsergebnis

Durch Variation von Phasenrand und Bandbreite, verändern sich die Gesamtübertragungsfunktion in Abbildung 37 und das Phasenrauschen in Abbildung 38.

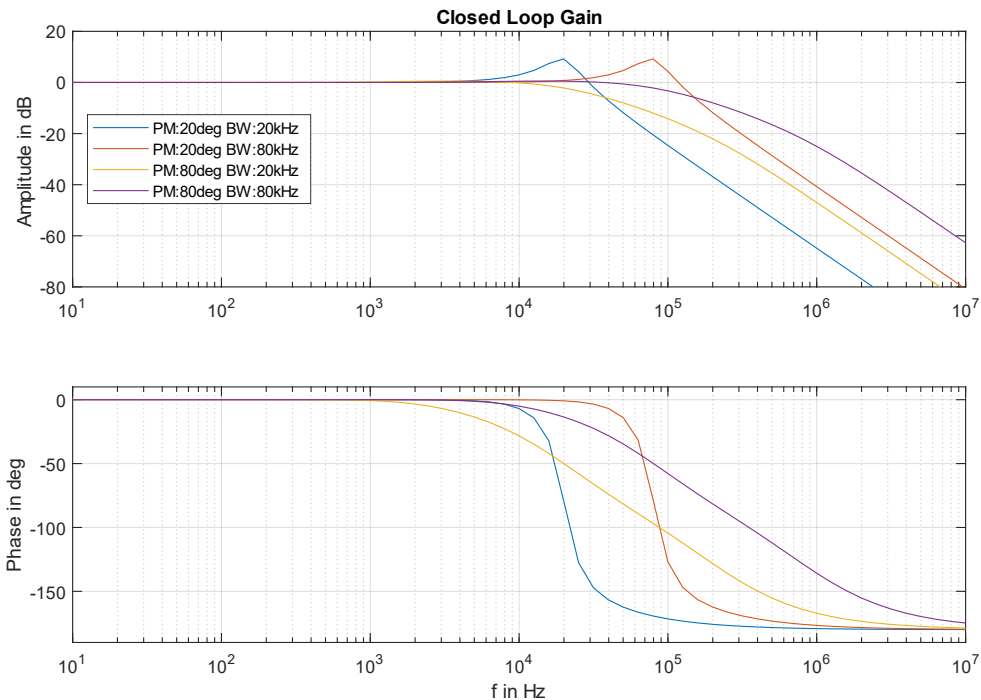


Abbildung 37: Übertragungsverhalten der PLL bei Variation von Phasenrand und Bandbreite

In der simulierten Gesamtübertragungsfunktion in Abbildung 37 zeigen sich bei kleinen Werten für den Phasenrand Instabilitäten, die es zu vermeiden gilt. Mit Änderungen der Bandbreite verschiebt sich die Grenzfrequenz dabei lediglich zur Seite, ohne die Stabilität zu beeinflussen. Aus Sicht der Stabilität ist eindeutig ein großer Phasenrand zu wählen.

An dieser Stelle sei darauf hingewiesen, dass sich das „Closed Loop Gain“ in Abbildung 37, welches von ADIsimPLL ausgegeben wird, und die Übertragungsfunktion des geschlossenen Kreises in Abbildung 21 und 22 in 3.3 zwar qualitativ ähneln, aber dennoch nennenswerte Unterschiede vorliegen. Das Closed Loop Gain beginnt seine Amplitude bei 0 dB, während die Übertragungsfunktion bei der Grundverstärkung von ungefähr 23 dB beginnt. Da ADIsimPLL keine Angaben zu den Berechnungsmethoden liefert, kann es auch eine Frage der Definition sein, worauf sich die Amplitude bezieht.

Bedeutender ist der Unterschied im Phasengang. In Abbildung 21 läuft die Phase für stabile Filter gegen -90° . In Abbildung 36 läuft sie für alle Filter gegen -180° . Es ist anzunehmen, dass die Definition dessen, was alles zum Schleifenfilter gehört, dafür ausschlaggebend ist. Wie in Abbildung 31 gezeigt, betrachtet ADIsimPLL die RC-Schaltung am Ausgang des HMC440 als Bestandteil des Schleifenfilters und damit als zusätzlichen Integrator. Darum geht die Simulation von einer PLL 3. Ordnung aus, während die analytisch ermittelte Übertragungsfunktion aus **3.3** von einer PLL 2. Ordnung ausgeht, was den Unterschied in den Phasengängen erklärt.

Für die Übertragungsfunktion in **3.3** ist diese Betrachtungsweise jedoch keine Option, da das Datenblatt des HMC440 den K_{PD} für die Fehlerspannung hinter dem Integrator, aber nicht die differentiellen Fehlerströme am Ausgang des ICs angibt.

Es ist nicht unüblich, dass Hersteller in ihrer eigenen Simulationssoftware Spice-Modelle hinterlegen, die detaillierter sind als die veröffentlichten Datenblätter.

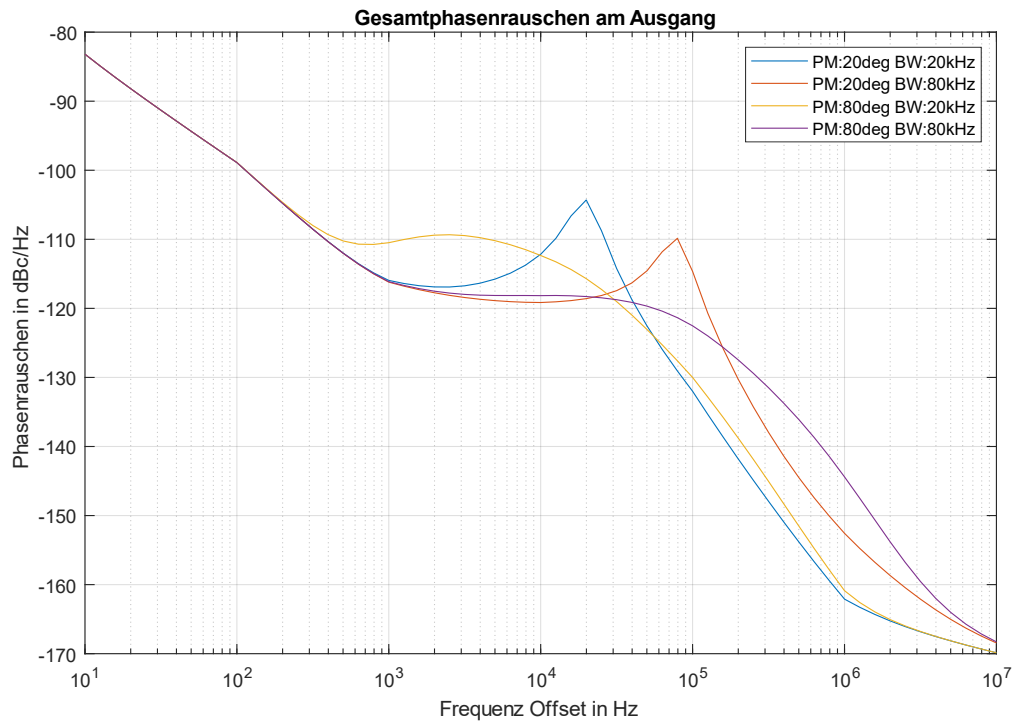


Abbildung 38: Gesamtphasenrauschen am Ausgang bei Variation von Phasenrand und Bandbreite

Abbildung 38 zeigt die ersten Phasenrauschkurven für den Ausgang der PLL. Auch bei Variation von Phasenrand und Bandbreite zeichnet sich ein universelles Verhalten ab. Der Bereich von 10 Hz bis 1 kHz wird von der Referenz bestimmt. Der mittlere Bereich von 1 kHz bis 200 kHz zeigt ein Plateau, auf dem die Übergabe zwischen Referenz und VCO stattfindet. Der Bereich ab 200 kHz wird vom VCO bestimmt.

Die Wahl von Phasenrand und Bandbreite verändert die Form des Plateaus. Die Bandbreite verschiebt es zu den Seiten, was auch Einfluss auf die Höhe hat, während der Phasenrand die Steilheit beeinflusst. Die Instabilität bei niedrigem Phasenrand zeigt sich auch in der Phasenrauschkurve durch lokale Spitzenwerte. Diese Spitzen können als Seitenbänder interpretiert werden, die mit der Bandbreite auf den Träger gemischt werden.

Ein geringer Phasenrand führt zu steil abfallendem $1/f$ Rauschen im rechten Drittel, sorgt aber auch für Instabilität. Ein großer Phasenrand bietet breitere, stabile Plateaus, zieht das Phasenrauschen dabei aber in die Breite. Das Plateau, was sich im Übergangsbereich bildet, wird auch „Waterbed“ genannt und ist ein typisches Phänomen bei PLLs.

Um den goldenen Mittelweg finden zu können, ohne manuell so lange an den Werten drehen zu müssen, bis man das beste Ergebnis findet, bietet ADIsimPLL die „Jitter-Sweep“ Analyse an. Dabei wird ein Wert für den Phasenrand vorgegeben und die Simulationsumgebung berechnet die optimale Bandbreite für den geringsten Jitter. Aus Erfahrung innerhalb der Abteilung MSK geht hervor, dass ein Phasenrand um 75° herum für die optimale Steilheit bei hoher Stabilität sorgt, was sehr nah an den Ausprobierten 80° liegt.

In Abbildung 39 wird das Ergebnis der Jitter-Sweep Analyse gezeigt.

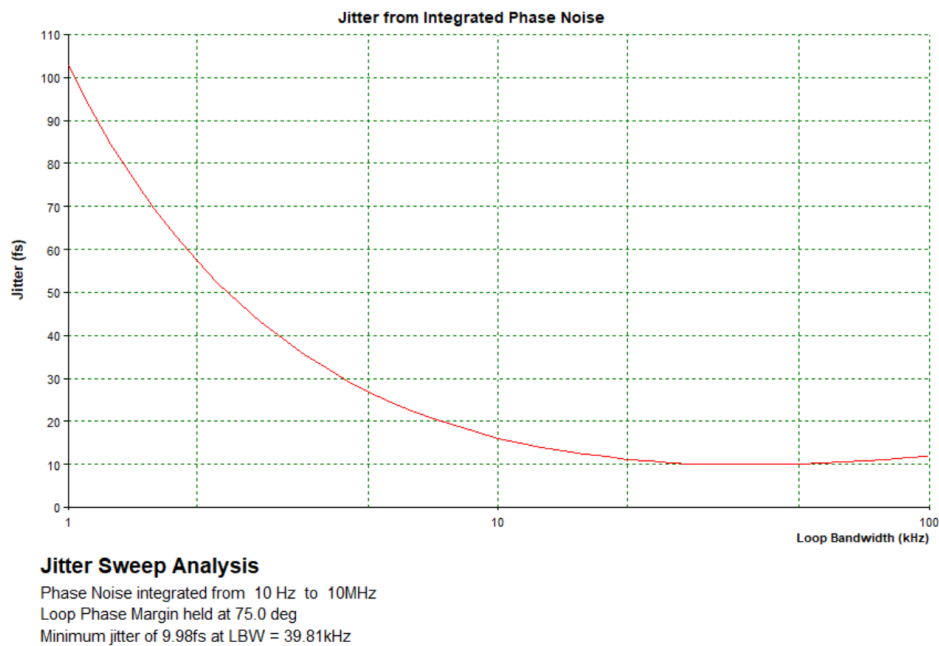


Abbildung 39: Ergebnis der Jitter Sweep Analyse von ADIsimPLL

Den geringsten Jitter und damit das über den Bereich von 10 Hz bis 10 MHz insgesamt beste Phasenrauschergebnis soll die PLL laut Abbildung 39 bei einem Phasenrand von 75° und einer Bandbreite von knapp 40 kHz erreichen.

Parameter	Value
Specify:	Phase Margin
Loop Bandwidth	39.4kHz
Phase Margin	75.0 deg
Zero Loc.	5.19kHz
PreFilter Pole	299kHz
Op Amp	custom
R1	200
C1	5.32nF
R2	2.76k
C2	11.1nF

Abbildung 40: Filterparameter nach der Jitter-Optimierung in ADIsimPLL

Die Bauteilwerte für $R2$ und $C2$ ergeben sich aus den Filterparametern in Abbildung 40. Nach Anpassung von $C1 = 1\text{ nF}$ und Auswahl von $R2 = 2,7\text{ k}\Omega$ und $C2 = 6,8\text{ nF}$ aus den E-Reihen für Bauteilwerte, wurde der Phasenrand leicht angehoben auf $76,2^\circ$ bei einer gleichbleibenden Bandbreite von $39,4\text{ kHz}$. Dieses Filter hat eine Grundverstärkung von $\frac{2700\ \Omega}{200\ \Omega} = 13,5$ und ein τ_i von $200\ \Omega \cdot 6,8\text{ nF} = 1,36\ \mu\text{s}$, was beides innerhalb des in **3.3** festgelegten Rahmens liegt für eine stabile Übertragungsfunktion liegt.

ADIsimPLL kann die Phasenrauschkurve für den gesamten geschlossenen Kreis und auch anteilig für jede Einzelkomponente berechnen:

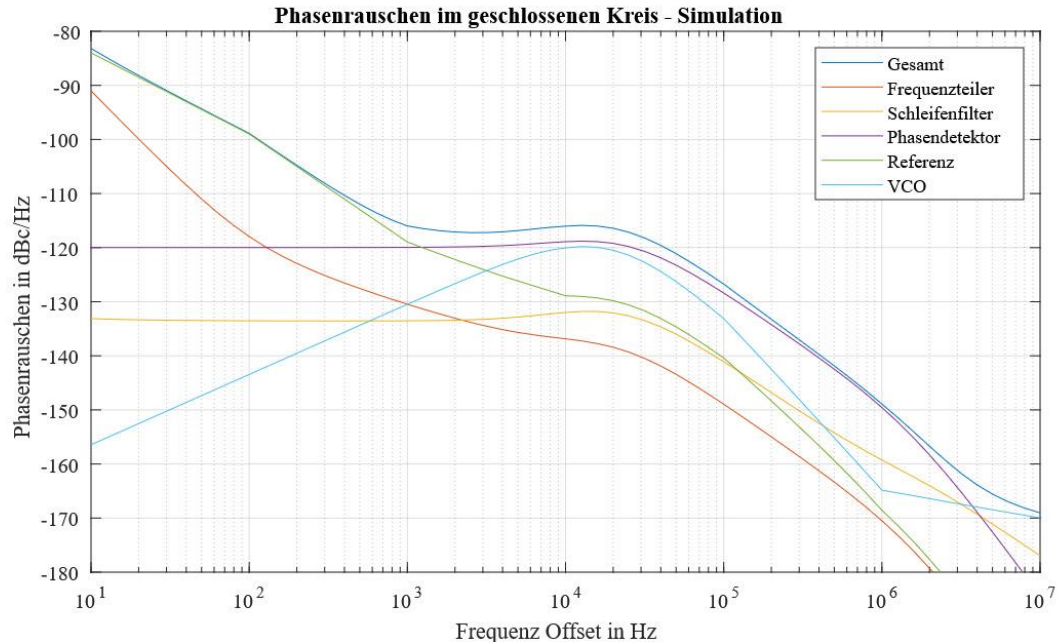


Abbildung 41: Phasenrauschanalyse der PLL mit Zerlegung in die Beiträge der Einzelkomponenten

Wie erwartet wird das linke Drittel beinahe vollständig von der Referenz geprägt. In der Mitte gibt es ein Plateau im Übergangsbereich und im rechten Drittel fällt die Kurve vom VCO geprägt ab.

Überraschend ist dabei, dass es so aussieht, als würde der Phasendetektor (violett) zwischen 100 kHz und 1 MHz das Phasenrauschen hochdrücken. Wie am Ende von **3.3** in Aussicht gestellt wurde, ist das Verhalten des Phasenrauschens nicht bloß von VCO und Referenz geprägt. Je nach Wahl des Filters können auch andere Komponenten im Regelkreis das Phasenrauschen bestimmen.

Positiv fallen hingegen das Schleifenfilter (gelb) und der Frequenzteiler (orange) auf. Die Vernachlässigung des HMC905 in **4.1.2** birgt ein Risiko für Ungenauigkeiten zwischen Simulation und Realität. Da die Phasenrauschkurve des Teilers in Abbildung 41 (orange) aber über dem gesamten Bereich zwischen 10 dB und 20 dB unterhalb der Gesamtrauschkurve liegt, ist dessen Einfluss und damit auch der Einfluss dieser vereinfachenden Annahme auf das Phasenrauschen höchst wahrscheinlich minimal.

Die Gesamtanalyse der optimierten PLL von ADIsimPLL lautet:

10GHz.pll analysed at Sat Jul 26 16:18:18 2025

PLL Chip is HMC440

Notes:

VCO is SDR01000-8

Reference is SMA100B

Frequency Domain Analysis of PLL

Analysis at PLL output frequency of 10GHz

Phase Noise Table

Freq	Total	VCO	Ref	Prescaler	Chip	Filter
100	-98.89	-143.5	-98.98	-118.0	-120.0	-129.9
1.00k	-116.0	-130.5	-119.0	-130.5	-120.0	-134.0
10.0k	-116.1	-120.1	-128.9	-136.9	-118.9	-133.3
100k	-126.8	-133.1	-140.4	-149.0	-128.4	-142.7
1.00M	-149.1	-164.8	-168.6	-170.5	-149.6	-161.5

Reference Spurious

Noise and Jitter Calculations include the first 10 ref spurs

First three spurs: -300 dBc -300 dBc -300 dBc

Phase jitter using brick wall filter

from 10.0 Hz to 10.0MHz

Phase Jitter **9.92fs rms**

ACP - Channel 1

Channel 1 is centred 25.0kHz from carrier with bandwidth 15.0kHz

Power in channel = **-75.5dBc**

---- End of Frequency Domain Results ----

Transient Analysis of PLL

Power up transient to frequency of 10GHz

Simulation run for 200us Final Tuning voltage = 7.2902 V

Frequency Locking

Time to lock to 1.00kHz is 101us

Time to lock to 10.0 Hz is 158us

Phase Locking (VCO Output Phase)

Time to lock to 10.0 deg is 90.2us

Time to lock to 1.00 deg is 119us

Lock Detect Threshold

Lock Detect output did not pass 2.50 V

---- End of Time Domain Results ----

Abbildung 42: Analysebericht von ADIsimPLL

Interessant sind dabei neben der Phasenrauschtabelle die Jitter Analyse mit knapp 10 fs rms , die als Vergleich für die Messungen dienen wird, und die Stimmspannung $V_{Tune} = 7,23\text{ V}$ für den stabilen Endwert, die optimal im mittleren Aussteuerbereich des Operationsverstärkers liegt.

5 Messungen

5.1 Messaufbau

5.1.1 Aufbau der realen PLL

Für den Messaufbau werden EVAL-Boards der Komponenten mit SMA-Leitungen verbunden und in einem geschlossenen 19"-Gehäuse untergebracht und soweit möglich auf der mit Masse verbundenen Grundplatte verschraubt. Die PCBs für das Filter, den DRO und den HMC862 mussten dabei extra für diese Arbeit erstellt und gefertigt werden.

Der SDRO1000-8 wird in einem kleinen Gehäuse zusätzlich abgeschirmt. Erste Messversuche hatten bereits vor der Phasenrauschmessung gezeigt, dass das Bauteil sehr EMV-störanfällig ist. Bewegte man eine Hand in 2 cm Nähe zum freiliegenden DRO, wurde die Ausgangsfrequenz sichtbar um einige MHz verstimmt.

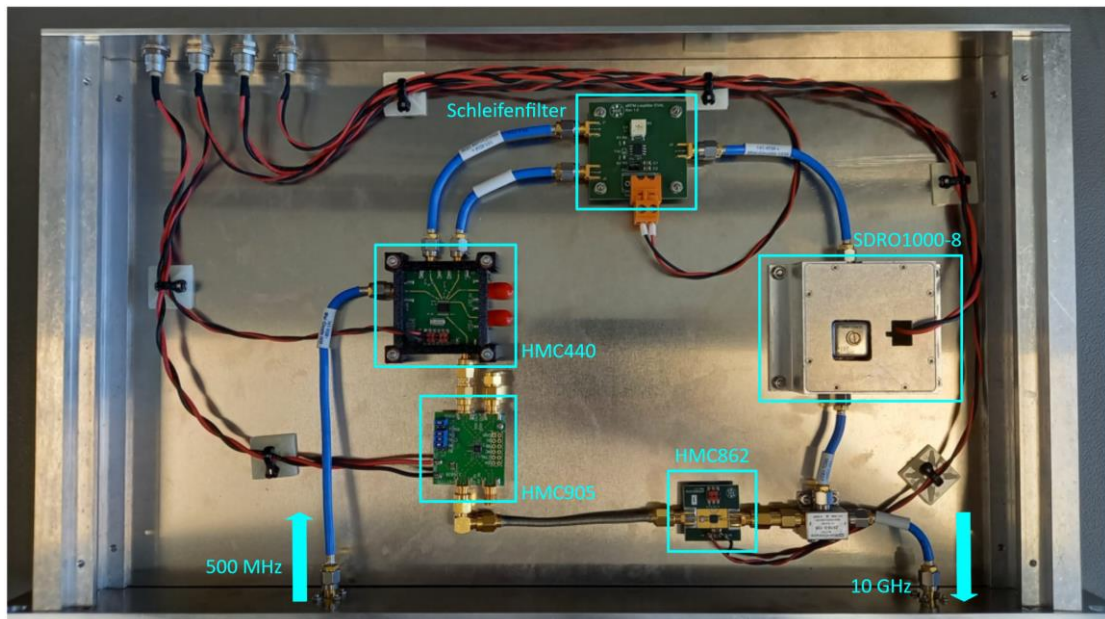


Abbildung 43: Foto vom Messaufbau der PLL mit EVAL-Boards

Die PCBs aus Abbildung 43 müssen mit 4 verschiedenen Spannungen versorgt werden:

- HMC905: 3,3 V
- HMC440 & HMC862: 5 V
- SDRO1000-8: 8 V
- Schleifenfilter: 15 V

Der SDRO1000-8 kann theoretisch auch mit 5 V betrieben werden, dadurch sinkt aber die Ausgangssignalleistung, was das SNR verschlechtert.

5.1.2 Messgeräte und Spannungsversorgung

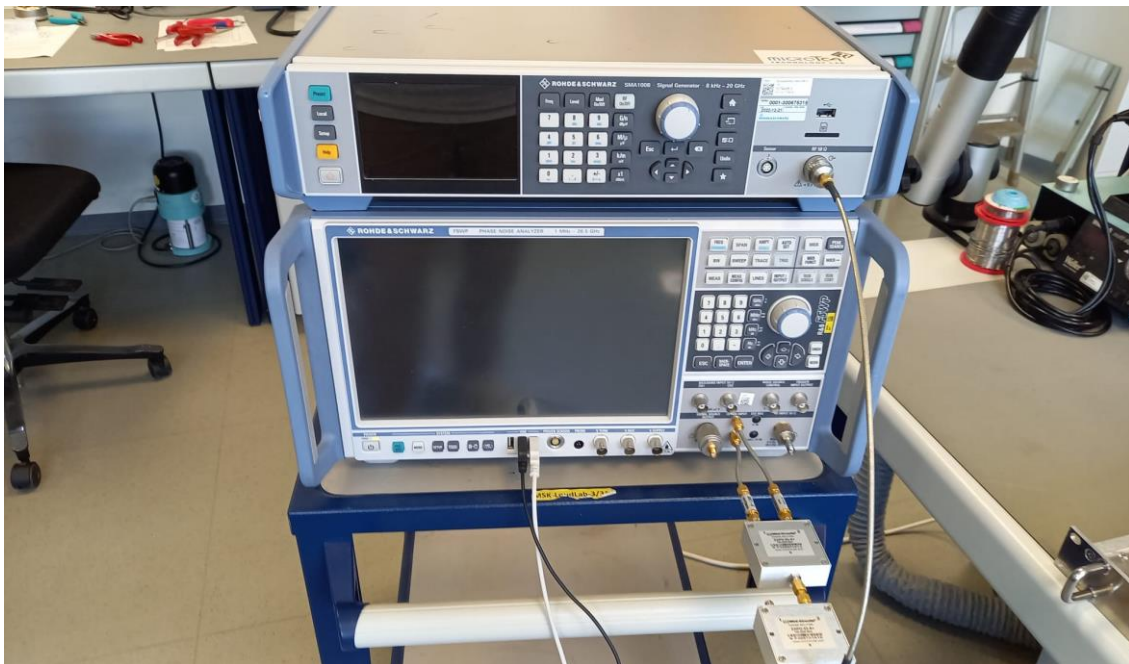


Abbildung 44: SMA100B (oben) und FSWP Phase Noise Analyzer (unten) von Rohde & Schwarz

Das 500 MHz Eingangssignal wird wie geplant vom „SMA100B Signalgenerator“ von Rohde & Schwarz erzeugt. Das Phasenrauschen am Ausgang wird mit dem „FSWP Phase Noise Analyzer“ von Rohde & Schwarz gemessen. Da in die Simulationsergebnisse, mit denen die Messungen verglichen werden sollen, die Referenz mit eige-rechnet haben, wird das Phasenrauschen absolut gemessen.



Abbildung 45: Zwei HMP2020 von Rohde & Schwarz



Abbildung 46: Einstellbare Spannungsversorgung E3630A und E3620A von Agilent

Die 4 Versorgungsspannungen werden zunächst mit zwei „HMP2020 Programmable Power Supply“ von Rohde & Schwarz generiert, die nachgefilterte Schaltregler verwenden. Danach wird die gleiche Messung mit einem E3620A und einem E3630A von Agilent wiederholt, die mit rauscharmen linearen Spannungsreglern arbeiten.

5.2 Messergebnisse

5.2.1 Erste Messung – HMP2020 Netzteil

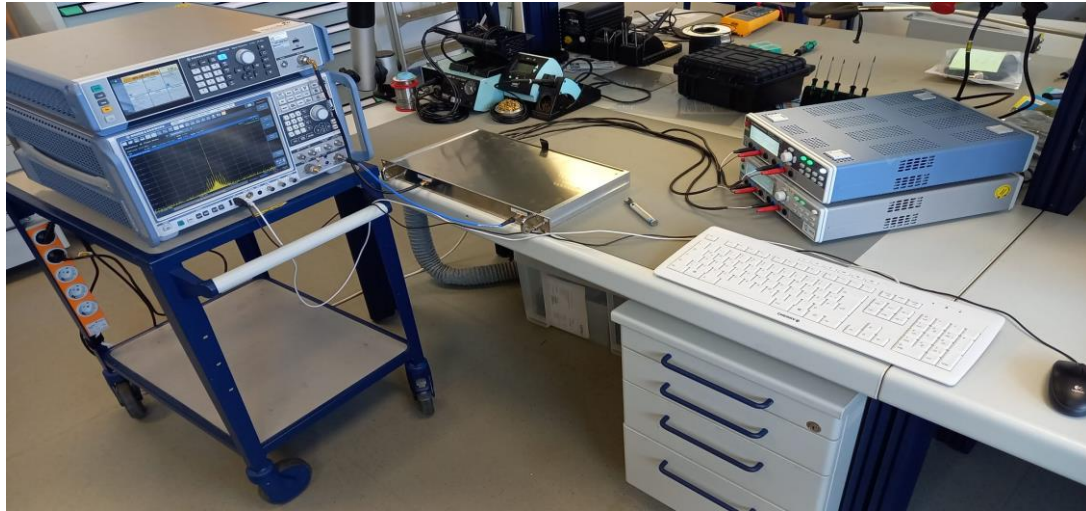


Abbildung 47: Messaufbau mit HMP2020 Netzteil

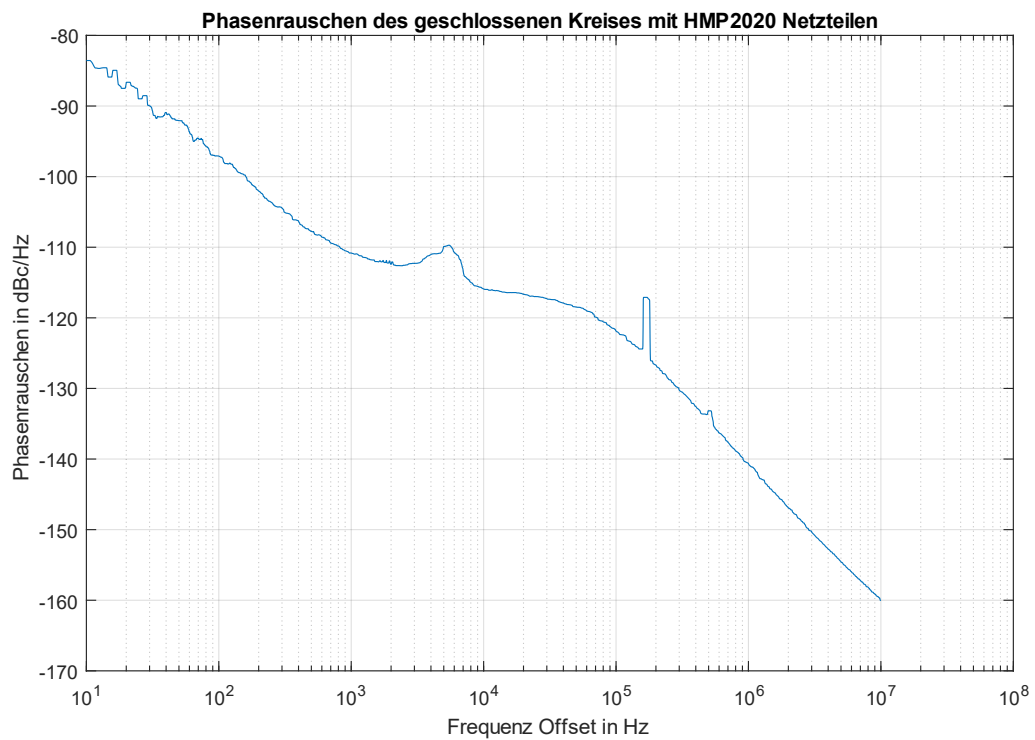


Abbildung 48: Phasenrauschmessung mit HMP2020 Netzteil

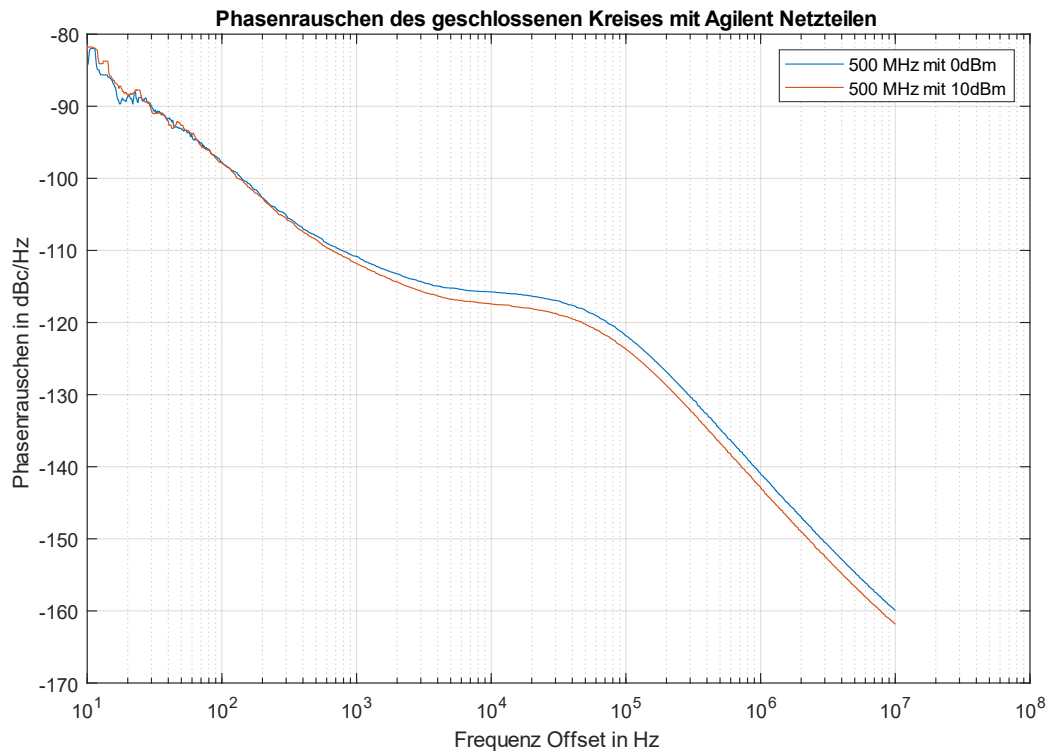


Abbildung 50: Phasenrauschmessung mit Agilent Netzteilen für 0 dBm und 10 dBm Eingangssignal

Die Phasenrauschmessung mit Agilent Netzteilen wurde mit 0 dBm und mit 10 dBm Eingangsamplitude der 500 MHz Referenz durchgeführt. Die Jitterberechnung aus dem Phasenrauschen in Abbildung 50 von 10 Hz bis 10 MHz hat für 0 dBm 13 fs rms und für 10 dBm 11,39 fs rms ergeben.

Durch Variation der Eingangsamplitude wurde außerdem ein Bereich von $-12,67$ dBm bis $+10$ dBm ermittelt, in dem die PLL stabil an die Referenz gekoppelt werden kann.

Der Halte- und Fangbereich ist für diese PLL nicht wirklich relevant. Die Eingangsfrequenz ist beinahe konstant und die kleine Eingangsvarianz von $\pm 1,5$ kHz bedeutet für den Ausgang eine Varianz von ± 30 kHz, was nur einen Bruchteil der Aussteuergrenze des DROs von 6,8 MHz laut Datenblatt [8] ausmacht.

Der Vollständigkeit halber wurde er dennoch durch einen Eingangsfrequenz-Sweep von 499,4 kHz bis 500,1 kHz bei einer konstanten Eingangsamplitude von 0 dBm ermittelt.

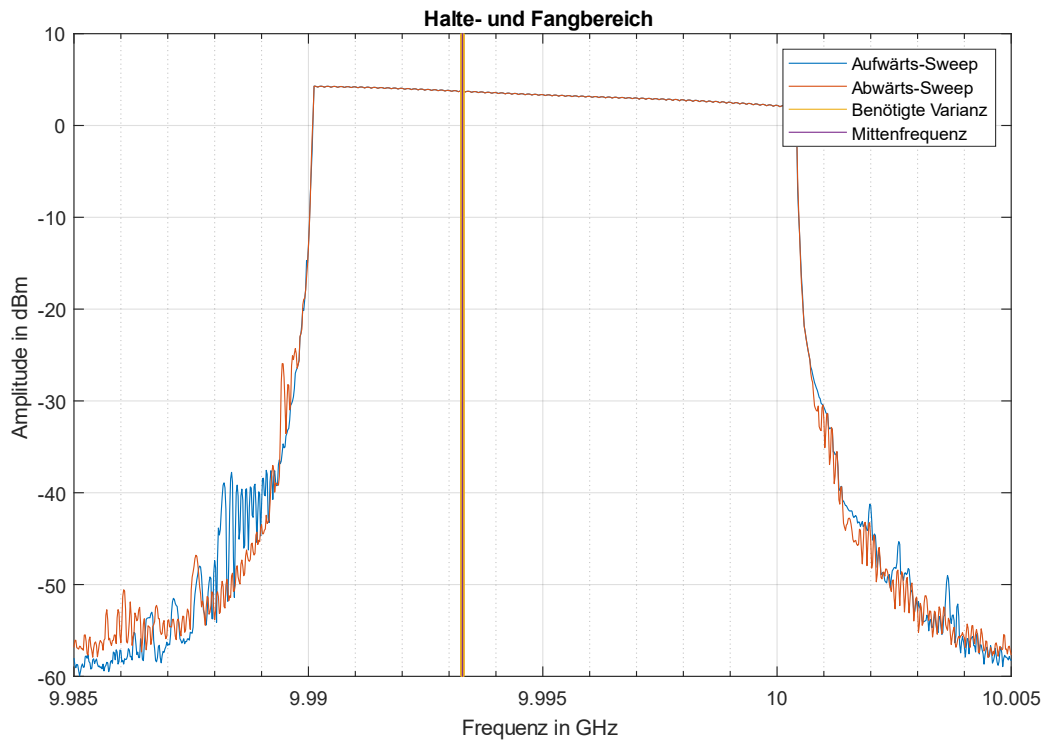


Abbildung 51: Halte- und Fangbereich

Halte und Fangbereich sind wie in Abbildung 50 zu sehen identisch und liegen zwischen $9,990\text{ GHz}$ und 10 GHz . Zusätzlich sind in Abbildung 50 zum Vergleich die mittlere Ausgangsfrequenz von $9,993286\text{ GHz}$ in Violett und deren mögliche Varianz um $\pm 30\text{ kHz}$ in Gelb dargestellt. Im Vergleich zum Halte- und Fangbereich ist diese Spanne so klein, dass sie auf der Abbildung mit bloßem Auge als Linie erscheint.

Wie in **3.2.1** bereits erwähnt können DROs empfindlich auf mechanische Schwingungen reagieren. Zu diesem Zweck wurde mit einer Musikbox direkt über dem DRO lauter Lärm im akustischen Bereich generiert, was jedoch keine sichtbaren Auswirkungen auf das Signal hatte. Erst bei sehr starkem Klopfen auf die Deckelplatte direkt über dem DRO gab es sichtbare Auswirkungen. Der SDRO1000-8 scheint gegenüber akustischen Störgeräuschen robust zu sein. Da die mechanische Entwicklung jedoch noch nicht endgültig abgeschlossen ist, steht eine finale Bewertung über die Notwendigkeit von Entstörmaßnahmen noch aus. Nach aktuellem Stand sind jedoch keine erforderlich.

6 Auswertung

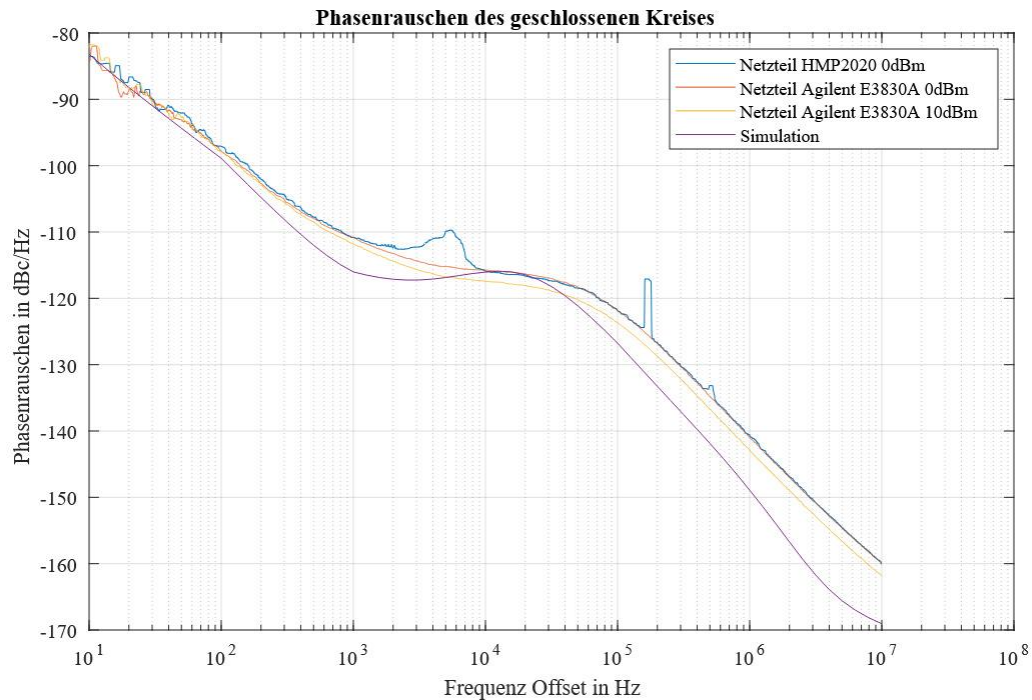


Abbildung 52: Gemeinsame Darstellung von Messungen und Simulation

Durch die Wahl eines besseren Netzteils und Erhöhung der Eingangsamplitude konnte der Jitter um je eine Femtosekunde verbessert werden. Das ist zwar eine mess- und in Abbildung 52 sichtbare Verbesserung, ändert aber die Größenordnung des Jitters nicht nennenswert. Im Umkehrschluss bedeutet das auch, dass sich der Jitter bei schlechteren Netzteilen und geringerer Eingangsamplitude von der optimalen Messung nur um 2 Femtosekunden verschlechtert. Die PLL ist also generell nicht sehr stör anfällig.

Im Vergleich zwischen den Messkurven und der Simulation, fallen zwei Bereiche auf, in denen die reale Schaltung minimal schlechter abschneidet. Erstens im 1/f Abfall vor dem Plateau und zweitens im 1/f Abfall zwischen Plateau und Grundrauschen. Die Zwischenbilanz, die in 4.3 aus dem Simulationsergebnis gezogen wurde, lässt vermuten, dass der Phasendetektor HMC440 die Schwachstelle dieser Schaltung ist.

Genauso gut könnte aber auch der Testaufbau selbst für eine Verschlechterung gesorgt haben. Was die Simulation nicht berücksichtigen konnte, sind die vielen SMA-Schraubverbindungen, die langen Signalwege und die offen liegenden Leiterplatten ohne Abschirmung, die durch den Testaufbau mit einzelnen EVAL-Boards zustande kommen.

Generell kommt der Testaufbau der 10 GHz-PLL auf bis zu 11,39 *fs rms* von den theoretisch möglichen 10 *fs rms* aus der Simulation, was relativ betrachtet ein sehr gutes Ergebnis ist. Das bedeutet im Umkehrschluss auch, dass die simulierte Schaltung die Realität sehr detailgetreu abbilden konnte, was der Aussage des Simulationsergebnisses bekräftigt, dass dies die rauschärmste Optimierung für diese PLL sei.

7 Fazit

7.1 Zusammenfassung

Ziel dieser Arbeit war die Entwicklung einer rauscharmen 10 GHz Phasenregelschleife, die an eine ~ 500 MHz Referenz gekoppelt wird und dieser um $\pm 1,5$ kHz folgen kann. Dafür wurden der Grundaufbau der PLL zusammengestellt, die einzelnen Komponenten ausgewählt und Anforderungen an das grundlegende Verhalten des Schleifenfilters gestellt. Die genauen Werte für das Schleifenfilter wurden daraufhin mit der Simulationssoftware "ADIsimPLL" von Analog Devices so optimiert, dass das niedrigste mögliche Phasenrauschen mit den gewählten bzw. im Vorfeld festgelegten Komponenten erreicht werden sollte. Ein Testaufbau wurde mit EVAL-Boards realisiert, von denen das PCB für den DRO, das Schleifenfilter und den Frequenzteiler HMC862 selbst erstellt und extra gefertigt wurden. Mehrere Messungen an diesem Testaufbau haben ergeben, dass die Simulationssoftware die PLL sehr realitätsnah abbilden konnte. Von den prognostizierten 10 fs rms Jitter wurden 11,4 fs rms erreicht, was ein sehr gutes Ergebnis ist. Außerdem ist die entwickelte PLL dynamisch genug, der Referenz in ihrem zu erwartenden Aussteuerbereich zu folgen.

Mit knapp 12 fs rms Jitter bei 10 GHz ist die PLL objektiv sehr rauscharm. Ob sie rauscharm genug ist, um den Anforderungen des Multibunch Feedback Systems von PETRA IV zu genügen, muss sich noch zeigen. Da sich beide noch in der Entwicklung befinden, steht auch die endgültige Bewertung dieser PLL noch nicht fest.

Einen möglichen Anhaltspunkt bietet allerdings schon jetzt die aktuelle Richtlinie für Komponenten des MBFS von PETRA III mit 10 ps Jitter. Damit wäre diese PLL knapp 1000-mal besser als der aktuelle Grenzwert.

7.2 Ausblick

Nachdem der erste Aufbau der PLL nun erfolgreich war, folgt als erstes die Erweiterung für eine Ausgabe von 5 GHz und 1 GHz sowie der Einbau von Splittern, Verstärkern und Bandpassfiltern, die die Verteilung der Ausgangssignale mit ausreichender Leistung ermöglichen sollen. Dieser Aufbau wird dann erneut auf Phasenrauschverhalten gemessen und optimiert.

Das langfristige Ziel ist, die PLL auf ein Mezzanine PCB zu integrieren, das auf der ADU-/DAU-Karte des MBFS sitzen soll. Da das MBFS dem μ TCA-Standard entsprechen muss, der von diversen Forschungsinstituten wie DESY aus dem ATCA-Standard der Telekommunikations-Branche für die schnelle Verarbeitung großer Datenmengen entwickelt wurde, wird dem Mezzanine nur 12 V und 3,3 V zur Verfügung stehen. Um Spannungswandler einsparen zu können, wäre es daher sinnvoll bereits jetzt zu testen, ob das Filter auch mit 12 V statt 15 V und der SDRO1000-8 auch mit 5 V statt 8 V ausreichende Qualität liefern.

Um grundlegend das Phasenrauschen weiter zu verbessern, könnten Tests mit anderen Phasendetektoren durchgeführt werden, falls Forderungen nach noch weniger Jitter vom MBFS kommen, die Zeit und Kosten für eine solche Testreihe rechtfertigen.

Literatur- und Quellenverzeichnis

- [1] Deutsches Elektronensynchrotron: How to reach PETRA III and Flash
URL: https://photon-science.desy.de/about_us/how_to_reach_petra_iii_flash/index_eng.html
(Abgerufen am 18.07.2025)
- [2] Gero Kube: Considerations for Petra IV.
Interne Powerpointpräsentation, gehalten am 02.05.2019
- [3] Andresen, S.: Impact of Different Components and Boundary Conditions on the Eigenfrequencies of a Magnet–Girder Assembly. Instruments, 29.05.2022
URL: <https://doi.org/10.3390/instruments5030029>
(Abgerufen am 18.07.2025)
- [4] Saxena, S.: Input Output Characteristics of Basic PLL Blocks
URL: https://www.youtube.com/watch?v=QDaOULACAUQ&list=PLkgG-pEcWYTxlhaNcpfSYIxB7oZfMSg2VN&index=5&ab_channel=NPTTEL-NOCIITM
(Abgerufen am 19.07.2025)
- [5] Saxena, S.: Small Signal Analysis of Type-I/II/III PLLs for Phase Step, Frequency Step and Frequency Ramp
URL: https://www.youtube.com/watch?v=73SrRgl1IPY&list=PLkgG-pEcWYTxlhaNcpfSYIxB7oZfMSg2VN&index=9&ab_channel=NPTTEL-NOCIITM
(Abgerufen am 19.07.2025)
- [6] Trudgen, G.: Phase Noise/Jitter in Chrystal Oscillators, Rakon, Ltd., July 2009
Der Text befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann
- [7] Emmerich, J.; Rudolph, H.: Die Trinität der Ungenauigkeit: Phasenrauschen, Jitter und Kurzzeitstabilität, 10.2022
Der Text befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann
- [8] Synergy Microwave Corporation: SDRO1000-8
Das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann
- [9] Rhode & Schwarz: R&S®SMA100B RF AND MICROWAVE SIGNAL GENERATOR Specifications - Version 08.02, 01.2025
Das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann

- [10] Analog Devices: HMC440QS16G / 440QS16GE
Das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann
- [11] Wikipedia: Charge-pump phase-locked loop
URL: https://en.wikipedia.org/wiki/Charge-pump_phase-locked_loop
(Abgerufen am 21.07.2025)
- [12] Analog Devices: 0.1 GHz to 24 GHz, Low Noise, Programmable Divider HMC862A
Das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann
- [13] Analog Devices: HMC905LP3E
Das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann
- [14] Texas Instruments: OPAx891, 180 MHz, 0.95 nV/ $\sqrt{\text{Hz}}$, Ultra-low THD, Operational Amplifiers – November 2019
Das Datenblatt befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann
- [15] Jablonski, S.; Duhme, H. T.; Mavrič, U.; Pfeiffer, S.; Schlarb, H.: Transverse Multi-Bunch Feedback Detector Electronics using direct sampling analog-to-digital converters for the synchrotron radiation source PETRA IV – 12th Int. Beam Instrum. Conf., Saskatoon, Canada, 2023
Der Text befindet sich im Anhang auf einem Datenträger, der beim Erstgutachter eingesehen werden kann

Erklärung zur selbstständigen Bearbeitung einer Abschlussarbeit

Hiermit versichere ich, dass ich die vorliegende Arbeit ohne fremde Hilfe selbständig verfasst und nur die angegebenen Hilfsmittel benutzt habe. Wörtlich oder dem Sinn nach aus anderen Werken entnommene Stellen sind unter Angabe der Quellen kenntlich gemacht.

Ort

Datum

Unterschrift im Original