

Masterarbeit

Jiyuan Wang

Entwicklung eines integrierbaren schnellen AD-
Umsetzers als Teil einer flexiblen Systemplatt-
form zur Auswertung von mikromechanischen
Sensorsignalen

Jiyuan Wang

Entwicklung eines integrierbaren schnellen AD-
Umsetzers als Teil einer flexiblen Systemplatt-
form zur Auswertung von mikromechanischen
Sensorsignalen

Masterarbeit eingereicht im Rahmen der Masterprüfung
im gemeinsamen Studiengang Mikroelektronische Systeme
am Fachbereich Technik
der Fachhochschule Westküste
und
am Department Informations- und Elektrotechnik
der Fakultät Technik und Informatik
der Hochschule für Angewandte Wissenschaften Hamburg

Betreuender Prüfer : Prof. Dr.-Ing. Hans-Dieter Schütte
Zweitgutachter : Prof. Dr. Ulrich Sauvagerd

Abgegeben am 19. Juli 2010

Jiyuan Wang

Thema der Masterarbeit

Entwicklung eines integrierbaren schnellen AD-Umsetzers als Teil einer flexiblen Systemplattform zur Auswertung von mikromechanischen Sensorsignalen

Stichworte

AD-Umsetzer, Quantisierungsrauschen, Delta-Sigma-Modulator, Rauschformung, Switched-Capacitor-Schaltung

Kurzzusammenfassung

Im Fraunhofer-Institut für Siliziumtechnologie ISiT wird zurzeit eine flexible-MEMS-Systemelektronik für Sensorsignale entwickelt. Um die analogen Sensorsignale im digitalen Bereich umzuwandeln, wird in dieser Arbeit der analoge Teil eines Delta-Sigma-AD-Umsetzers vorgestellt. Nach der Modellierung des Delta-Sigma-Modulators wird der gesamte Modulator auf Transistorebene mit der Switched-Capacitor-Schaltung realisiert.

Jiyuan Wang

Title of the master thesis

Development of an integrable fast AD-converter as part of a flexible system platform for evaluation of micro-mechanical sensor signals

Keywords

AD-converter, quantization noise, delta-sigma modulator, noise shaping, switched-capacitor circuit

Abstract

The Fraunhofer-Institute for Silicon Technology ISiT is developing currently a flexible MEMS system for sensor signals. To convert the analog sensor signals into the digital signals, which can be processed with a FPGA, the analog part of a delta-sigma converter is presented. After modelling the delta-sigma modulator, the whole modulator is with the switched-capacitor circuit in the transistor-level realized.

Inhaltsverzeichnis

Tabellenverzeichnis	III
Abbildungsverzeichnis	IV
1. Einleitung	1
1.1. Motivation	1
1.2. Aufgabenspezifikation	2
1.3. Inhaltlicher Aufbau	3
2. Stand der Technik	4
2.1. Nyquistrate-Umsetzer	4
2.1.1. Flash-ADC	5
2.1.2. Sukzessive-Approximation-ADC	6
2.1.3. Zähler-ADC	7
2.2. Überabtastung-Umsetzer	8
2.3. Vergleich der AD-Umsetzungsverfahren	9
3. Grundlagen des Delta-Sigma-Umsetzverfahrens	11
3.1. Quantisierungsrauschen	11
3.2. Rauschformung	14
3.3. Signal-Quantisierungsrausch-Abstand	17
4. Analytische Modellierung des Delta-Sigma-Modulators	19
4.1. Allgemeine Struktur des Delta-Sigma-Modulators	19
4.1.1. Auswahl der Modellstruktur	20
4.1.2. Modellierung des inneren ADC	21
4.1.3. Modellierung des Schleifenfilters	22
4.2. Modellierung des TP-Delta-Sigma-Modulators 1.Ordnung	23
4.2.1. Herleitung der Übertragungsfunktion	23
4.2.2. Rauschformung Verhalten	25
4.2.3. Signal-Quantisierungsrausch-Abstand Analyse	26
4.2.4. Simulation des Modulators in SIMULINK/MATLAB	28
4.3. Modellierung des Bandpass-Delta-Sigma-Modulators 2.Ordnung	31
4.3.1. Null- und Polstellen der Übertragungsfunktion	31
4.3.2. Rauschformung Verhalten	32

4.3.3.	Der DD-Resonator	34
4.3.4.	Herleitung der Übertragungsfunktion	34
4.3.5.	Simulation des Modulators in SIMULINK/MATLAB	35
4.4.	Modellierung des Bandpass-Delta-Sigma-Modulators 4.Ordnung	38
4.4.1.	Herleitung der Übertragungsfunktion	39
4.4.2.	Rauschformung Verhalten	39
4.4.3.	Signal-Quantisierungsrausch-Abstand Analyse	41
4.4.4.	Simulation des Modulators in SIMULINK/MATLAB	42
4.5.	Bandpass-Delta-Sigma-Modulator höherer Ordnung	43
4.6.	Stabilität des Delta-Sigma-Modulators	47
4.7.	Modellierung des Bandpass-Delta-Sigma-Modulators 8.Ordnung mit der 4-4-Kaskadenstruktur	51
4.7.1.	Grundprinzip des Delta-Sigma-Modulators mit der Kaskaden- struktur	51
4.7.2.	Herleitung der Übertragungsfunktion	52
4.7.3.	Simulation des Modulators in SIMULINK/MATLAB	54
4.8.	Skalierung des Spannungsbereiches	54
5.	Simulation des Delta-Sigma-Modulators auf Transistorebene	60
5.1.	Funktionsweise des Delta-Sigma-Modulators mit SC-Technologie	60
5.1.1.	Schaltungsaufbau des SC-DD-Resonators	60
5.1.2.	Zustandsanalyse des SC-DD-Resonators	62
5.2.	Realisierung des SC-Delta-Sigma-Modulators auf Transistorebene	70
5.2.1.	Generierung der Steuersignale	70
5.2.2.	Realisierung der Schalter	73
5.2.3.	Realisierung des DD-Resonators	77
5.3.	Simulation des SC-BP-Delta-Sigma-Modulators 4.Ordnung in CADENCE	80
5.4.	Simulation des 4-4-MASH-SC-BP-Delta-Sigma-Modulators 8.Ordnung in CADENCE	85
5.4.1.	Realisierung der Noise-Cancelling-Logic	87
5.4.2.	Simulationsergebnis	88
5.5.	Vergleich der entwickelten Delta-Sigma-Modulatoren	91
6.	Zusammenfassung und Ausblick	93
	Literaturverzeichnis	95
A.	Anhang: Verwendete Symbole	97
B.	Anhang: Verwendete Abkürzungen	98
C.	Anhang: CADENCE-Modelle	99

Tabellenverzeichnis

1.1. <i>Spezifikation des ADC</i> [Sch09]	3
2.1. <i>Vergleich der ADC-Verfahren</i>	10
5.1. <i>Charakteristik des MOS-Transistors mit verschiedenen Steuerelektroden- und Quellen-Spannungen</i>	76

Abbildungsverzeichnis

1.1. Blockschaltbild der FSE	1
1.2. Blockschaltbild der FSE mit FPGA	2
2.1. Daten-Umsetzer mit DSP	4
2.2. Blockschaltbild eines Flash-ADC	5
2.3. Blockschaltbild eines Sukzessive-Approximation-ADC	7
2.4. Blockschaltbild eines Zähler-ADC	7
2.5. Anforderung des AAF eines ADC	8
2.6. Blockschaltbild des $\Delta\Sigma$ -ADC	9
3.1. Vorgang der AD-Umsetzung	11
3.2. Vergleich des Eingangssignals mit seinem quantisierten Ausgangssignal	12
3.3. Der von der AD-Umsetzung erzeugte Quantisierungsfehler	12
3.4. Abhängigkeit der Quantisierungsrauschleistung von der OSR	14
3.5. Blockschaltbild eines $\Delta\Sigma$ -ADC	15
3.6. Arbeitsvorgang des $\Delta\Sigma$ -ADC	16
4.1. Blockschaltbild eines $\Delta\Sigma$ -Modulators	19
4.2. Blockschaltbild eines $\Delta\Sigma$ -Modulators mit DT-Struktur	20
4.3. Blockschaltbild eines $\Delta\Sigma$ -Modulators mit CT-Struktur	21
4.4. Takten mit „clock jitter“	22
4.5. Modellierung des inneren ADC	22
4.6. Modellierung des Schleifenfilters des TP- $\Delta\Sigma$ -Modulators	23
4.7. Modellierung des TP- $\Delta\Sigma$ -Modulators 1.Ordnung	23
4.8. Modellierung des TP- $\Delta\Sigma$ -Modulators 1.Ordnung im Z-Bereich	24
4.9. Rauschformung des Quantisierungsrauschens des TP- $\Delta\Sigma$ -Modulators 1.Ordnung	26
4.10. Abhängigkeit SQNR von OSR im TP- $\Delta\Sigma$ -Modulator 1.Ordnung	28
4.11. SIMULINK-Modell des TP-Delta-Sigma-Modulators 1.Ordnung	28
4.12. Ein- und Ausgang des SIMULINK-Modells für TP-Delta-Sigma-Modulator 1.Ordnung	29
4.13. Spektrum des Ausgangs des SIMULINK-Modells für TP-Delta-Sigma-Modulator 1.Ordnung	30
4.14. Null- und Polstellen der NTF des TP- $\Delta\Sigma$ -Modulators 1.Ordnung	31
4.15. Null- und Polstellen der NTF des BP- $\Delta\Sigma$ -Modulators 2.Ordnung	32

4.16. Rauschformung des Quantisierungsrauschens des BP- $\Delta\Sigma$ -Modulators 2.Ordnung und eines TP- $\Delta\Sigma$ -Modulators 1.Ordnung	33
4.17. Blockschaltbild des DD-Resonators	34
4.18. Blockschaltbild des BP- $\Delta\Sigma$ -Modulators 2.Ordnung	35
4.19. SIMULINK-Modell des BP- $\Delta\Sigma$ -Modulators 2.Ordnung	36
4.20. Ein- und Ausgang des BP- $\Delta\Sigma$ -Modulators 2.Ordnung	36
4.21. Spektrum des Ausgangs des BP- $\Delta\Sigma$ -Modulators 2.Ordnung	37
4.22. Blockschaltbild des BP- $\Delta\Sigma$ -Modulators 4.Ordnung	38
4.23. Theoretische NTF des BP- $\Delta\Sigma$ -Modulators 4.Ordnung	40
4.24. Abhängigkeit der In-Band-SQNR von der OSR	42
4.25. SIMULINK-Modell des BP- $\Delta\Sigma$ -Modulators 4.Ordnung	42
4.26. Ein- und Ausgang des BP- $\Delta\Sigma$ -Modulators 4.Ordnung	43
4.27. Spektrum des Ausgangs des BP- $\Delta\Sigma$ -Modulators 4.Ordnung	44
4.28. In-Band-Quantisierungsrauschen des BP- $\Delta\Sigma$ -Modulators 2- und 4.Ordnung	45
4.29. Blockschaltbild des BP- $\Delta\Sigma$ -Modulators N.Ordnung	45
4.30. Abhängigkeit der SQNR von OSR mit unterschiedlicher Modulator-Ordnung	46
4.31. Allgemeines Blockschaltbild eines Regelkreises	47
4.32. Wurzelortskurve des BP- $\Delta\Sigma$ -Modulators 2.Ordnung	49
4.33. Wurzelortskurve des BP- $\Delta\Sigma$ -Modulators 4.Ordnung	49
4.34. Wurzelortskurve des BP- $\Delta\Sigma$ -Modulators 6.Ordnung	50
4.35. Blockschaltbild des 2-2-MASH-BP- $\Delta\Sigma$ -Modulators 4.Ordnung	51
4.36. Blockschaltbild des 4-4-MASH-BP- $\Delta\Sigma$ -Modulator 8.Ordnung	52
4.37. SIMULINK-Modell des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung	55
4.38. Ein- und Ausgang des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung	56
4.39. Spektrum des Ausgangs des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung	57
4.40. Modulator- und Resonatorausgang des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung	58
5.1. Blockschaltbild eines DD-Resonators	60
5.2. Blockschaltbild des SC-DD-Resonators	61
5.3. Steuersignale der Schalter des SC-DD-Resonators	62
5.4. Zustandverteilung der Steuersignale des SC-DD-Resonators	63
5.5. Zustandsanalyse des SC-DD-Resonators: Zustand 1	64
5.6. Zustandsanalyse des SC-DD-Resonators: Zustand 2	64
5.7. Zustandsanalyse des SC-DD-Resonators: Zustand 3	65
5.8. Zustandsanalyse des SC-DD-Resonators: Zustand 4	66
5.9. Zustandsanalyse des SC-DD-Resonators: Zustand 5	67
5.10. Zustandsanalyse des SC-DD-Resonators: Zustand 6	68
5.11. Symbol des verwendeten Taktgenerators „CFG2“	71
5.12. Schematic des verwendeten Taktgenerators „CFG2“	71
5.13. Taktgenerierung von CFG2	72

5.14. Taktgenerierung des Steuersignals A_1 von CFG2	73
5.15. Taktgenerierung aller Steuersignale von CFG2	74
5.16. Symbol des verwendeten Schalters „TG2B“	75
5.17. Schematic des verwendeten Schalters „TG2B“	75
5.18. Test-Schaltung für den Schalter „TG2B“	76
5.19. Zeitverlauf der Test-Schaltung für „TG2B“	77
5.20. Blockschaltbild des SC-DD-Resonators auf Transistorebene	78
5.21. Blockschaltbild einer geschalteten Kapazität	79
5.22. Blockschaltbild des theoretischen $\Delta\Sigma$ -Modulators 4.Ordnung	81
5.23. Blockschaltbild des $\Delta\Sigma$ -Modulators 4.Ordnung auf Transistorebene . .	82
5.24. Zeitverlauf des Ein- und Ausgangs sowie der Spannungsverlauf der Resonatoren des SC- $\Delta\Sigma$ -Modulators 4.Ordnung	83
5.25. Spektrum des Ausgangssignals des SC- $\Delta\Sigma$ -Modulators 4.Ordnung . . .	84
5.26. Blockschaltbild eines idealen 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung	85
5.27. Realisierung des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung auf Transistorebene	86
5.28. Blockschaltbild der NCL des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung	87
5.29. Realisierung der NCL des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung auf Transistorebene	88
5.30. Zeitverlauf des Ein- und Ausgangs sowie der Spannungsverlauf der Resonatoren des 4-4-MASH-SC- $\Delta\Sigma$ -Modulators 8.Ordnung	89
5.31. Spektrum des Ausgangssignals des 4-4-MASH-SC- $\Delta\Sigma$ -Modulators 8.Ordnung	90
5.32. Vergleich des Spektrums des Ausgangssignals des SC- $\Delta\Sigma$ -Modulators 4.Ordnung und des 4-4-MASH-SC- $\Delta\Sigma$ -Modulators 8.Ordnung	91
6.1. Schematischer Aufbau der FSE	93
C.1. CADENCE-Modell: SC-DD-Resonator	99
C.2. CADENCE-Modell: SC-BP- $\Delta\Sigma$ -Modulator 4.Ordnung	100
C.3. CADENCE-Modell: 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulator 8.Ordnung . . .	101

1. Einleitung

1.1. Motivation

In der heutigen Welt werden die mikroelektronischen Systeme aufgrund ihrer geringen Abmessungen, niedrigen Kosten und kleinen Energieverbräuche in vielen Gebieten eingesetzt. Ein mikroelektronisches System besteht typischerweise aus Sensoren, Ausleseschaltungen, Signalverarbeitungsschaltungen, Regelkreisen und Aktuatoren.

Die Sensoren nehmen verschiedene Messgrößen von der Umgebung anhand der physikalischen oder chemischen Effekte auf, während die Ausleseschaltungen sie in elektrische Signale umformen. Häufig werden diese direkt digitalisiert, um anschließend informationstechnisch weiterverarbeitet zu werden. Auch kann ein Teil dieser Verarbeitung in bereits integrierten Logikbereichen durchgeführt werden. Gegebenenfalls werden Steuersignale für angeschlossene Aktoren generiert, um ihre gewünschten Bewegungen auszuführen.

Im Fraunhofer-Institut für Siliziumtechnologie (ISiT) wird zurzeit eine flexible-MEMS-Systemelektronik (FSE) entwickelt [Sch09]. Der prinzipielle Aufbau der FSE wird anhand des nachfolgenden Blockschaltbildes verdeutlicht (siehe Abbildung 1.1):

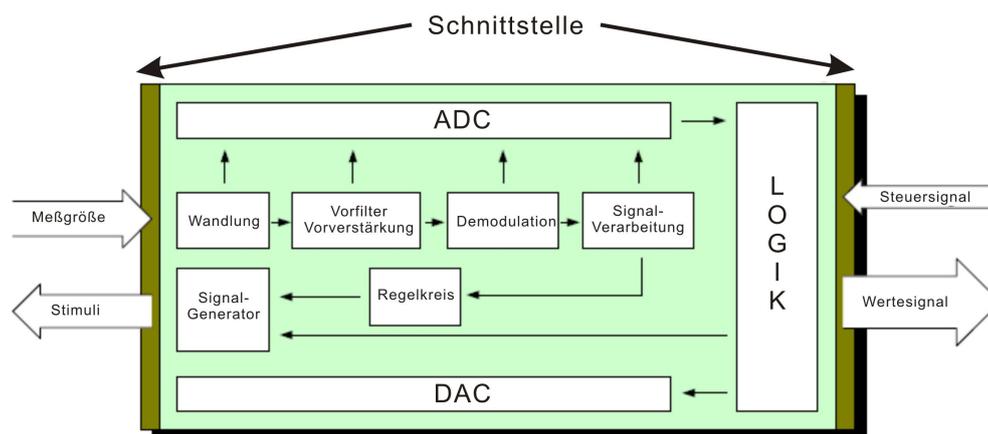


Abbildung 1.1.: Allgemeines Blockschaltbild der flexiblen MEMS-Systemelektronik (FSE) [Sch09]

Die von den Sensoren ausgelesenen physikalischen Messgrößen werden zuerst in elektrische Signale umgewandelt, dann wahlweise vorgefiltert sowie verstärkt, demoduliert und anschließend verarbeitet. Diese Signale werden mit der Hilfe von Regelkreisen und Signal-Generatoren wieder als Stimulusignale zum Aktuator zurückgesandt. Alternativ können die Signale in dem analogen Bereich darüber hinaus mit einem Analog-Digital-Umsetzer „analog to digital converter“ (ADC) digitalisiert und die Logik im digitalen Bereich weiter verarbeitet werden.

Im Zuge einer schnellen Umsetzung des Systemkonzepts werden der analoge Teil und der digitale Teil getrennt realisiert. Der analoge Teil kann bereits als ASIC implementiert, der digitale Teil jedoch als externer „field programmable gate array“ (FPGA) ausgelegt werden, um eine maximale Flexibilität in der Entwicklungsphase zu gewährleisten (siehe Abbildung 1.2):

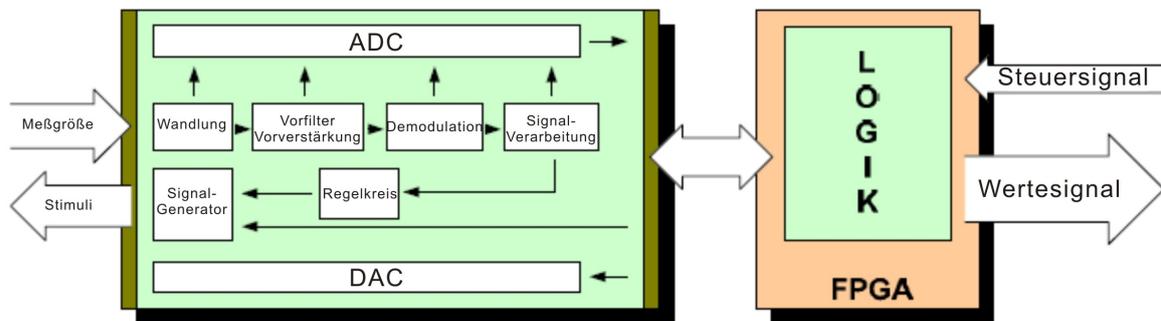


Abbildung 1.2.: Allgemeines Blockschaltbild der flexiblen MEMS-Systemelektronik (FSE) mit als FPGA ausgelagertem Digitalteil [Sch09]

Im Rahmen des Projektes behandelt diese Arbeit den Entwurf eines integrierbaren und schnellen ADC, der die von den Ableseschaltungen der Sensoren erzeugten analogen elektrischen Signale in dem in der FPGA verarbeitbaren digitalen Signalen umsetzen kann.

1.2. Aufgabenspezifikation

Der ADC soll für Signale mit einer Frequenz von etwas mehr als 1 MHz ausgelegt werden, da die Signale in den Ausleseschaltungen mit 1 MHz moduliert werden. Die Systemspezifikationen des ADC werden in Tabelle 1.1 angegeben:

Tabelle 1.1.: Spezifikation des ADC [Sch09]

Parameter	Beschreibung	min. Wert	typ. Wert	max. Wert
V_{dd}	obere Spannungsgrenze	-	3.3 V	-
V_{ss}	untere Spannungsgrenze	-	0 V	-
V_{ref}	Referenzspannung	-	1.65 V	-
f_{BW}	Signalbandbreite	50 KHz	100 KHz	200 KHz
f_c	Zentrumfrequenz des Eingangssignals	-	1 MHz	-
f_s	Abtastfrequenz	2.5 MHz	4 MHz	100 MHz
N	Auflösung des ADC	12 – bit		

1.3. Inhaltlicher Aufbau

Zur Entwicklung dieses ADC wird zuerst in Kapitel 2 ein Überblick über den aktuellen Stand der Technik gegeben. Darüber hinaus werden verschiedene Umsetzungsverfahren vorgestellt und verglichen, um den Grund für die Entscheidung für einen Delta-Sigma-ADC ($\Delta\Sigma$ -ADC) zu ermitteln. Auf den analogen Teil des $\Delta\Sigma$ -ADC wird in dieser Arbeit genauer eingegangen.¹

In Kapitel 3 werden zunächst die Grundlagen der Signalverarbeitung sowie der Signale und Systeme bezüglich der Begriffe erläutert.

Anschließend werden in Kapitel 4 die theoretischen Prinzipien und die Funktionsweise eines $\Delta\Sigma$ -Modulator sowie die Auswahl von unterschiedlichen Modulstrukturen vorgestellt. Die ausgewählte Modulatorstruktur wird hier am Ende mit Hilfe von MATLAB und SIMULINK² modelliert und simuliert.

Die Realisierung des Modulators wird in Kapitel 5 mit CADENCE³ in Transistorebene durchgeführt. Auf jedes einzelne verfügbare reale Bauelement wird zuerst eingegangen, bevor es in der gesamten Schaltung eingesetzt wird.

Nach der Simulation des Modulators erfolgen abschließend in Kapitel 6 eine Zusammenfassung der gesamten Arbeit und ein kurzer Ausblick in die Zukunft.

¹Der $\Delta\Sigma$ -ADC besteht aus zwei Teilen: dem $\Delta\Sigma$ -Modulator und dem digital Filter. Der Digitalfilter wird mittels FPGA realisiert und wird nicht in Rahmen dieser Arbeit vorgestellt.

²MATLAB:(**M**atrix **L**aboratory) ist eine hochentwickelte Skriptsprache für mathematische und technische Berechnungen. SIMULINK ist eine MATLAB-TOOLBOX zur graphischen Modellierung, Simulation und Analyse von dynamischen Systemen [Mat].

³Cadence Design Systems, Inc ist einer der weltweit größten Anbieter von EDA-Software. Er bietet vor allem Software an, die auf den Entwurf und die Verifikation von Chips und elektronischen Leiterplatten spezialisiert ist. [Cad].

2. Stand der Technik

In der Technik wird heutzutage immer mehr digitale Signalverarbeitung verwendet. Die digitalen Systeme werden wegen ihrer geringen Flächen, einfachen Strukturen und der schnellen Operationsgeschwindigkeit in vielen Gebieten eingesetzt. Aber die reale Umgebung liegt in dem analogen Bereich. Der Daten-Umsetzer wird deshalb für die Schnittstelle eines Digitalsignalverarbeitungs-Kerns „**d**igital **s**ignal **p**rocessing core“ (DSP) benötigt. Während die Geschwindigkeit und Genauigkeit des DSP steigt, müssen die Anforderungen für den Daten-Umsetzer auch erhöht werden. Abbildung 2.1 zeigt jeweils einen Data-Umsetzer mit analogem Ein- (ADC) und Ausgang (DAC) und einem DSP [Mic07].

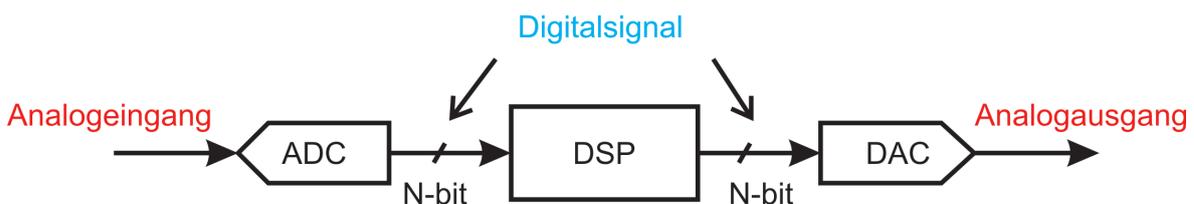


Abbildung 2.1.: Blockschaltbild der Daten-Umsetzer mit DSP

Wie in Abbildung 2.1 dargestellt, wird das Eingangssignal durch den ADC in ein digitales Signal umwandelt und zu einem DSP gesendet. Der DSP verarbeitet das digitale Signal und schickt es zu einer DAC. Durch den DAC wird das Signal wieder in ein analoges Signal zurückgewandelt und zum Ausgang gegeben.

Normalerweise teilt man in der Technik die Daten-Umsetzer (beide ADC und DAC) in zwei Kategorien ein: Nyquistrate-Umsetzer und Überabtastung-Umsetzer. Im Folgenden wird kurz auf den typischen Nyquistrate-Umsetzer und den Überabtastung-Umsetzer eingegangen.

2.1. Nyquistrate-Umsetzer

In dem Nyquistrate-Umsetzer werden die Ausgangssignale eins zu eins von den Eingangssignalen berechnet. Jedes einzelne Sample wird separat verarbeitet und direkt

ausgegeben. Das bedeutet, dass die einzelnen Ausgangssignale unabhängig voneinander sind [Gie09]. Die Abtastfrequenz f_s des Nyquistrate-Umsetzers muss nur dem Nyquist-Shannon-Abtasttheorem entsprechen. Das Nyquist-Shannon-Abtasttheorem besagt, dass ein kontinuierliches, bandbegrenzttes Signal mit einer Bandbreite von f_{BW} , mit einer Frequenz größer als $2 \cdot f_{BW}$ abgetastet werden muss, damit man aus dem so erhaltenen zeitdiskreten Signal das Ursprungssignal ohne Informationsverlust (aber mit unendlich großem Aufwand) exakt rekonstruieren und (mit endlichem Aufwand) beliebig genau approximieren kann [Abt].

In den meisten Fällen werden die Nyquistrate-Umsetzer mit Widerständen, Spannungs- und Stromquellen, Kapazitäten usw. implementiert. Der Flash-ADC ist das typische Beispiel dazu.

2.1.1. Flash-ADC

Der Flash-ADC (genannt auch Parallel-ADC) besteht aus Widerständen, Komparatoren und einer Encoder-Logik (siehe Abbildung 2.2).

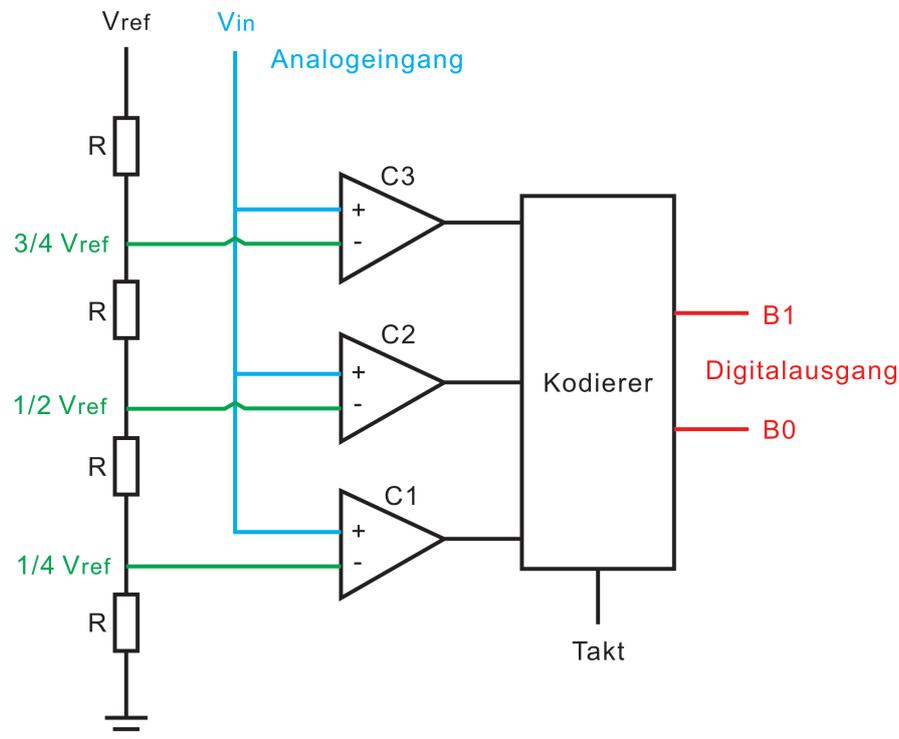


Abbildung 2.2.: Blockschaltbild eines 2-bit Flash-ADC [Gie09]

Abbildung 2.2 stellt einen 2-bit Flash-ADC dar. Die vier Widerstände teilen die Referenzspannung V_{ref} in drei weitere Spannungsstufen. Die analoge Eingangsspannung wird gleichzeitig in den Komparatoren C1, C2, C3 mit der jeweiligen Spannungsstufe verglichen. Wenn der Spannungspegel des Eingangssignals größer als die jeweilige Spannungsstufe ist, geben diejenigen Komparatoren eine „1“ aus, ansonsten eine „0“. Alle drei Komparatoren geben gleichzeitig ihre verglichene Lösung zu dem Kodierer. Durch den Kodierer wird am Ende ein 2-bit digital Signal erzeugt.

Der Flash-ADC hat eine sehr einfache Struktur. Die Komparatoren darin arbeiten gleichzeitig, deswegen ist die Wandlungsgeschwindigkeit sehr hoch. Aber er besitzt eine riesige Fläche, wenn man damit ein Signal mit höherer Auflösung umwandelt, da man für einen N -bit Flash-ADC 2^N Widerstände und 2^N-1 Komparatoren benötigt. So benötigt man z.B. für einen 12-bit Flash-Umsetzer 4096 Widerstände und 4095 Komparatoren. Das ist offensichtlich gegen den Trend der heutigen Technologie, weshalb Flash-ADC typischerweise nur in kleinen Auflösungen von etwa 1-bit bis 8-bit verfügbar sind.

2.1.2. Sukzessive-Approximation-ADC

Die Sukzessive-Approximation-ADC (siehe Abbildung 2.3) funktioniert folgendermaßen: Das Eingangssignal V_{in} wird in N -Schritten digitalisiert, wobei die Genauigkeit bei jedem Schritt um 1-bit steigt. Bei jedem Schritt wird die Eingangsspannung mit einer Referenzspannung V_{ref} verglichen, die durch einen DAC erzeugt wird. Je nachdem, ob V_{in} größer oder kleiner als die Spannung des DAC ist, wird die Referenzspannung im nächsten Schritt um die halbe Schrittweite des letzten Schritts nach oben oder nach unten verändert. Dadurch nähert sich die Spannung des DAC immer mehr der Eingangsspannung an. Die Zwischenergebnisse jeder Stufe werden in einem Register gespeichert. Zum Schluss, wenn das letzte bit des DAC gesetzt ist, entspricht der Wert des DAC der Eingangsspannung und alle Werte in dem Register werden dann gleichzeitig ausgegeben.

Die Sukzessive-Approximation-ADC kann eine sehr hohe Auflösung erreichen. Aber die Anforderung für den Eingangsbereich steigt auch. Das Eingangssignal darf nicht zu schnell verändert werden, da der Komparator dann nicht genügend Zeit hat, die ursprünglichen Signale zu vergleichen. Deswegen ist eine Abtast-Halte-Schaltung (S&H) davor geschaltet worden. Typischerweise hat der Sukzessive-Approximation-ADC eine Auflösung von höher als 14-bit, ist aber nur geeignet für einen Eingangsbereich von bis zu 100 KHz.

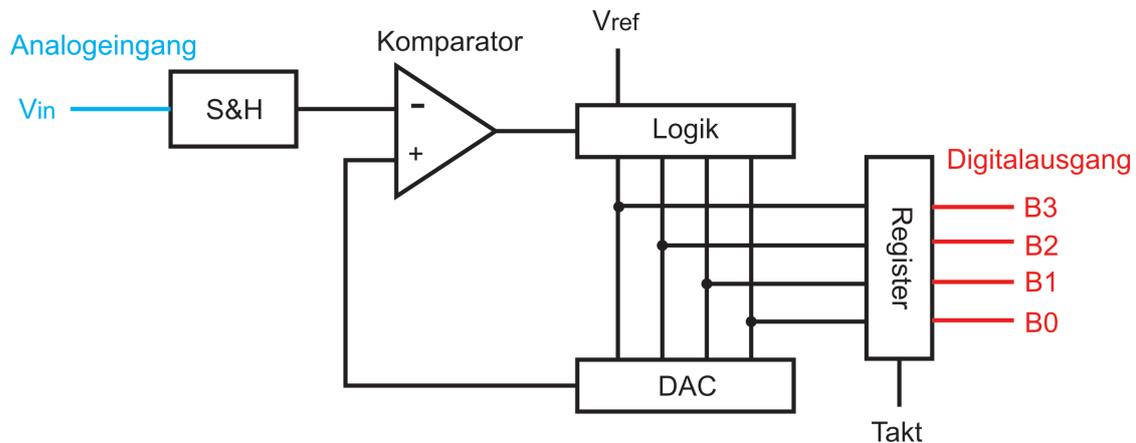


Abbildung 2.3.: Blockschaltbild eines Sukzessive-Approximation-ADC[Gie09]

2.1.3. Zähler-ADC

Ein Zähler-ADC sieht wie in Abbildung 2.4 aus:

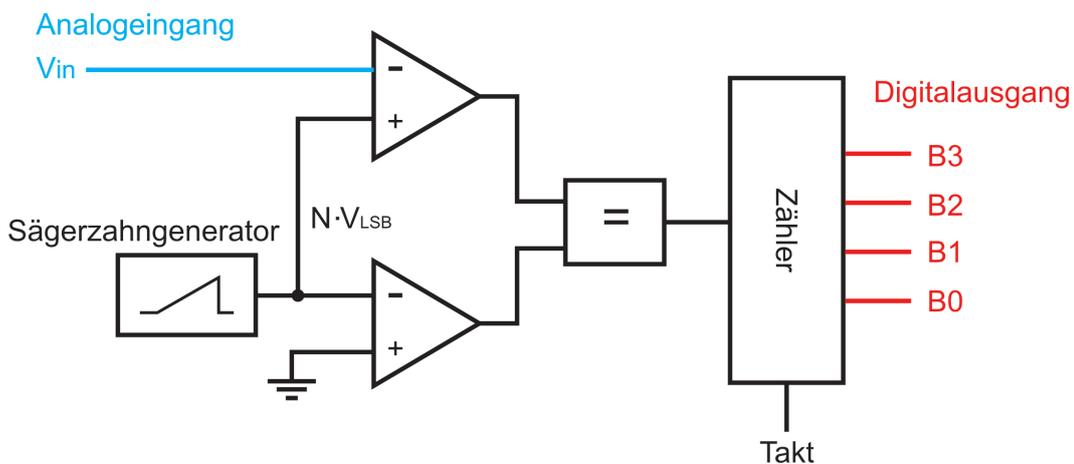


Abbildung 2.4.: Blockschaltbild eines Zähler-ADC[Gie09]

Bei dem Zähler-ADC wird so lange der kleinste gewünschte Schritt V_{LSB} addiert und an einen Komparator geliefert, bis der Wert bzw. der Spannungspegel gleich oder größer als der Pegel des angelegten analogen Eingangssignals ist. Jede Addition des V_{LSB} wird von einem Zähler gezählt und in einem Register gespeichert. Die gesamten Schritte werden am Ende als der Digitalwert ausgegeben.

Solche Zähler-ADC brauchen sehr wenig Energie und Fläche, auch dann noch, wenn höhere Auflösungen angefordert werden. Aber ein Signal mit N -bit Auflösung braucht

insgesamt 2^N Takte, um die Referenzspannung zu zählen. Damit reagiert diese ADC viel langsamer als die vorherigen zwei Typen der ADC. Sie braucht zum Beispiel für die Umsetzung eines 12-bit Signals mit einer 1 MHz Abtastfrequenz ungefähr 4 ms. Deswegen sind Zähler-ADC meistens nur für die langsamen Systeme geeignet.

2.2. Überabtastung-Umsetzer

Die in Kapitel 2.1 genannten Nyquistrate-Umsetzer werden je nach ihrer Charakteristik nur in einem beschränkten Frequenzbereich verwendet. Sie brauchen vorher unbedingt einen „anti aliasing filter“ (AAF), um die Signal-Bandbreite unter Nyquistfrequenz zu sichern. Wenn man aber die Abtastfrequenz weiter als die Nyquistfrequenz erhöht, werden die Anforderungen des AAF des ADC geringer. Das bedeutet in der Technik: weniger Leistungsverbrauch und kleinere Flächen (siehe Abbildung 2.5):

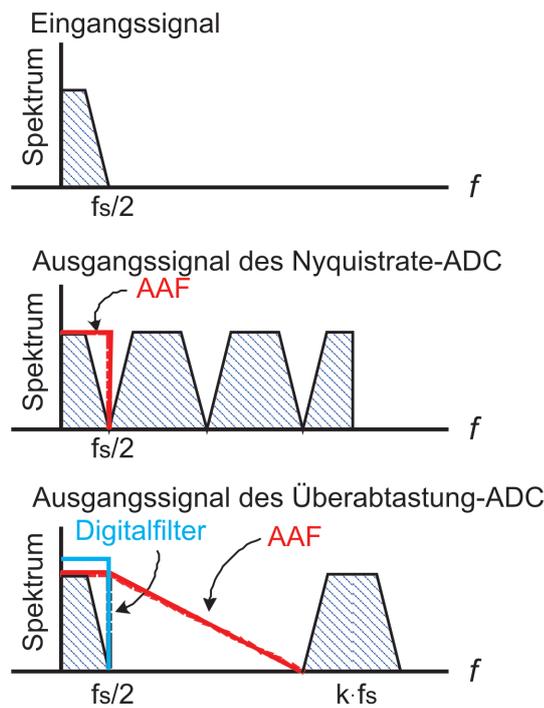


Abbildung 2.5.: Die Anforderung des AAF eines Nyquistrate-ADC und eines Überabtastung-ADC [Y.C09]

Mit solchen Basisgedanken wurde der $\Delta\Sigma$ -ADC entwickelt. Die $\Delta\Sigma$ -Umsetzung ist von J.C.Candy hervorgebracht worden und hat ihren Hauptgedanken darin, dass man Genauigkeit durch hohe Geschwindigkeit ausdrückt, um die Anforderungen an die Ge-

nauigkeit der Bauteile senken zu können [CC91] (siehe Abbildung 2.6):

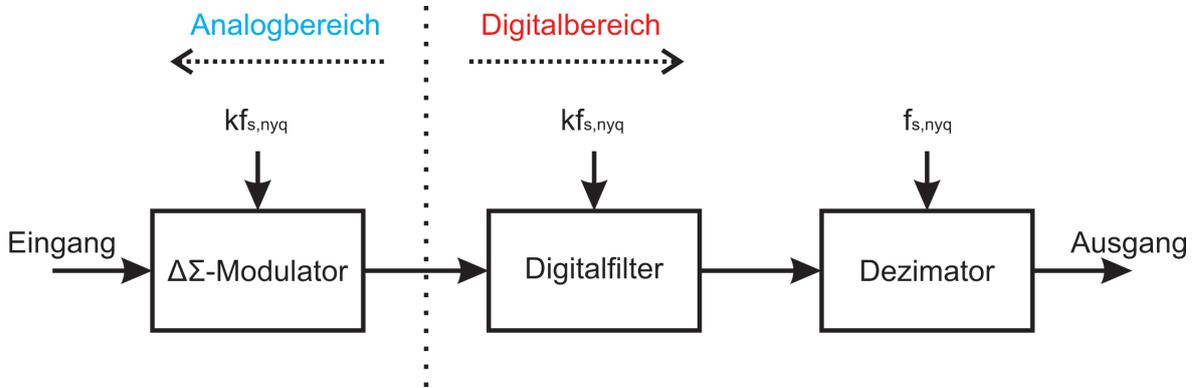


Abbildung 2.6.: Blockschaltbild des $\Delta\Sigma$ -ADC

Das Funktionsprinzip beruht darauf, dass das Signal sehr hoch abgetastet wird. Dieser Abtastfrequenz, die im Bereich einiger MHz liegt bzw. weit über der sich aus der Abtasttheorem ergebenden Nyquistfrequenz, steht eine Auflösung von nur 1-bit gegenüber. Durch eine anschließende digitale Filterung wird die Auflösung erheblich erhöht, wobei eine gleichzeitige Reduzierung der Datenrate stattfindet.

Auf die genaue Analyse, die wichtigsten Eigenschaften sowie die Herleitung der Übertragungsfunktion des $\Delta\Sigma$ -ADC wird weiter in Kapitel 4 eingegangen.

Der Anwendungsbereich solcher $\Delta\Sigma$ -ADC befindet sich für die Eingangsbandbreite bis 100 KHz und bei Umsetzungsgenauigkeiten von bis zu 24-bit .

2.3. Vergleich der AD-Umsetzungsverfahren

Die hauptsächlichen Vor- und Nachteile der Nyquistrate-ADC sowie der Überabtastung-ADC können wie in Tabelle 2.1 zusammengefasst werden:

In Kapitel 1 werden alle Spezifikationen dieser Arbeit dargestellt. Bei einem Vergleich von Tabelle 1.1 und Tabelle 2.1 ist es offensichtlich, dass der $\Delta\Sigma$ -ADC in allen Aspekten ausgezeichnet ist.

Unter Berücksichtigung aller Aspekte wird für diese Arbeit das $\Delta\Sigma$ -Verfahren ausgewählt und damit ein $\Delta\Sigma$ -ADC entwickelt.

Tabelle 2.1.: Vergleich der ADC-Verfahren

Katalogie	ADC-Typ	Geschwindigkeit	Auflösung	Fläche und Energieverbrauch	Eingangsbandbreite
Nyquist-rate-ADC	Flash-ADC	sehr schnell	sehr klein	sehr aufwändig bei hoher Auflösung	sehr breit
	Sukzessive-Approximation-ADC	langsam	hoch	klein	sehr breit
	Zähler-ADC	sehr langsam	klein	sehr klein	breit
Überabtastung-ADC	$\Delta\Sigma$ -ADC	sehr schnell	sehr hoch	sehr klein	breit

3. Grundlagen des Delta-Sigma-Umsetzverfahrens

Um die Funktionsweise der $\Delta\Sigma$ -ADC besser zu verstehen, werden in diesem Kapitel zunächst die signaltheoretische Grundlage und bezügliche Merkmale beschrieben.

3.1. Quantisierungsrauschen

Wie in Kapitel 2 beschrieben, besteht die AD-Umsetzung aus zwei Schritten: Ein zeit- und wertkontinuierliches analoges Signal wird zuerst mit einer sog. Abtast-Halte-Schaltung „sample and hold circuit“(S&H) abgetastet, um das Signal im Zeitbereich diskret zu machen. Danach wird der Amplitudengang des zeitdiskreten Signals durch einen Quantisierer mit äquidistanten Spannungsstufen quantisiert, um so ein zeit- und wertdiskretes digitales Signal zu erhalten [SC99] (siehe Abbildung 3.1).

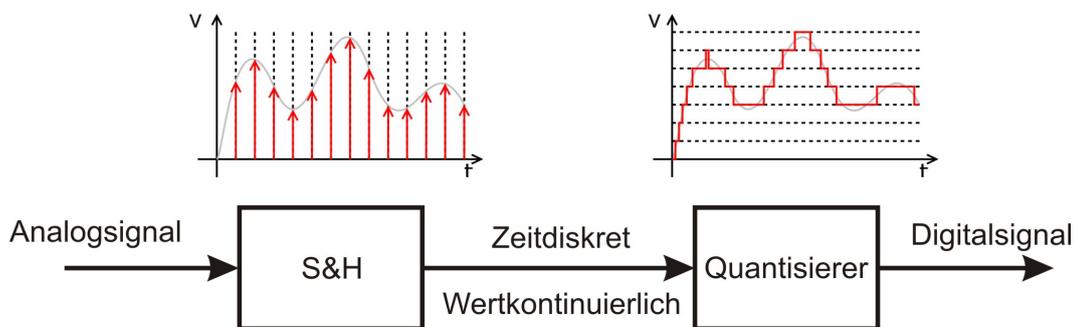


Abbildung 3.1.: Der typische Vorgang der AD-Umsetzung

Abbildung 3.2 stellt ein einfaches steigendes Eingangssignal mit seinem quantisierten digitalen Ausgangssignal dar. Ein definiertes Intervall Δ wird als sog. Quantisierungintervall benutzt, um das Signal zu quantisieren. Den Fehler zwischen dem quantisierten Ausgangssignal und dem originalen Eingangssignal bezeichnet man als sog. Quantisierungsfehler e . Das Verhalten des Quantisierungsfehlers eines einfachen steigenden Signals mit der Abhängigkeit von der Zeit t wird in Abbildung 3.3 dargestellt.

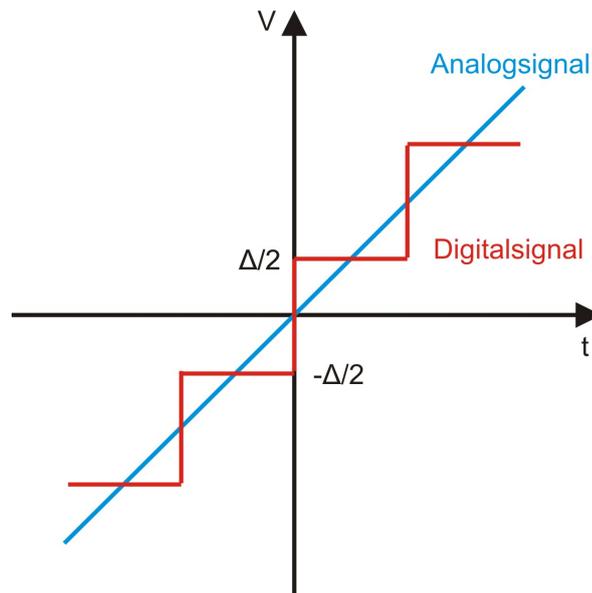


Abbildung 3.2.: Ein einfaches steigendes Eingangssignal mit seinem quantisierten digitalen Ausgangssignal

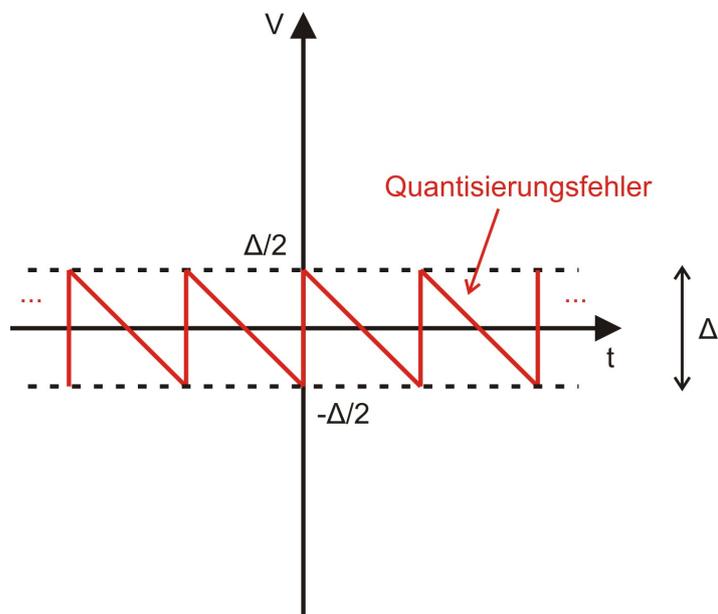


Abbildung 3.3.: Der durch den Quantisierer erzeugte Quantisierungsfehler eines einfachen steigenden Eingangssignals

Ein Signal mit der Amplitude $A+e$ wird durch einen Quantisierer idealerweise in den Wert A quantisiert, solange sich e in dem Intervall $[-\frac{\Delta}{2}, \frac{\Delta}{2}]$ befindet. Normalerweise nimmt man nun an, dass die Quantisierungsfehler über einen hinreichend langen Zeitraum gesehen über dieses Intervall gleich verteilt sind, dann ist die Wahrscheinlichkeitsdichte in diesem Intervall konstant. Um danach den Quantisierungsfehler einfacher in einem linearen Modell zu analysieren, wird er normalerweise als ein weißes Rauschen angenommen. Das sog. System-rms-Quantisierungsrauschen e_{rms} kann wie folgt hergeleitet werden:

$$e_{\text{rms}}^2 = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} e^2 de \quad (3.1)$$

$$e_{\text{rms}}^2 = \frac{\Delta^2}{12} \quad (3.2)$$

$$e_{\text{rms}} = \frac{\Delta}{\sqrt{12}} \quad (3.3)$$

Hier in Gleichung 3.2 nennt man e_{rms}^2 die sog. System-rms-Quantisierungsrauschleistung [SC99]. Daran erkennt man, dass die System-rms-Quantisierungsrauschleistung nur von dem Quantisierungsintervall Δ abhängig ist.

In einem ADC wird das System mit der S&H um eine Abtastfrequenz f_s abgetastet. Mit der Kenntniss der digitalen Signalverarbeitung erkennt man, dass die System-rms-Quantisierungsrauschleistung immer in die Bandbreite $[0, \frac{f_s}{2}]$ zurückgefaltet wird. Dann wird die gesamte Quantisierungsrauschleistung eines mit f_s abgetasteten Systems n^2 definiert als:

$$n^2 = \frac{e_{\text{rms}}^2}{\frac{f_s}{2}} = \frac{2}{f_s} e_{\text{rms}}^2 \quad (3.4)$$

Wenn man diese Quantisierungsrauschleistung in einem definierten Bandbreite f_{BW} einschaut ($f_{\text{BW}} = f_2 - f_1$), wird die sog. In-Band-Quantisierungsrauschleistung n_0^2 wie folgt hergeleitet:

$$n_0^2 = \int_{f_1}^{f_2} n^2 df = \frac{2}{f_s} e_{\text{rms}}^2 (f_2 - f_1) = e_{\text{rms}}^2 \frac{2 \cdot f_{\text{BW}}}{f_s} \quad (3.5)$$

Das Verhältnis $\frac{f_s}{2 \cdot f_{\text{BW}}}$ ist definiert als sog. Überabtastungsrate „**over sampling ratio**“ (OSR). Damit kann die Gleichung 3.5 umgeschrieben wird als:

$$n_0^2 = \frac{e_{\text{rms}}^2}{\text{OSR}} \quad (3.6)$$

$$n_0 = \sqrt{\frac{e_{\text{rms}}^2}{\text{OSR}}} \quad (3.7)$$

n_0 nennt man in der Gleichung 3.7 das In-Band-Quantisierungsrauschen.

Abbildung 3.4 betrachtet die Beziehung zwischen der Quantisierungsrauschleistung und der Abtastfrequenz bzw. OSR.

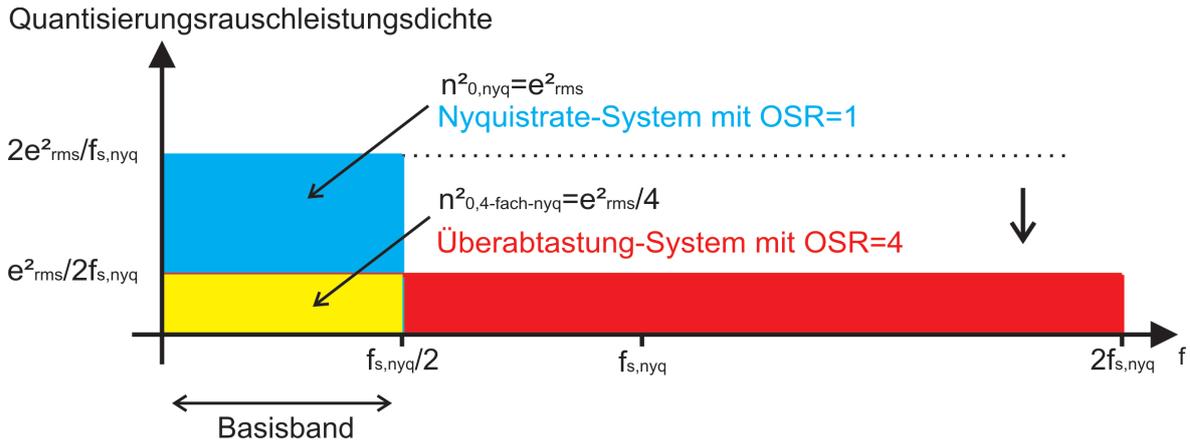


Abbildung 3.4.: Vergleich der In-Band-Quantisierungsrauschleistung eines ADC mit einer die Abtastfrequenz von Nyquistfrequenz und der anderen die Abtastfrequenz von 4-fach der Nyquistfrequenz

Wie in Abbildung 3.4 gezeigt, ist die gesamte Quantisierungsrauschleistung n^2 in einem mit der Nyquistfrequenz abgetasteten System gleich der eines 4-fach überabgetasteten Systems. Die In-Band-Quantisierungsrauschleistung n^2_0 ist genau umgekehrt proportional zur OSR. Hier in Abbildung 3.4 ist für das 4-fach überabgetastete System $OSR = 4$. Dessen In-Band-Quantisierungsrauschleistung $n^2_{0,4\text{-fach-nyq}}$ ist dann genau ein Viertel der mit der Nyquistfrequenz abgetasteten In-Band-Quantisierungsrauschleistung $n^2_{0,\text{nyq}}$ (vgl. Gleichung 3.6).

Die In-Band-Quantisierungsrauschleistung des ADC lässt sich somit durch eine Erhöhung von OSR verkleinern. Ein $\Delta\Sigma$ -ADC kann noch durch die nachfolgend beschriebene Rauschformung „noise shaping“ immer mehr In-Band-Quantisierungsrauschleistung unterdrücken.

3.2. Rauschformung

Rauschformung ist ein Verfahren, in dem das Quantisierungsrauschen eines digitalen Signals in diejenigen Frequenzbereiche, die für die weitere Signalverarbeitung ohne Be-

deutung sind, „geschoben“ wird [Rau09]. Diese Frequenzbereiche können dann mittels eines angeschlossenen Digitalfilters gedämpft und damit das Quantisierungsrauschen weiter unterdrückt werden.

Für diesen Zweck wurden der $\Delta\Sigma$ -ADC entworfen. Das Blockschaltbild des Grundprinzips eines $\Delta\Sigma$ -ADC wird in Abbildung 3.5 dargestellt.

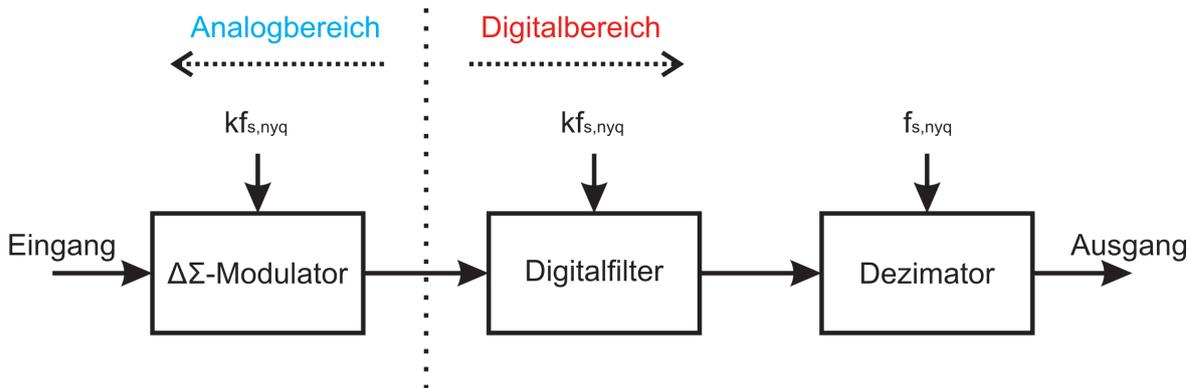


Abbildung 3.5.: Allgemeines Blockschaltbild eines $\Delta\Sigma$ -ADC[SC99]

Der $\Delta\Sigma$ -ADC besteht aus einem k -fach überabgetasteten ($k \cdot f_{s,nyq}$) $\Delta\Sigma$ -Modulator. Dessen Aufgabe besteht darin, das In-Band-Quantisierungsrauschen des Systems, das durch die AD-Umsetzung erzeugt wird, in einen uninteressanten Bandbereich zu schieben, bzw. die Rauschformung. Er besteht weiter aus einem Digitalfilter, der das verschobene Quantisierungsrauschen herausfiltert und einem Dezimator, der das ganze System wieder zur Nyquistfrequenz $f_{s,nyq}$ herunterabtastet. Der Digitalfilter und der Dezimator werden im Digitalbereich realisiert, während der $\Delta\Sigma$ -Modulator arbeitet im Analogbereich arbeitet.

Abbildung 3.6 stellt den Arbeitsvorgang dar, wie das Quantisierungsrauschen entfernt werden kann.

Durch einen Quantisierer wird die Quantisierungsrauschleistung von $[0, f_0]$ gleichmäßig verteilt. Nach dem $\Delta\Sigma$ -Modulator, der mit einer Abtastfrequenz von $k \cdot f_{s,nyq}$ abgetastet wird, wird die Quantisierungsrauschleistung rauschformiert und wiederholt sich um die Abtastfrequenz. In dem Digitalbereich wird die Quantisierungsrauschleistung durch einen definierten Digitalfilter ausgefiltert.

Die Rauschformung spielt die wesentliche Rolle in einer $\Delta\Sigma$ -ADC. Die Herleitung der Übertragungsfunktion für diesen ADC sowie der Beweis, wie ein $\Delta\Sigma$ -Modulator die Rauschformung durchführt, wird in Kapitel 4 erklärt.

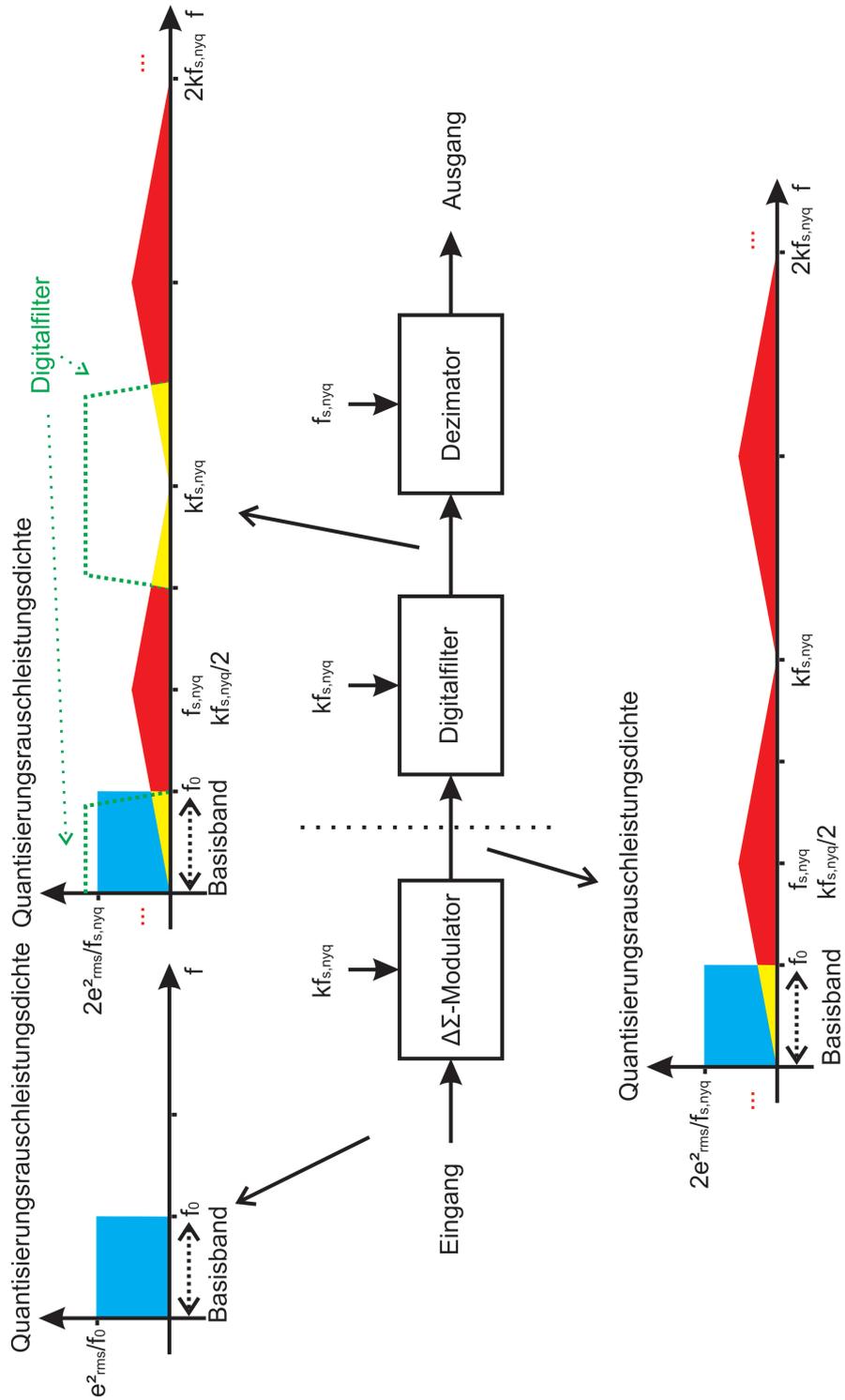


Abbildung 3.6.: Arbeitsvorgang des $\Delta\Sigma$ -ADC mit der Quantisierungsrauschleistung jeder Stufe

3.3. Signal-Quantisierungsrausch-Abstand

Zur Charakterisierung der Performance eines ADC und zur Ermittlung seiner Auflösung dienen der sog. Signal-Quantisierungsrausch-Abstand „signal to quantization noise ratio“ (SQNR) und der sog. Dynamische-Bereich „dynamic range“ (DR).

Der SQNR ist das Verhältnis eines Signals zum Quantisierungsrauschen des Systems. Der DR beschreibt das Verhältnis eines maximalen Eingangssignals zu einem minimalen Eingangssignal, das von dem Ausgang noch erkennbar wird, bzw. das Verhältnis eines „full scale signal“ (FS-Signal) zu einem Signal, dessen SNR $0dB$ ergibt [Grü98].

In einem idealen ADC, der kein thermisches Rauschen oder andere Rauschquellen berücksichtigt, ist DR der Wert, der dem maximal erreichbaren SQNR entspricht.

$$DR_{ideal,ADC} = SQNR_{max} \quad (3.8)$$

Für ein FS-Sinussignal mit 0 Volt Offsetspannung ist sein Effektivwert wie in Gleichung 3.9 beschrieben.

$$V_{eff,FS} = \frac{\hat{V}}{\sqrt{2}} = \frac{V_{pp}}{2\sqrt{2}} \quad (3.9)$$

Dabei entspricht \hat{V} der FS-Amplitude des Eingangssignals und V_{pp} der Spitze-Spitze-Spannung „peak to peak voltage“ des Eingangssignals.

In einem typischen Nyquistrate-N-bit-ADC wird das Quantisierungsrauschen wie in Gleichung 3.3 dargestellt, wobei:

$$\Delta = \frac{V_{pp}}{2^N} \quad (3.10)$$

In Gleichung 3.10 ist N die Auflösung des ADC und wird mit *bit* bezeichnet.

Mit den Ersetzen von Gleichung 3.3 wird den maximal erreichbaren SQNR des Nyquistrate-N-bit-ADC wie folgt berechnet:

$$SQNR_{max,nyq} = DR_{ideal,ADC} = 20 \cdot \log_{10}\left(\frac{V_{eff,FS}}{e_{rms}}\right) \quad (3.11)$$

$$SQNR_{max,nyq} = 20 \cdot \log_{10}\left(\frac{\frac{V_{pp}}{2\sqrt{2}}}{\frac{\Delta}{\sqrt{12}}}\right) = 20 \cdot \log_{10}\left(\frac{\frac{V_{pp}}{2\sqrt{2}}}{\frac{V_{pp}}{2^N \sqrt{12}}}\right) = 20 \cdot \log_{10}\left(2^N \sqrt{\frac{3}{2}}\right) \quad (3.12)$$

$$SQNR_{max,nyq} = (6.02 \cdot N + 1.76)dB \quad (3.13)$$

Gleichung 3.13 beschreibt den maximal erreichbaren SQNR eines typischen Nyquistrate-N-bit-ADC. Für einen Überabtastung-N-bit-ADC, welcher eine Abtastfrequenz von $OSR \cdot f_{s,nyq}$ hat, ist das In-Band-Quantisierungsrauschen n_0 wie in Gleichung 3.7 beschrieben. Damit wird der maximal erreichbare SQNR eines Überabtastung-N-bit-ADC wie folgt berechnet:

$$SQNR_{max,OSR} = 20 \cdot \log_{10}\left(\frac{V_{eff,FS}}{n_0}\right) = (6.02 \cdot N + 1.76 + 10 \cdot \log_{10} OSR)dB \quad (3.14)$$

In Gleichung 3.14 erkennt man, dass je mehr sich der OSR des Überabtastung-ADC verdoppelt, desto mehr vergrößert sich der maximal erreichbare SQNR, bzw. verringert sich das In-Band-Quantisierungsrauschen um $3 dB$ von den Nyquistrate-ADC.

4. Analytische Modellierung des Delta-Sigma-Modulators

Wie im letzten Kapitel beschrieben, besteht ein $\Delta\Sigma$ -ADC aus einem überabtastenden $\Delta\Sigma$ -Modulator, einem angeschlossenen digitalen Tief-/Bandpassfilter (TP/BP) und einem Dezimator. Der $\Delta\Sigma$ -Modulator ist der wichtigste Teil des $\Delta\Sigma$ -ADC und er verschiebt das Quantisierungsrauschen durch ein Rauschformungsverfahren in eine Bandbreite, die uninteressant ist. In diesem Kapitel werden verschiedene Modelle des $\Delta\Sigma$ -Modulator verglichen und die Rauschformung analysiert.

4.1. Allgemeine Struktur des Delta-Sigma-Modulators

Das Blockschaltbild in Abbildung 4.1 zeigt die wesentlichen Elemente eines $\Delta\Sigma$ -Modulator [Gio08].

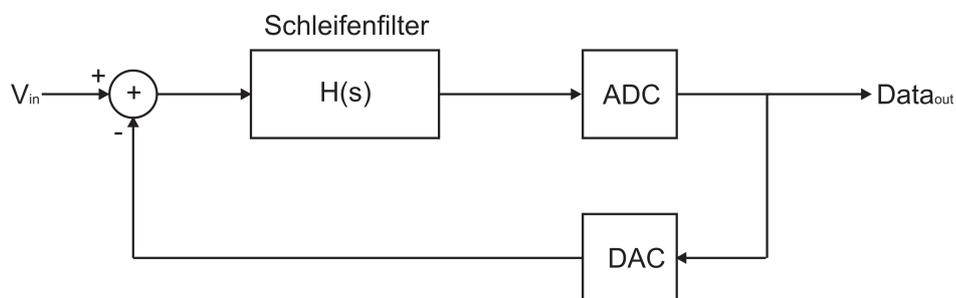


Abbildung 4.1.: *Blockschaltbild eines $\Delta\Sigma$ -Modulators*[Gio08]

Man sieht in Abbildung 4.1, dass der digitale Ausgang $Data_{out}$ durch einen DAC in ein analoges Signal umwandelt wird. Es wird von dem analogen Eingang V_{in} subtrahiert. Die Differenz wird an einen Schleifenfilter „loop-filter“ geschickt. Der Schleifenfilter eines $\Delta\Sigma$ -Modulators wird normalerweise als ein Integrator oder Resonator angenommen. Dann werden die Differenzen in diesem Schleifenfilter wieder zusammen integriert. Wegen der Algorithmen Subtrahierung (Δ) und der Integration (Σ) nennt man diesen Modulator Delta-Sigma-Modulator ($\Delta\Sigma$ -Modulator) [SC99].

Der $\Delta\Sigma$ -Modulator ist eine Rückkopplungsschaltung. Er besteht aus einem Schleifenfilter, einem inneren ADC im Vorwärtspfad des Modulators und einem inneren DAC im Rückkopplungspfad des Modulators. Für jedes Modell des $\Delta\Sigma$ -Modulators ist die Struktur des Schleifenfilters unterschiedlich. In den meisten Fällen wird der Schleifenfilter des $\Delta\Sigma$ -Modulators mit Tiefpassverfahren (TP- $\Delta\Sigma$ -Modulator) durch die Integratoren, der des $\Delta\Sigma$ -Modulator mit Bandpassverfahren (BP- $\Delta\Sigma$ -Modulator) durch die Resonatoren ersetzt. Darauf wird später noch näher eingegangen. Der innere ADC und der DAC haben normalerweise sehr niedrige Auflösungen. In einem single-bit- $\Delta\Sigma$ -Modulator beträgt die Auflösung der inneren ADC nur 1-bit. Der Ausgang des Modulators ist ein 1-bit-stream (d.h. mit nur zwei Zuständen, entweder Logik-Null „logic low“ oder Logik-Eins „logic high“).

Das Quantisierungsrauschen wird von dem inneren ADC erzeugt und bleibt im digitalen Ausgang. Das meiste Quantisierungsrauschen wird danach durch einen digitalen Filter ausgefiltert. Am Ende wird das Signal durch den Dezimator dezimiert, um den überabgetasteten Ausgang wieder zur Nyquistfrequenz herunterzutasten.

4.1.1. Auswahl der Modellstruktur

Ein $\Delta\Sigma$ -Modulator kann mit zwei unterschiedlichen Methoden entwickelt werden und zwar mit der zeitdiskreten Methode „discrete time“ (DT) (siehe Abbildung 4.2) und der zeitkontinuierlichen Methode „continuous time“ (CT) (siehe Abbildung 4.3) [Won97].

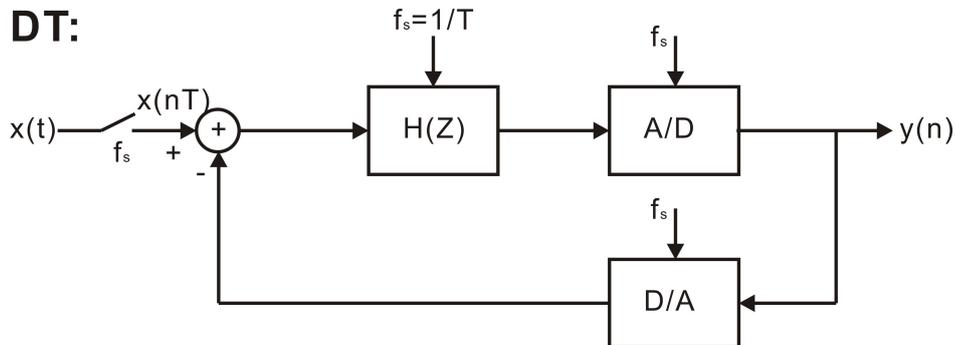


Abbildung 4.2.: Blockschaltbild eines $\Delta\Sigma$ -Modulators mit DT-Struktur

In der DT-Struktur wird ein S&H-Glied vor dem Eingang des Modulators benötigt, um den analogen Eingang des Umsetzers zeitdiskret umzuwandeln. Der Schleifenfilter $H(z)$ verarbeitet nur die zeitdiskreten Signale. Das wird mit der sog. „switched capacitor technologie“ (SC) realisiert. Die SC-Technologie wird in Kapitel 5 genauer erläutert. Außerdem braucht ein DT- $\Delta\Sigma$ -Modulator noch einen „anti aliasing filter“ (AAF) vor

dem S&H-Glied, um das Signal an das Nyquistband anzupassen. Das S&H-Glied der DT-Struktur ist ein nicht lineares Modell, Dadurch wird die gesamte Rauschstufe des $\Delta\Sigma$ -Modulators erhöht [Won97].

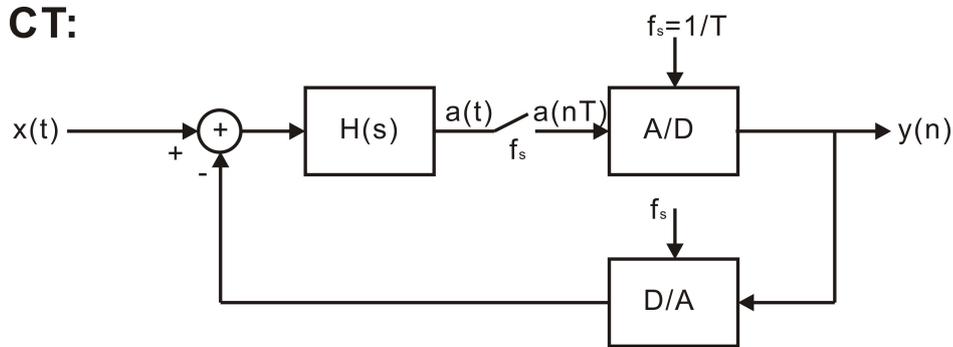


Abbildung 4.3.: Blockschaltbild eines $\Delta\Sigma$ -Modulators mit CT-Struktur

In Gegensatz dazu braucht man für die CT-Struktur kein S&H-Glied. Der Schleifenfilter $H(s)$ arbeitet schon wie ein AAF. Deswegen wird hier ein zusätzlicher Vorfilter hier gespart. Der Schleifenfilter verarbeitet nur mit zeitkontinuierlichen Signalen und wird normalerweise mit Widerständen und Kapazitäten realisiert. Daher ist die Geschwindigkeit des CT- $\Delta\Sigma$ -Modulators wesentlich schneller und der Energieverbrauch auch wesentlich geringer, aber die benötigte Fläche ist größer als die des DT- $\Delta\Sigma$ -Modulators [Won97].

Trotz aller Vorteile der CT-Struktur wurde für diese Arbeit die DT-Struktur gewählt. Der Hauptnachteil der CT-Struktur besteht im sog. „clock-jitter“ (siehe Abbildung 4.4), der auftritt, wenn man ein analoges Eingangssignal und ein schnelles zeitdiskretes Rückkopplungssignal addiert. Damit wird das addierte Signal ungenau, wenn das zeitdiskrete Signal springt [Sal03]. Das führt zu einer Erhöhung der Rauschstufe. Ein noch wesentlicher Grund, weshalb die DT-Struktur gewählt wurde, ist in dem nachherigen Entwurf (wie z.B. Transistorebene Implementierung und Layout), dass die meisten Grundbauelemente von der Bibliothek der Firma „austriamicrosystems“ (AMS) direkt unterschützt werden und die Produkte von AMS die zeitdiskreten Systeme gut unterstützen. Der $\Delta\Sigma$ -Modulator mit DT-Struktur wird hier weiter diskutiert.

4.1.2. Modellierung des inneren ADC

Aufgrund der Tatsache, dass ein spezieller DAC entfällt, findet ein einfacher Komparator als innerer ADC in dem $\Delta\Sigma$ -Modulator Verwendung. Um ein lineares Modell zu bauen, wurde in Kapitel 3 angenommen, dass das Quantisierungsrauschen ein weißes

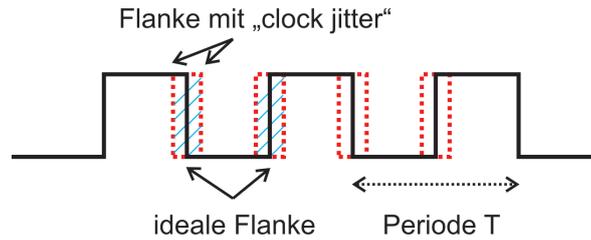


Abbildung 4.4.: Takten mit „clock jitter“

Rauschen ist. Dann kann man den ADC wie in Abbildung 4.5 modellieren.

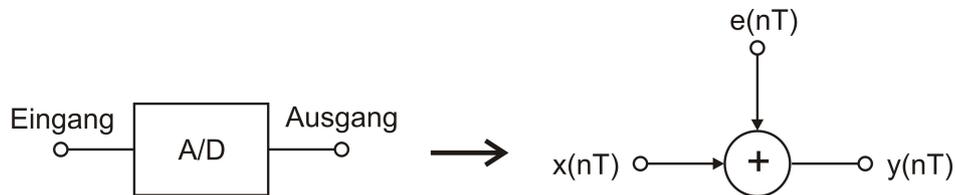


Abbildung 4.5.: Modellierung des inneren ADC unter der Voraussetzung, dass das Quantisierungsrauschen ein weißes Rauschen ist

Der Effektivwert von dem weißes Rauschen $e(nT)$ muss $\frac{\Delta}{\sqrt{12}}$ sein (vgl. Gleichung 3.3). Für einen 1-bit Quantisierer steht Δ für 1 V mit einem Eingangssignal $x(nT)$ von einem Sinussignal mit 1 V-Amplitude (vgl. Gleichung 3.10).

4.1.3. Modellierung des Schleifenfilters

Der Schleifenfilter des $\Delta\Sigma$ -Modulators mit Tiefpassverfahren kann einfach durch einen Integrator ersetzt werden. Die Modellierung des Integrators ist im Hinblick auf die Tatsache, dass hier eine DT-Struktur betrachtet wird, recht einfach (siehe Abbildung 4.6).

Der Integrator lässt sich zeitdiskret einfach als Addierer darstellen, welcher aus einem Summationspunkt und einem Verzögerungsglied besteht. Der Ausgangswert des Integrators wird dem Eingangswert hinzuaddiert und steht im folgenden Takt als Ausgangswert zur Verfügung:

$$y(nT) = y((n - 1)T) + x(nT) \quad (4.1)$$

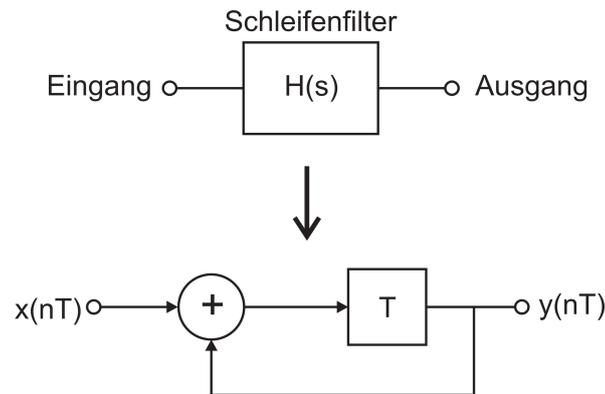


Abbildung 4.6.: Modellierung des Schleifenfilters des TP- $\Delta\Sigma$ -Modulators 1. Ordnung [Grü98]

4.2. Modellierung des TP-Delta-Sigma-Modulators 1. Ordnung

Mit dem Ersetzen der linearen Modelle des inneren ADC und Schleifenfilters kann der TP- $\Delta\Sigma$ -Modulator 1. Ordnung wie folgt in Abbildung 4.7 beschrieben werden.

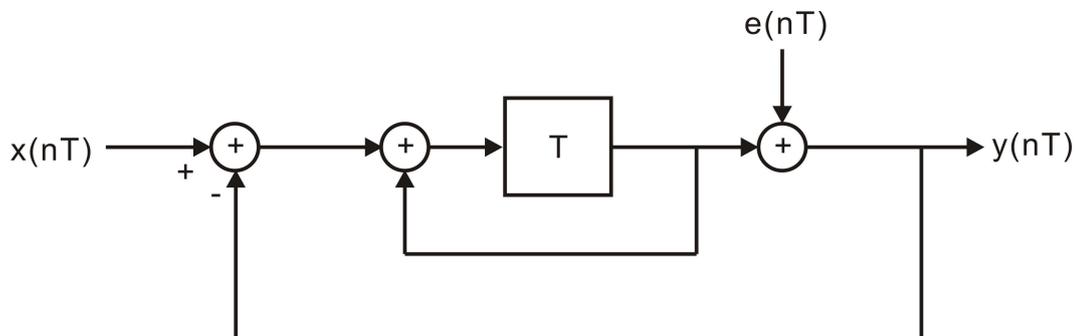


Abbildung 4.7.: Modellierung des TP- $\Delta\Sigma$ -Modulators 1. Ordnung [Kesb]

4.2.1. Herleitung der Übertragungsfunktion

Um die Übertragungsfunktion des TP- $\Delta\Sigma$ -Modulators 1. Ordnung herzuleiten, wird die Z-Transformation benötigt, welche sich in der Nachrichtentechnik zur Beschreibung zeitdiskreter Systeme bewährt hat. Damit wird der TP- $\Delta\Sigma$ -Modulator 1. Ordnung im Z-Bereich wie in Abbildung 4.8 beschrieben werden.

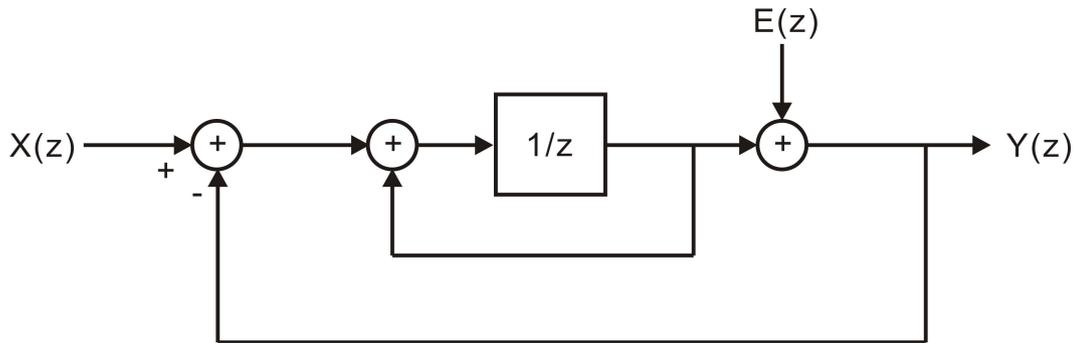


Abbildung 4.8.: Modellierung des TP- $\Delta\Sigma$ -Modulators 1.Ordnung im Z-Bereich

Die Übertragungsfunktion des Schleifenfilters bzw. des Integrators wurde im Zeitbereich wie vorher in Gleichung 4.1 beschrieben. Damit kann man sie in den Z-Bereich transformieren:

$$Y(z) = Y(z) \cdot z^{-1} + X(z) \quad (4.2)$$

$Y(z)$ steht für den Eingang des Integrators, $Y(z)$ ist der Ausgang des Integrators. Die Übertragungsfunktion des Integrators $I(z)$ ist dann definiert als:

$$I(z) = \frac{Y(z)}{X(z)} = \frac{z^{-1}}{1 - z^{-1}} \quad (4.3)$$

Mit $I(z)$ wird der Ausgang des TP- $\Delta\Sigma$ -Modulators 1.Ordnung wie folgt berechnet.

$$Y(z) = (X(z) - Y(z)) \cdot I(z) + E(z) \quad (4.4)$$

$$Y(z) = (X(z) - Y(z)) \cdot \frac{z^{-1}}{1 - z^{-1}} + E(z) \quad (4.5)$$

$$Y(z) \cdot (1 - z^{-1}) = X(z) \cdot z^{-1} - Y(z) \cdot z^{-1} + E(z) \cdot (1 - z^{-1}) \quad (4.6)$$

$$Y(z) = X(z) \cdot z^{-1} + E(z) \cdot (1 - z^{-1}) \quad (4.7)$$

Hier bezeichnet $Y(z)$ den Ausgang des Modulators, $X(z)$ den Eingang des Modulators und $E(z)$ die äquivalente Quantisierungsrauschquelle.

In Gleichung 4.7 kann man sehen, dass der Ausgang des Modulators $Y(z)$ aus zwei Teilen besteht: $E(z)$ und $X(z)$. Die Abhängigkeit, wie das Eingangssignal in das Ausgangssignal einfließt, wird von dem Koeffizienten „ z^{-1} “ des $X(z)$ bestimmt. Man bezeichnet die Beziehung zwischen $Y(z)$ und $X(z)$ als sog. „signal-transfer-funktion“ (STF). Das

$E(z)$ wird durch den Koeffizienten „ $1 - z^{-1}$ “ in den Ausgang $Y(z)$ einfließen, dann bezeichnet man die Beziehung zwischen $Y(z)$ und $E(z)$ als sog. „noise-transfer-funktion“ (NTF). Somit lässt sich Gleichung 4.7 mit:

$$STF(z) = z^{-1} \quad (4.8)$$

$$NTF(z) = 1 - z^{-1} \quad (4.9)$$

wie in Gleichung 4.10 umschreiben:

$$Y(z) = X(z) \cdot STF(z) + E(z) \cdot NTF(z) \quad (4.10)$$

Daran kann man sehen, dass durch den TP- $\Delta\Sigma$ -Modulator 1.Ordnung das Eingangssignal nicht verändert, sondern lediglich nur um einen Takt verzögert wird. Das Quantisierungsrauschen, das vorher als weißes Rauschen angenommen wurde, wird hier durch die NTF rauschformiert.

4.2.2. Rauschformung Verhalten

Um die Beeinflussung des Quantisierungsrauschens zu analysieren, ist die NTF in den Frequenzbereich zu transformieren. Dies geschieht durch die folgende Substitution [Mic07]:

$$z = e^{j2\pi fT} = e^{j\omega T} \quad (4.11)$$

Mit dem Ersetzen von Gleichung 4.9 bekommt man:

$$NTF(\omega) = 1 - e^{-j\omega T} \quad (4.12)$$

$$NTF(\omega) = e^{-\frac{j\omega T}{2}} \left(e^{\frac{j\omega T}{2}} - e^{-\frac{j\omega T}{2}} \right) \cdot \frac{2j}{2j} \quad (4.13)$$

$$NTF(\omega) = 2j \cdot \sin\left(\frac{\omega T}{2}\right) \cdot e^{-\frac{j\omega T}{2}} \quad (4.14)$$

Von Gleichung 4.14 wird der Amplitudengang der NTF abgeleitet:

$$|NTF(\omega)| = 2 \cdot \left| \sin\left(\frac{\omega T}{2}\right) \right| \quad (4.15)$$

$$|NTF(f)| = 2 \cdot \left| \sin\left(\frac{\pi f}{f_s}\right) \right| \quad (4.16)$$

Abbildung 4.9 zeigt das mit MATLAB simulierte Ergebnis der Rauschformung für

einen TP- $\Delta\Sigma$ -Modulator 1.Ordnung.

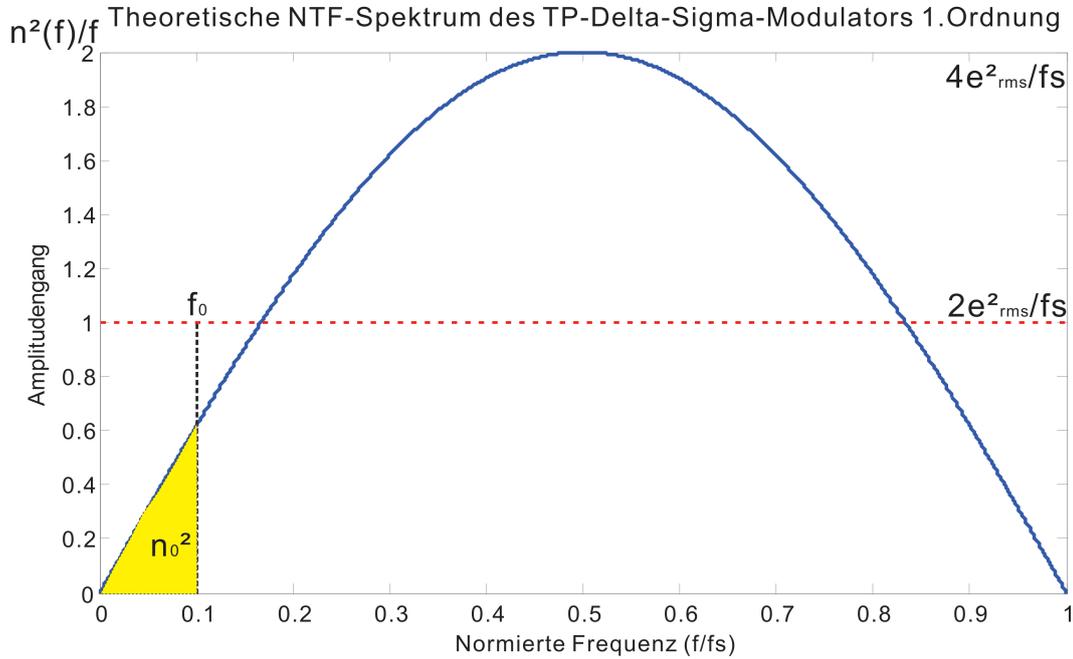


Abbildung 4.9.: Rauschformung des Quantisierungsrauschens des TP- $\Delta\Sigma$ -Modulators 1.Ordnung

Wie man in Abbildung 4.9 erkennt, hat die NTF eine hochpassförmige Eigenschaft. Einen Teil des Quantisierungsrauschens in der definierten Bandbreite $[0, f_0]$ wird herausgefiltert und zur Hochfrequenz verschoben. Mit dieser Verschiebung des Quantisierungsrauschens kann man eine höhere SQNR erreichen: Je höher das Verhältnis der Abtastfrequenz zur definierten Bandbreite bzw. der OSR ist, desto weniger In-Band-Quantisierungsrauschen gibt es [Kesa]. Das Quantisierungsrauschen des Bandes $[f_0, \frac{f_s}{2}]$ wird am Ende mit einem digitalen Tiefpassfilter herausgefiltert. Deshalb bezeichnet man dieses Verfahren als „Tiefpassverfahren- $\Delta\Sigma$ -Modulator“.

4.2.3. Signal-Quantisierungsrausch-Abstand Analyse

Für ein Eingangssignal, dessen Frequenz sehr viel kleiner als die Abtastfrequenz ist ($f \ll f_s$), bekommt man eine Näherung von Gleichung 4.16:

$$|NTF(f)| = 2 \cdot \left| \sin\left(\frac{\pi f}{f_s}\right) \right| \approx 2\pi \frac{f}{f_s} \quad (4.17)$$

Bereits bei einem Frequenzverhältnis von $\frac{f_s}{2f} = 16$, bzw. $OSR = 16$ beträgt der Fehler

0.16%. Diese Näherung kann demnach hier angewendet werden.

Um jetzt die In-Band-Quantisierungsrauschleistung zu berechnen, wird zunächst das Integral über n_0^2 in der Bandbreite $[0, f_0]$ wie folgt berechnet:

$$n_0^2 = \int_0^{f_0} \frac{e_{rms}^2}{\frac{f_s}{2}} \cdot |NTF(f)|^2 \cdot df \quad (4.18)$$

Nach dem Einsetzen von Gleichung 3.2 ergibt sich:

$$n_0^2 = \int_0^{f_0} \frac{\Delta^2}{12} \cdot \frac{2}{f_s} \cdot \frac{4\pi^2 f^2}{f_s^2} \cdot df = \frac{2\Delta^2\pi^2}{3f_s^3} \cdot \int_0^{f_0} f^2 \cdot df \quad (4.19)$$

$$n_0^2 = \frac{2\Delta^2\pi^2}{3f_s^3} \cdot \frac{f_0^3}{3} = \frac{\Delta^2\pi^2}{36} \left(\frac{2f_0}{f_s}\right)^3 \quad (4.20)$$

Wenn in Gleichung 4.20 der Teil $\frac{2f_0}{f_s}$ durch $OSR = \frac{f_s}{2f_0}$ ersetzt wird, bekommt man:

$$n_0^2 = \frac{2\Delta^2\pi^2}{3f_s^3} \cdot \frac{f_0^3}{3} = \frac{\Delta^2\pi^2}{36} \left(\frac{1}{OSR}\right)^3 \quad (4.21)$$

$$n_0 = \sqrt{\frac{2\Delta^2\pi^2}{3f_s^3} \cdot \frac{f_0^3}{3}} = \frac{\Delta^2\pi^2}{36} \left(\frac{1}{OSR}\right)^3 = \frac{\Delta\pi}{6} \cdot OSR^{-\frac{3}{2}} \quad (4.22)$$

Gleichung 4.22 zeigt die Beziehung des OSR zu dem In-Band-Quantisierungsrauschen. Für ein FS-Sinussignal mit dem Effektivwert $V_{eff,FS} = \frac{\hat{V}}{\sqrt{2}} = \frac{V_{pp}}{2\sqrt{2}}$, (vgl. Gleichung 3.9) wird der maximal erreichbare SQNR für TP- $\Delta\Sigma$ -Modulator 1.Ordnung wie folgt berechnet:

$$SQNR_{max,\Delta\Sigma} = 20 \cdot \log_{10} \left(\frac{V_{eff,FS}}{n_0} \right) = (6.02 \cdot N + 1.76 - 5.17 + 30 \log_{10} OSR) dB \quad (4.23)$$

In Gleichung 4.23 wird der maximal erreichbare SQNR des TP- $\Delta\Sigma$ -Modulators 1.Ordnung gezeigt, während in Gleichung 3.14 der SQNR eines reinen Überabtastung-Systems dargestellt wird. Wenn die beiden Gleichungen verglichen werden, erkennt man, dass bei einem TP- $\Delta\Sigma$ -Modulator 1.Ordnung der SQNR bei doppelter OSR um 9 dB erhöht wird, während bei einem reinen Überabtastung-System bei doppelter OSR nur um 3 dB erhöht wird.

Abbildung 4.10 stellt den Abhängigkeit der OSR und der maximal erreichbaren SQNR grafisch dar.

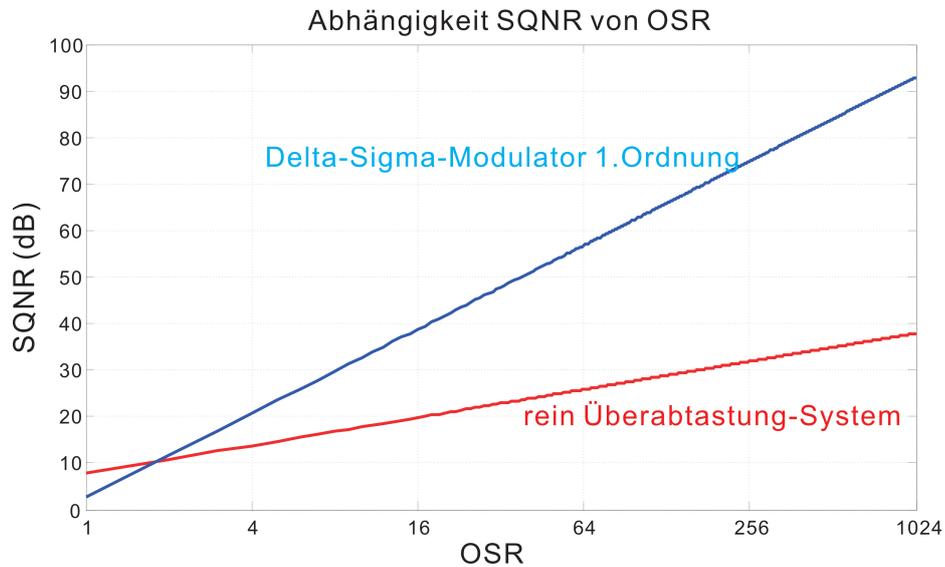


Abbildung 4.10.: Abhängigkeit SQNR von OSR für den TP- $\Delta\Sigma$ -Modulator 1. Ordnung

4.2.4. Simulation des Modulators in SIMULINK/MATLAB

Um die Charakteristik des TP- $\Delta\Sigma$ -Modulators 1. Ordnung besser zu analysieren, wird ein Modell in SIMULINK aufgebaut (siehe Abbildung 4.11).

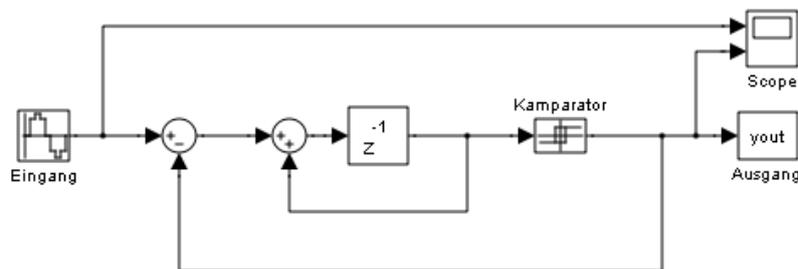


Abbildung 4.11.: SIMULINK-Modell des TP-Delta-Sigma-Modulators 1. Ordnung

Der Eingang ist ein reines Sinussignal mit 0.99 V Amplitude und 10.33 KHz Frequenz (Die Amplitude wird nicht genau um 1 V eingestellt, um die Übersteuerung zu vermeiden). Die Abtastfrequenz wird auf 4 MHz eingestellt, d.h. die $OSR = 387$. Der Schleifenfilter wird hier mit einem Verzögerungsglied mit einer positiven Rückkopplung realisiert. Das bezeichnet man auch als einen Integrator. Der Ausgang des Integrators

wird mit einem 1-bit-Komparator quantisiert. Der Komparator vergleicht das Signal mit seiner Referenzspannung, die hier auf 0 V eingestellt ist. Wenn der Eingang des Komparators größer als die Referenzspannung ist, gibt der Komparator ein +1 V aus. Wenn der Eingang kleiner als die Referenzspannung ist, gibt der Komparator ein -1 V aus. Dann wird der Ausgang des TP- $\Delta\Sigma$ -Modulators 1.Ordnung ein 1-bit-stream mit Logik-Eins für +1 V und Logik-Null für -1 V bekommen.

Der Ein- und Ausgang des SIMULINK-Modells für den TP- $\Delta\Sigma$ -Modulator 1.Ordnung wird wie folgt in Abbildung 4.12 im Zeitbereich dargestellt.

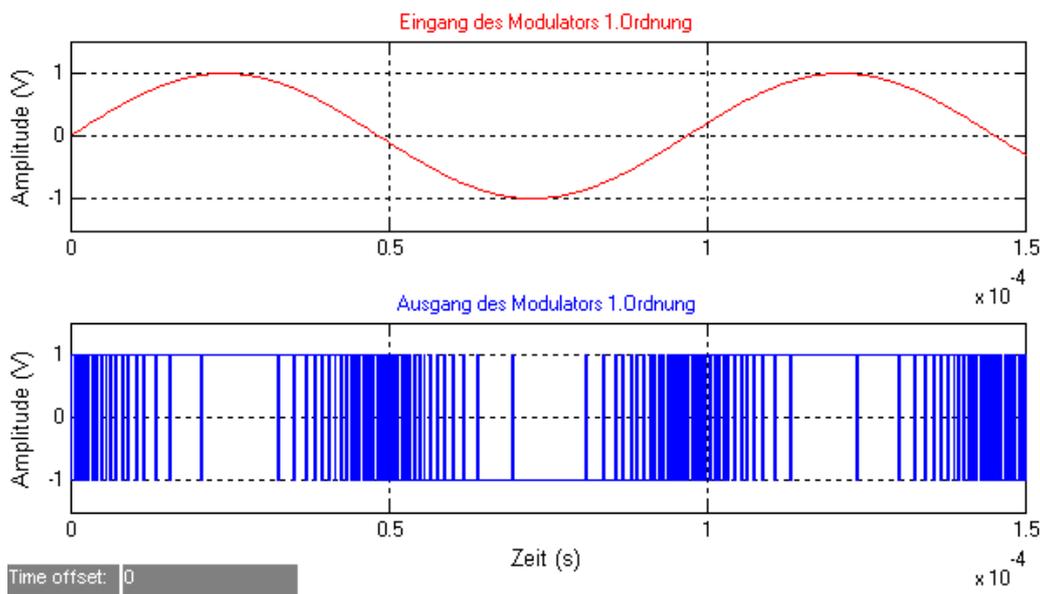


Abbildung 4.12.: Ein- und Ausgang des SIMULINK-Modells für TP-Delta-Sigma-Modulator 1.Ordnung

Wie man in Abbildung 4.12 erkennen kann, folgt der Mittelwert der Ausgangsspannung des TP- $\Delta\Sigma$ -Modulators 1.Ordnung dem Mittelwert der Eingangsspannung. Das Quantisierungsrauschen in dem Ausgang, das von dem Komparator erzeugt wird, wird im Zeitbereich jedoch nicht so gut erkannt. Mit einem 16384-Punkte-FFT-Algorithmus mit MATLAB wird der Ausgang im Frequenzbereich berechnet (siehe Abbildung 4.13).

Der Ausgang von TP- $\Delta\Sigma$ -Modulator 1.Ordnung besteht aus einer Spitze und einem ansteigenden Rauschen. Die Spitze steht für das Eingangssignal des Modulators, welche eine Amplitude von 0.99 V hat und bei 10.33 KHz liegt. Das Quantisierungsrauschen wird von einer niedrigen Frequenz in eine höhere Frequenz verschoben und ist hier ungefähr 20 dB/Dekade bis $\frac{f_s}{2}$ angestiegen. Nach der Gleichung 4.23 hat den TP- $\Delta\Sigma$ -Modulator 1.Ordnung theoretisch einen SQNR von 80 dB bei einem OSR von 387. Die

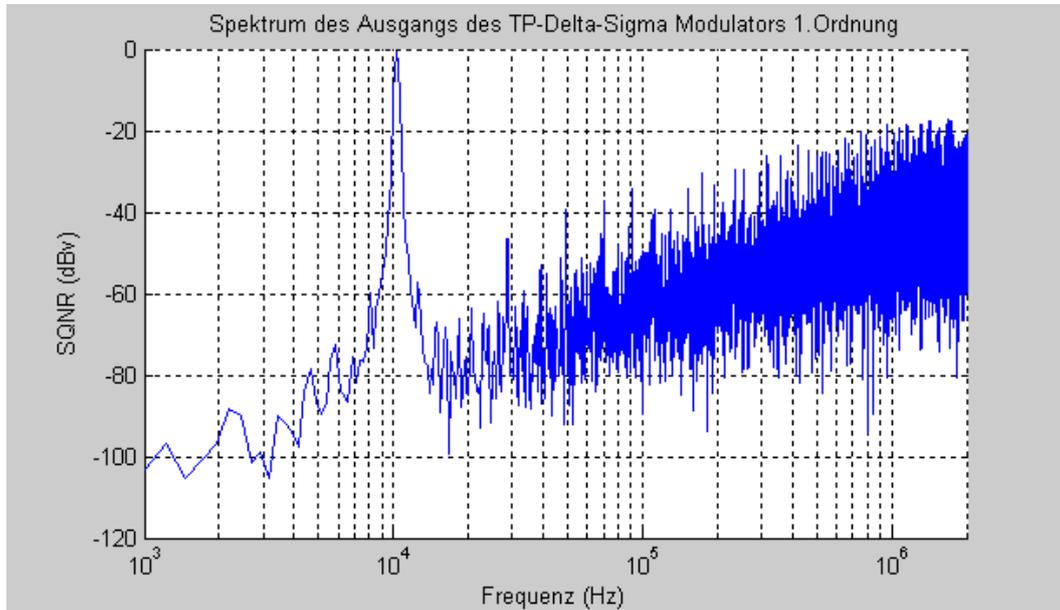


Abbildung 4.13.: Spektrum des Ausgangs des SIMULINK-Modells für TP-Delta-Sigma-Modulator 1.Ordnung mit einer Anregung von 0.99 V und 10.33 KHz

hier in Abbildung 4.13 dargestellte Simulation entspricht der Theorie.

Wie in der Aufgabenstellung erklärt, hat dieses Projekt eine Spezifikation, dass das Eingangssignal dieses Modells mit 1 MHz moduliert sein soll. Wenn man in einem TP- $\Delta\Sigma$ -Modulator 1.Ordnung ein SQNR von 80 dB mit 1 MHz Eingangsfrequenz bekommen möchte, braucht man auch einem OSR von mindesten 387. Das bedeutet, dass eine Abtastfrequenz für den Modulator von 774 MHz gefordert ist. Mit so einer hohen Abtastfrequenz sind viele Bauelemente (wie z.B die Operationsverstärker) vom AMS nicht geeignet. Deswegen wird ein neuer Versuch mit einer anderen Struktur durchgeführt.

Durch eine einfache Veränderung der Struktur, ist der $\Delta\Sigma$ -Modulator auch für das zwischenbandige Signal geeignet. Das ist der sog. $\Delta\Sigma$ -Modulator mit Bandpassverfahren (BP- $\Delta\Sigma$ -Modulator) [Sal03].

4.3. Modellierung des Bandpass-Delta-Sigma-Modulators 2.Ordnung

4.3.1. Null- und Polstellen der Übertragungsfunktion

Das Grundprinzip, wie man einen TP- $\Delta\Sigma$ -Modulator in einen BP- $\Delta\Sigma$ -Modulator transformieren kann, ist die Verschiebung des Basisbands. Das Basisband eines Systems wird durch die Nullstellen seiner Übertragungsfunktion bestimmt. Die Nullstellen der NTF des $\Delta\Sigma$ -Modulators bestimmen das Basisband des Modulators [EDA10]. In einem TP- $\Delta\Sigma$ -Modulator ist die Nullstelle der NTF folgt beschrieben:

$$NTF_{TP-\Delta\Sigma} = 1 - z^{-1} = \frac{z - 1}{z} \quad (4.24)$$

Die NTF des TP- $\Delta\Sigma$ -Modulators 1.Ordnung hat eine Nullstelle auf 1 und eine Polstelle auf 0. Die Null- und Polstellen können wie in Abbildung 4.14 in dem Einheitskreis dargestellt werden.

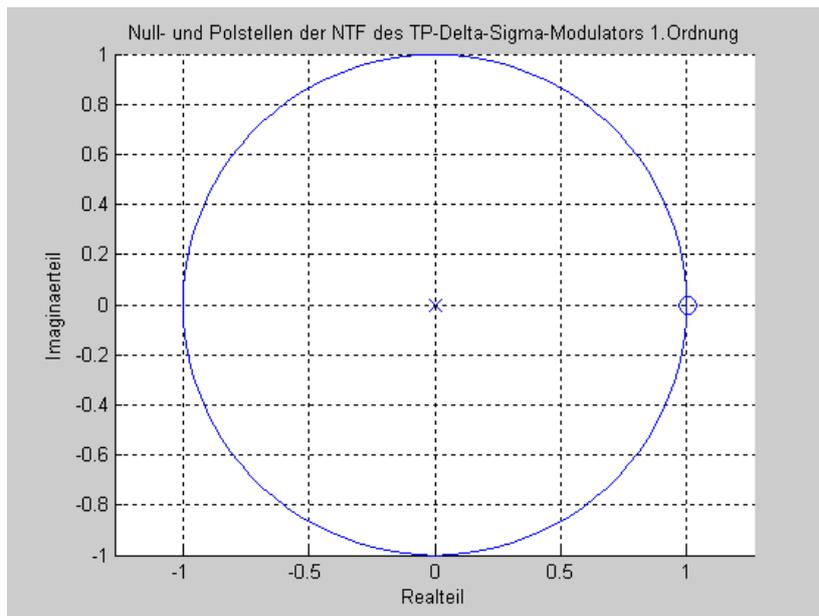


Abbildung 4.14.: Null- und Polstellen der NTF des TP- $\Delta\Sigma$ -Modulators 1.Ordnung in dem Einheitskreis

Wie in Abbildung 4.13 dargestellt, hat die NTF des TP- $\Delta\Sigma$ -Modulators 1.Ordnung ein hochpassförmiges Verhältnis (vgl. Abbildung 4.9). Nun ist eine Verschiebung der Nullstelle erforderlich. Das kann man erreichen, wenn ein Resonator statt eines Integrators in dem $\Delta\Sigma$ -Modulator benutzt wird. Wenn man den Teil z^{-1} in Gleichung 4.24

durch $-z^{-2}$ ersetzt, wird die NTF für einen BP- $\Delta\Sigma$ -Modulator 2.Ordnung wie folgt beschrieben [Sal03]:

$$NTF_{BP-\Delta\Sigma} = 1 + z^{-2} = \frac{-z^2 - 1}{-z^2} \quad (4.25)$$

Die Null- und Polstellen eines BP- $\Delta\Sigma$ -Modulators 2.Ordnung werden wie in Abbildung 4.15 in dem Einheitskreis dargestellt.

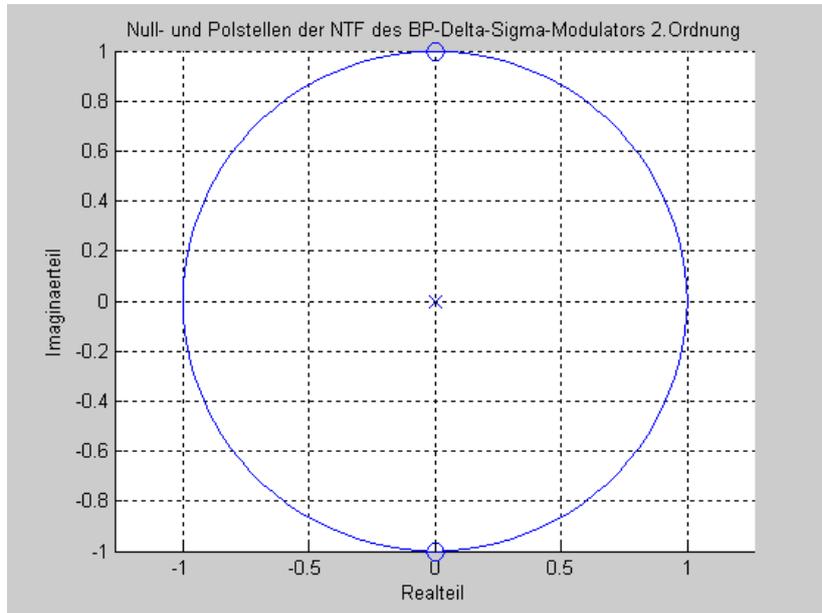


Abbildung 4.15.: Null- und Polstellen der NTF des BP- $\Delta\Sigma$ -Modulators 2.Ordnung in dem Einheitskreis

In Abbildung 4.15 erkennt man, dass die Nullstellen auf j und $-j$ des Einheitskreises liegen. Das bedeutet, dass die NTF des BP- $\Delta\Sigma$ -Modulators 2.Ordnung ein bandsperrförmiges Verhältnis hat. Dies wird im folgenden Abschnitt mit mathematischer Methode bewiesen.

4.3.2. Rauschformung Verhalten

Mit dem Ersetzen von $z = e^{j2\pi fT} = e^{j\omega T}$ kann die Gleichung 4.25 umschrieben werden als:

$$NTF(\omega) = 1 + e^{-2j\omega T} = e^{-j\omega T} (e^{j\omega T} + e^{-j\omega T}) \cdot \frac{2}{2} \quad (4.26)$$

$$NTF(\omega) = 2 \cdot \cos(\omega T) \cdot e^{-j\omega T} \quad (4.27)$$

Der Amplitudengang der NTF des BP- $\Delta\Sigma$ -Modulators 2.Ordnung lautet dann:

$$|NTF(\omega)| = 2 \cdot |\cos(\omega T)| \quad (4.28)$$

$$|NTF(\omega)| = 2 \cdot \left| \cos\left(2\pi \frac{f}{f_s}\right) \right| \quad (4.29)$$

Abbildung 4.16 zeigt den Frequenzgang der NTF eines BP- $\Delta\Sigma$ -Modulators 2.Ordnung und eines TP- $\Delta\Sigma$ -Modulators 1.Ordnung.

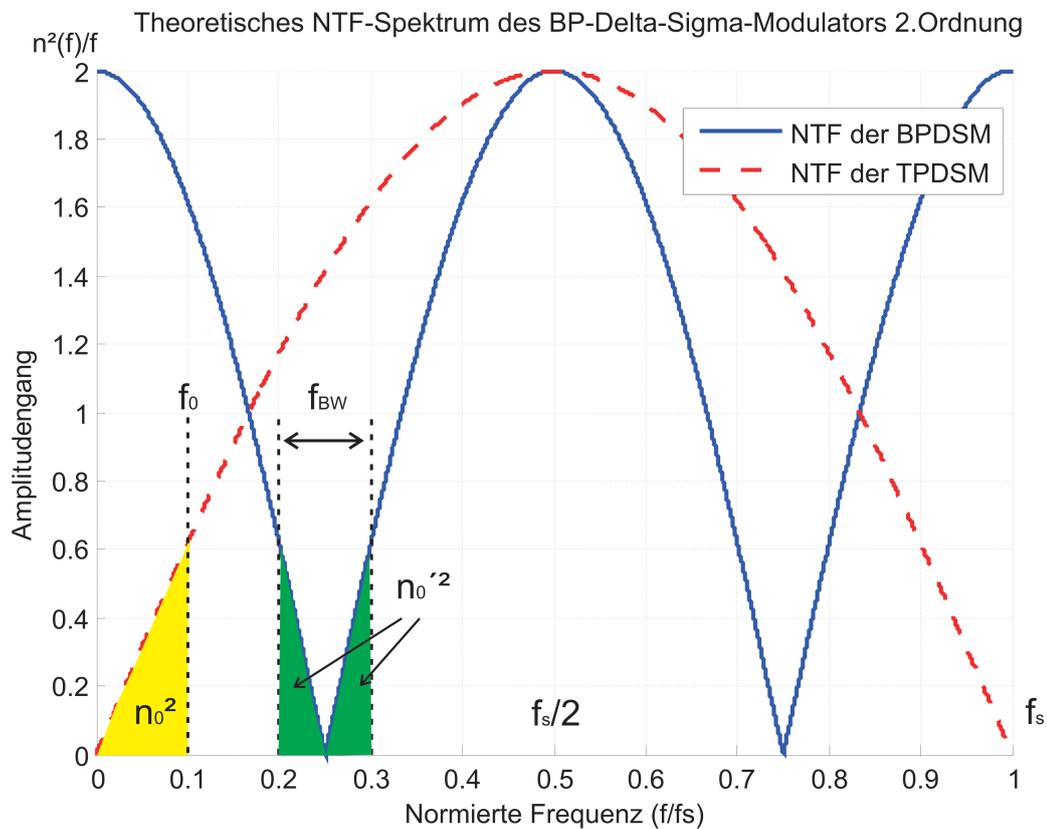


Abbildung 4.16.: Rauschformung des Quantisierungsrauschens des BP- $\Delta\Sigma$ -Modulators 2.Ordnung und eines TP- $\Delta\Sigma$ -Modulators 1.Ordnung

Das Basisband der NTF hat sich von $[0, 0,1]$ bis $[0,2, 0,3]$ ($0,25 = \frac{f_s}{4}$) verschoben. Ähnlich wie bei einem TP- $\Delta\Sigma$ -Modulator mit angeschlossenem digitalen Tiefpassfilter wird das Quantisierungsrauschen, das von einem BP- $\Delta\Sigma$ -Modulator erzeugt wurde, außerhalb des Frequenzbereiches f_{BW} durch einen angeschlossenem digitalen Bandpassfilter

ausgefiltert. Der SQNR des Modulators hat sich durch die Transformation nicht verändert, die Eigenschaft des TP- $\Delta\Sigma$ -Modulators durch die Transformation wird erhalten.

Das Transformationsverfahren $z^{-1} \Rightarrow -z^{-2}$ wird durch das Ersetzen von einem Resonator mit zwei Verzögerungen hintereinander realisiert. Den Resonator nennt man „double-delay-desonator" (DD-Resonator), der im folgenden Abschnitt dargestellt wird.

4.3.3. Der DD-Resonator

Abbildung 4.17 stellt das Blockschaltbild eines DD-Resonators dar.

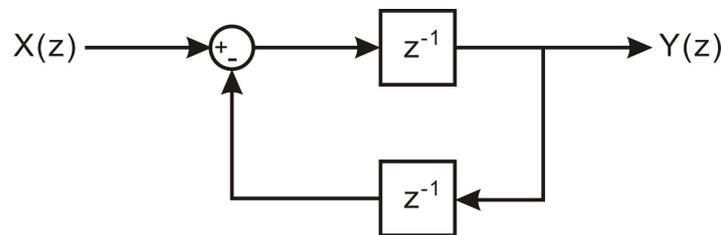


Abbildung 4.17.: Blockschaltbild des DD-Resonators

Der DD-Resonator besteht aus nur zwei Verzögerungen: eine in dem Vorwärtszweig und eine in dem Rückwärtszweig mit einem Rückkopplungsfaktor von -1. Die Übertragungsfunktion des DD-Resonators kann wie folgt hergeleitet werden.

$$Y(z) = (X(z) - Y(z) \cdot z^{-1})z^{-1} \quad (4.30)$$

$$Y(z) + Y(z) \cdot z^{-2} = X(z) \cdot z^{-1} \quad (4.31)$$

$$H_{DD-Resonator} = \frac{Y(z)}{X(z)} = \frac{z^{-1}}{1 + z^{-2}} \quad (4.32)$$

In der Gleichung 4.32 erkennt man, dass die Polstelle der Übertragungsfunktion des DD-Resonators bei j und $-j$ liegt. Das entspricht den Schwingungsstellen des Resonators auf $\pm \frac{f_s}{4}$.

4.3.4. Herleitung der Übertragungsfunktion

Mit dem Ersetzen des DD-Resonators als neuen Schleifenfilter ist das Blockschaltbild des BP- $\Delta\Sigma$ -Modulators 2.Ordnung wie in Abbildung 4.18 dargestellt.

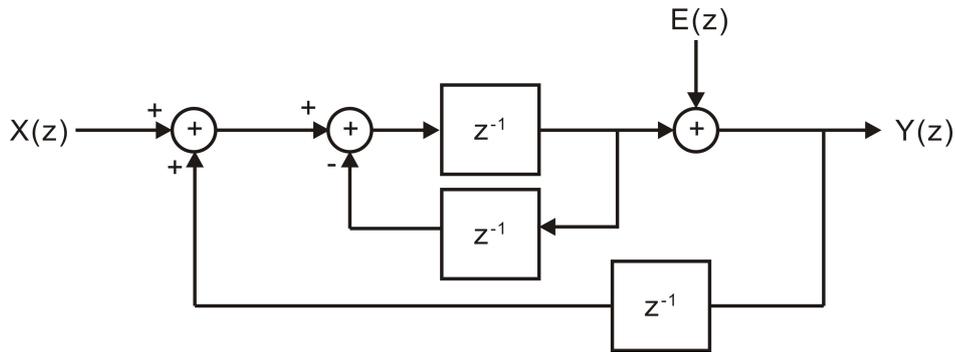


Abbildung 4.18.: Blockschaltbild des BP- $\Delta\Sigma$ -Modulators 2.Ordnung

Davon wird die Übertragungsfunktion des gesamten BP- $\Delta\Sigma$ -Modulators 2.Ordnung wie folgt abgeleitet:

$$Y(z) = (X(z) + Y(z) \cdot z^{-1}) \cdot \frac{z^{-1}}{1 + z^{-2}} + E(z) \quad (4.33)$$

$$Y(z) = X(z) \cdot z^{-1} + E(z) \cdot (1 + z^{-2}) \quad (4.34)$$

$$STF_{BP-\Delta\Sigma} = z^{-1} \quad (4.35)$$

$$NTF_{BP-\Delta\Sigma} = 1 + z^{-2} \quad (4.36)$$

In Gleichung 4.35 und Gleichung 4.36, erkennt man, dass durch den BP- $\Delta\Sigma$ -Modulator 2.Ordnung das originale Eingangssignal nur um einen Systemtakt verzögert ist. Das Quantisierungsrauschen wird von $1 + z^{-2}$ rauschformiert und die Mitte des Basisbands des Modulators liegt genau auf $\frac{f_s}{4}$.

4.3.5. Simulation des Modulators in SIMULINK/MATLAB

Ein SIMULINK-Modell des BP- $\Delta\Sigma$ -Modulators 2.Ordnung wird wie in Abbildung 4.19 aufgebaut.

Der Eingang ist ein mit 1 MHz Trägerfrequenz modulierte zeitdiskretes Sinussignal mit 0.5 V Amplitude und 47.74 KHz Frequenz. Das ganze Modell wird mit einer Abtastfrequenz von 4 MHz abgetastet. Der Ausgang des DD-Resonators wird von einem 1-bit -Komparator quantisiert. Der Zeitverlauf des Ein- und Ausgangssignals wird in Abbildung 4.20 dargestellt.

Der Ausgang des BP- $\Delta\Sigma$ -Modulators 2.Ordnung ist ein 1-bit -stream. Da das Verhalten des Ausgangs im Zeitbereich nicht direkt erkannt wird, wird dieses Signal mit einem

4. Analytische Modellierung des Delta-Sigma-Modulators

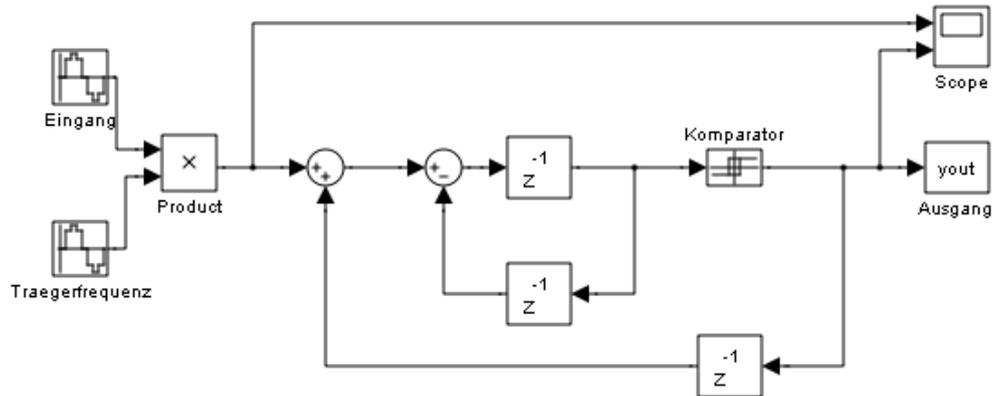


Abbildung 4.19.: SIMULINK-Modell des BP- $\Delta\Sigma$ -Modulators 2.Ordnung

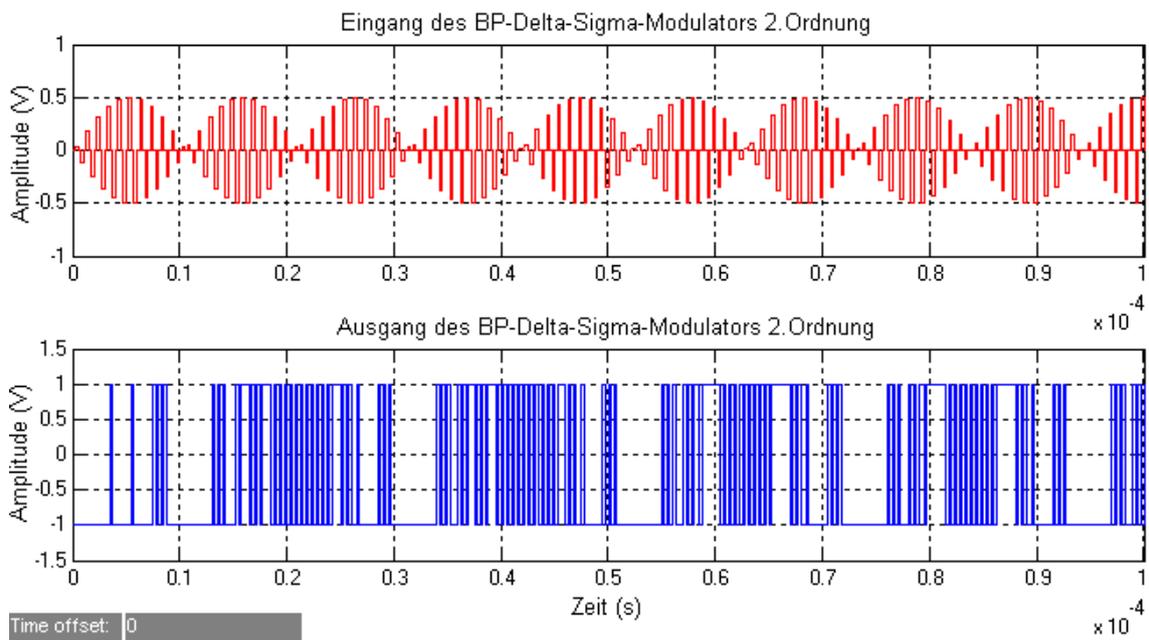


Abbildung 4.20.: Ein- und Ausgang des BP- $\Delta\Sigma$ -Modulators 2.Ordnung

16384-Punkte-FFT-Algorithmus noch einmal im Frequenzbereich dargestellt (siehe Abbildung 4.21).

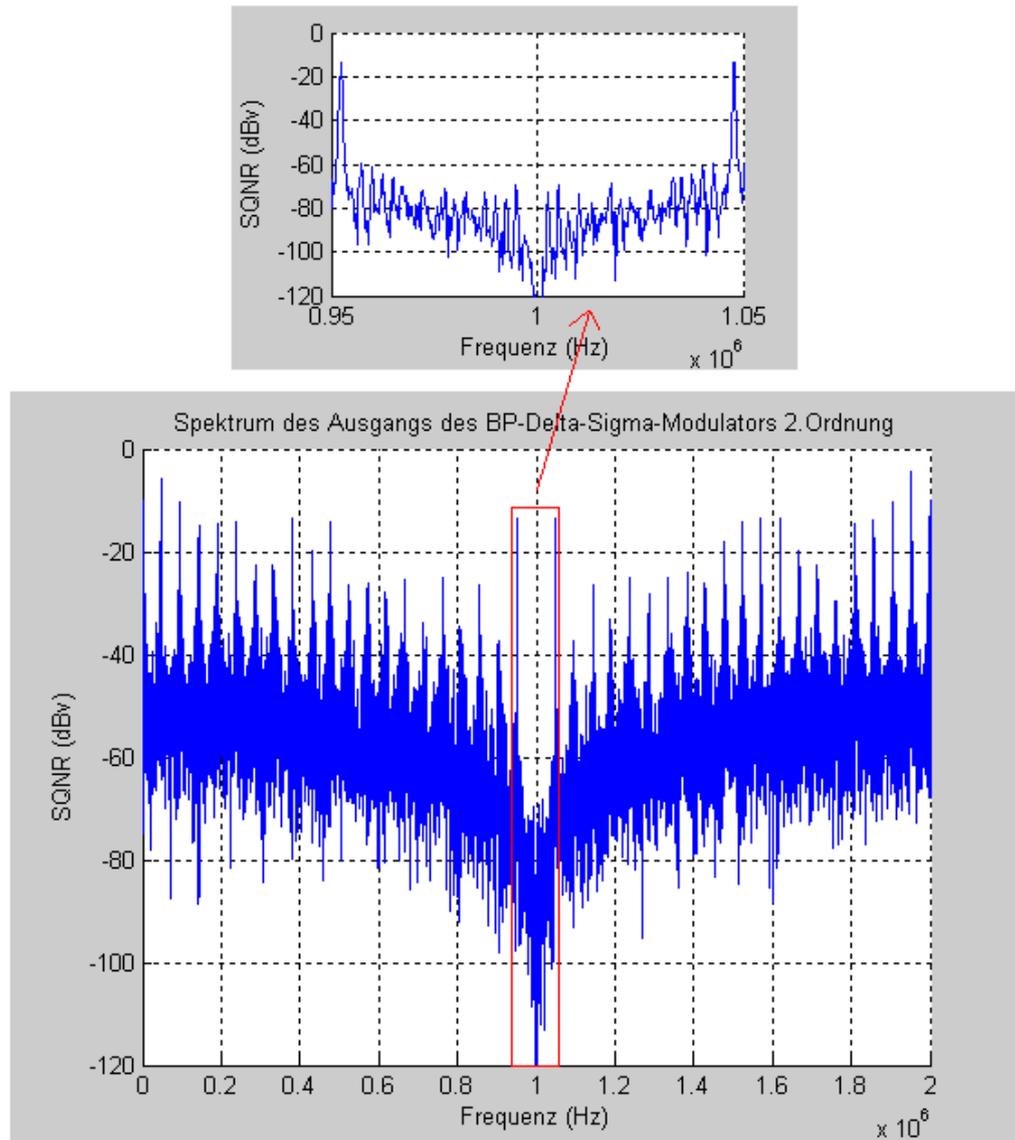


Abbildung 4.21.: *Spektrum des Ausgangs des BP- $\Delta\Sigma$ -Modulators 2. Ordnung*

Die beiden Spitzen des Ausgangs in der Nähe von 1 MHz stehen für das modulierte Eingangssignal. Das Quantisierungsrauschen wird durch die NTF rauschformiert. Offensichtlich wird das Quantisierungsrauschen von 1 MHz bzw. $\frac{f_s}{4}$ nach beiden Seiten verschoben.

Im Vergleich mit Abbildung 4.13 ist erkennbar, dass der BP- $\Delta\Sigma$ -Modulator für das zwischenbandige Signal besser geeignet ist als der TP- $\Delta\Sigma$ -Modulator. Hier erkennt man einen Mittelwert des In-Band-SQNR von ungefähr 80 dB.

Es gibt zwei Möglichkeiten für einen $\Delta\Sigma$ -Modulator den SQNR zu erhöhen. Eine ist die durch die Erhöhung des OSR. Wie vorher schon beschrieben, wird der SQNR eines TP- $\Delta\Sigma$ -Modulators 1.Ordnung oder BP- $\Delta\Sigma$ -Modulators 2.Ordnung um 9 dB erhöht, wenn die OSR verdoppelt wird. Eine andere Möglichkeit besteht darin, die NTF des $\Delta\Sigma$ -Modulators so zu gestalten, dass mehr Quantisierungsrauschen außerhalb des In-Bands verschoben wird. Dieses wird durch die Erhöhung der Ordnung des Modulators realisiert, wie z.B. der bei dem folgendem Abschnitt dargestellte BP- $\Delta\Sigma$ -Modulator 4.Ordnung.

4.4. Modellierung des Bandpass-Delta-Sigma-Modulators 4.Ordnung

Um die NTF zu ändern, ist die Übertragungsfunktion des Vorwärtspfades im BP- $\Delta\Sigma$ -Modulator zu modifizieren. Dies kann durch einen zusätzlichen Resonator realisiert werden. Abbildung 4.22 stellt das Blockschaltbild eines BP- $\Delta\Sigma$ -Modulators 4.Ordnung dar.

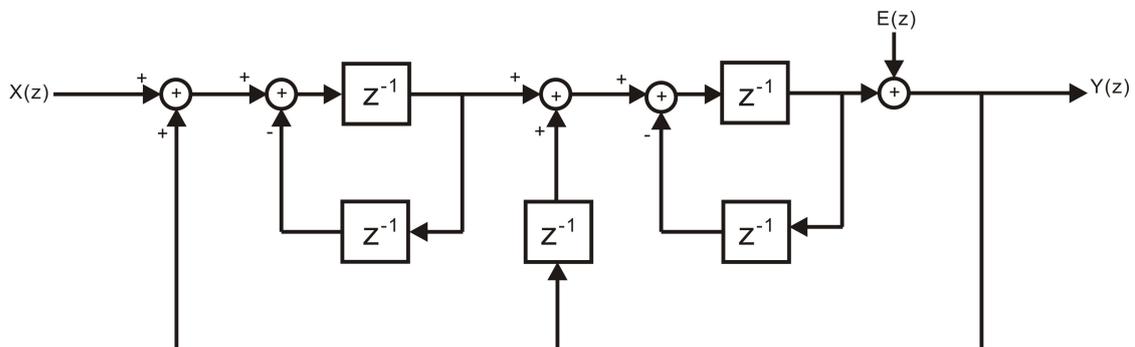


Abbildung 4.22.: Blockschaltbild des BP- $\Delta\Sigma$ -Modulators 4.Ordnung

Der BP- $\Delta\Sigma$ -Modulator 4.Ordnung besteht aus zwei DD-Resonatoren in dem Vorwärtspfad und zwei positiven Rückkopplungen, von denen eine Rückkopplung mit einem Takt verzögert ist. Eine äquivalente Rauschquelle $E(z)$, die für das lineare Modell des Quantisierers steht, wird auch zu der Schaltung hinzugefügt.

4.4.1. Herleitung der Übertragungsfunktion

Die Übertragungsfunktion des DD-Resonators ist wie vorher in Gleichung 4.32 dargestellt. Damit lässt sich die Übertragungsfunktion des BP- $\Delta\Sigma$ -Modulators 4. Ordnung wie folgt herleiten:

$$H_{DD-Resonator}(z) = \frac{z^{-1}}{1 + z^{-2}} \quad (4.37)$$

$$Y(z) = (H_{DD-Resonator}(z)(X(z) + Y(z)) + Y(z) \cdot z^{-1}) \cdot H_{DD-Resonator}(z) + E(z) \quad (4.38)$$

$$Y(z) = \left(\frac{z^{-1}}{1 + z^{-2}}(X(z) + Y(z)) + Y(z) \cdot z^{-1} \right) \cdot \frac{z^{-1}}{1 + z^{-2}} + E(z) \quad (4.39)$$

$$(1 + z^{-1})^2 \cdot Y(z) = z^{-2}(X(z) + Y(z)) + z^{-2}(1 + z^{-2})Y(z) + E(z) \quad (4.40)$$

$$(1 + 2z^{-2} + z^{-4} - 2z^{-2} - z^{-4})Y(z) = z^{-2}X(z) + (1 + z^{-2})^2E(z) \quad (4.41)$$

$$Y(z) = z^{-2}X(z) + (1 + z^{-2})^2E(z) \quad (4.42)$$

Damit werden die STF und NTF von Gleichung 4.42 hergeleitet:

$$STF_{BP-\Delta\Sigma 4}(z) = z^{-2} \quad (4.43)$$

$$NTF_{BP-\Delta\Sigma 4}(z) = (1 + z^{-2})^2 \quad (4.44)$$

4.4.2. Rauschformung Verhalten

Mit der Ersetzen von $z = e^{j2\pi fT} = e^{j\omega T}$ erkennt man, dass das Eingangssignal durch den BP- $\Delta\Sigma$ -Modulator 4. Ordnung einfach um 2 Takte verzögert wird. Das Quantisierungsrauschen wird immer mehr rauschformiert.

$$NTF_{BP-\Delta\Sigma 4}(\omega) = (1 + e^{-2j\omega T})^2 \quad (4.45)$$

$$NTF_{BP-\Delta\Sigma 4}(\omega) = (e^{-j\omega T}(e^{j\omega T} + e^{-j\omega T}) \cdot \frac{2}{2})^2 \quad (4.46)$$

$$NTF_{BP-\Delta\Sigma 4}(\omega) = (2 \cdot \cos(\omega T) \cdot e^{-j\omega T})^2 \quad (4.47)$$

Der Amplitudengang der NTF des BP- $\Delta\Sigma$ -Modulators 4. Ordnung wird wie folgt dargestellt:

$$|NTF_{BP-\Delta\Sigma 4}(\omega)| = 4|\cos(\omega T)|^2 \quad (4.48)$$

$$|NTF_{BP-\Delta\Sigma 4}(f)| = 4\left|\cos\left(\frac{2\pi f}{f_s}\right)\right|^2 \quad (4.49)$$

Abbildung 4.23 stellt das Verhalten der NTF des BP- $\Delta\Sigma$ -Modulators 4. Ordnung dar.

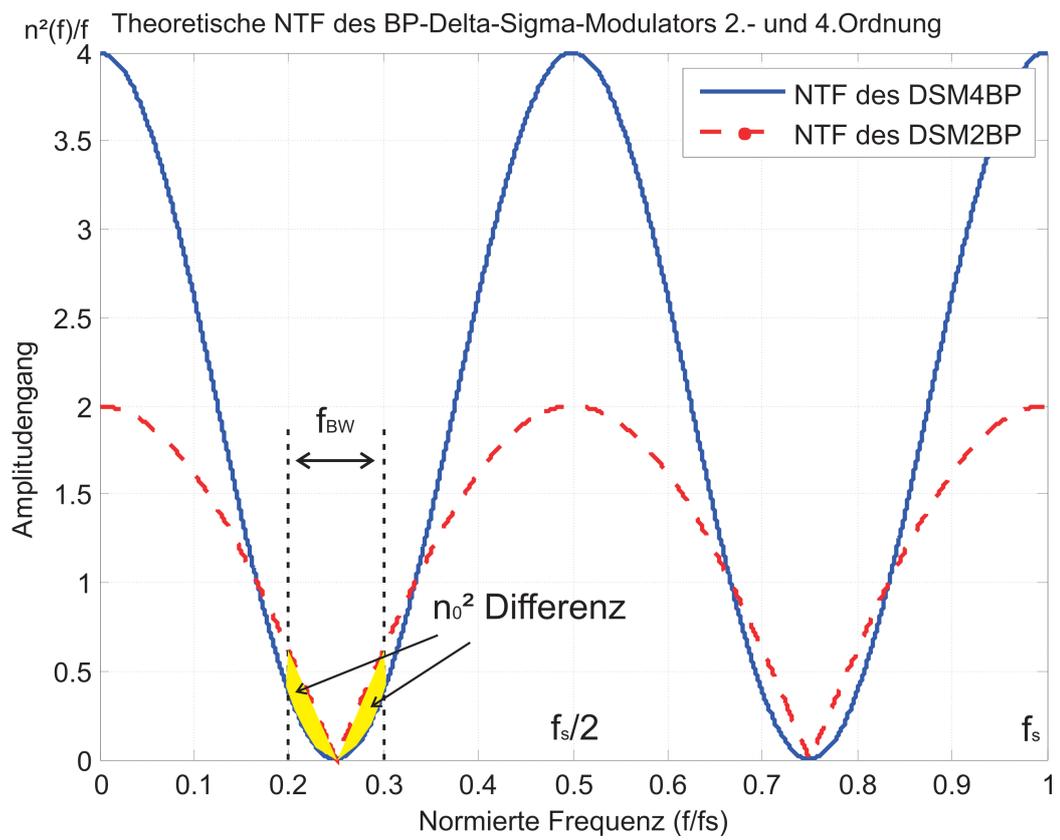


Abbildung 4.23.: Theoretische NTF des BP- $\Delta\Sigma$ -Modulators 2.- und 4.Ordnung

Abbildung 4.23 zeigt die NTF eines BP- $\Delta\Sigma$ -Modulators 4.Ordnung (blaue Kurve) und eines BP- $\Delta\Sigma$ -Modulators 2.Ordnung (rote Kurve). Es ist erkennbar, dass das In-Band-Quantisierungsrauschen durch die Rauschformung des BP- $\Delta\Sigma$ -Modulators 4.Ordnung immer niedriger als die durch die Rauschformung des BP- $\Delta\Sigma$ -Modulators 2.Ordnung ist. Das Quantisierungsrauschen wird immer mehr von der Mitte des Basisbands f_{BW} zur Seite gedrückt. Damit wird ein immer höherer In-Band-SQNR erreicht. Das wird in der folgenden Berechnung bewiesen.

4.4.3. Signal-Quantisierungsrausch-Abstand Analyse

Wie vorher in Gleichung 4.18 dargestellt, wird die In-Band-Quantisierungsrauschleistung eines BP- $\Delta\Sigma$ -Modulators 4.Ordnung wie folgt berechnet:

$$n_0^2 = \int_{f_1}^{f_2} \frac{e_{rms}^2}{\frac{f_s}{2}} \cdot |NTF_{BP-\Delta\Sigma 4}(f)|^2 \cdot df \quad (4.50)$$

$$n_0^2 \approx \frac{\pi^4 e_{rms}^2}{5OSR^5} \quad (4.51)$$

Mit $e_{rms}^2 = \frac{\Delta^2}{12}$ (vgl. Gleichung 3.2) bekommt man:

$$n_0^2 \approx \frac{\pi^4 \Delta^2}{60} \cdot \frac{1}{OSR^5} \quad (4.52)$$

Gleichung 4.52 zeigt die Abhängigkeit der In-Band-Quantisierungsrauschleistung von der OSR in einem BP- $\Delta\Sigma$ -Modulator 4.Ordnung. Mit der analogen Rechnungsmethode für einen TP- $\Delta\Sigma$ -Modulator 1.Ordnung kann die Beziehung der SQNR und der OSR des BP- $\Delta\Sigma$ -Modulators 4.Ordnung wie folgt beschrieben werden:

$$SQNR_{BP-\Delta\Sigma 4} = 20 \cdot \log_{10}\left(\frac{V_{eff,FS}}{n_0}\right) = (6.02 \cdot N + 1.76 - 12.9 + 50 \log_{10}(OSR)) dB \quad (4.53)$$

Wie in Gleichung 4.53 dargestellt, erhöht sich die SQNR eines BP- $\Delta\Sigma$ -Modulators 4.Ordnung bei Verdopplung der Abtastfrequenz um 15 dB. Es ist schon effizienter als bei einem BP- $\Delta\Sigma$ -Modulator 2.Ordnung mit einer Erhöhung von 9 dB und mit einem rein überabgetasteten Modulator ohne Rauschformung von nur 3 dB. Abbildung 4.24 zeigt das Verhältnis zwischen dem SQNR und dem OSR des BP- $\Delta\Sigma$ -Modulators 2.- und 4.Ordnung sowie einen rein überabgetasteten Modulator.

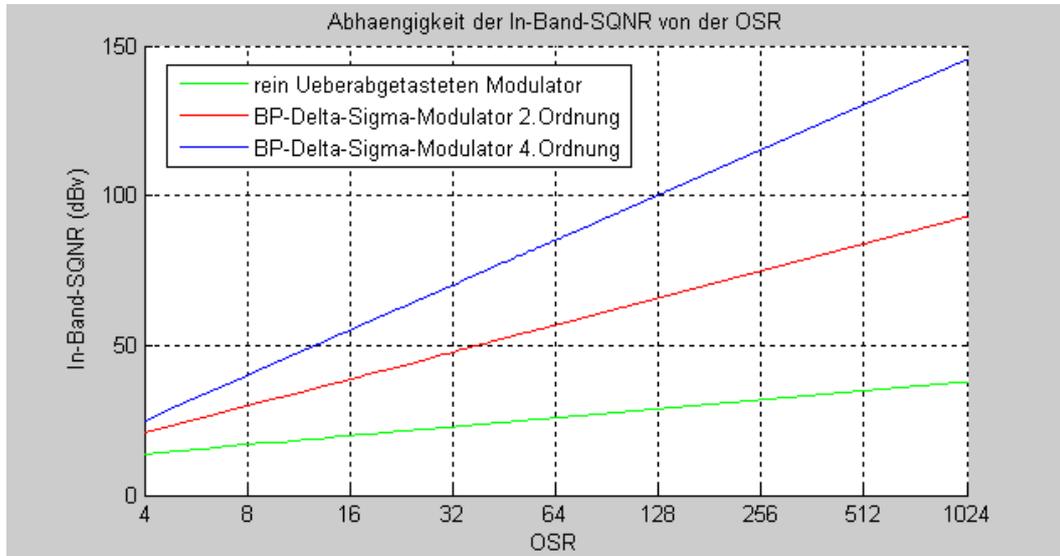


Abbildung 4.24.: Abhängigkeit der In-Band-SQNR von der OSR für den BP- $\Delta\Sigma$ -Modulators 2.- und 4.Ordnung sowie den rein überabgetasteten Modulator

4.4.4. Simulation des Modulators in SIMULINK/MATLAB

In SIMULINK wird folgendes Modell für den BP- $\Delta\Sigma$ -Modulator 4.Ordnung gebaut (siehe Abbildung 4.25).

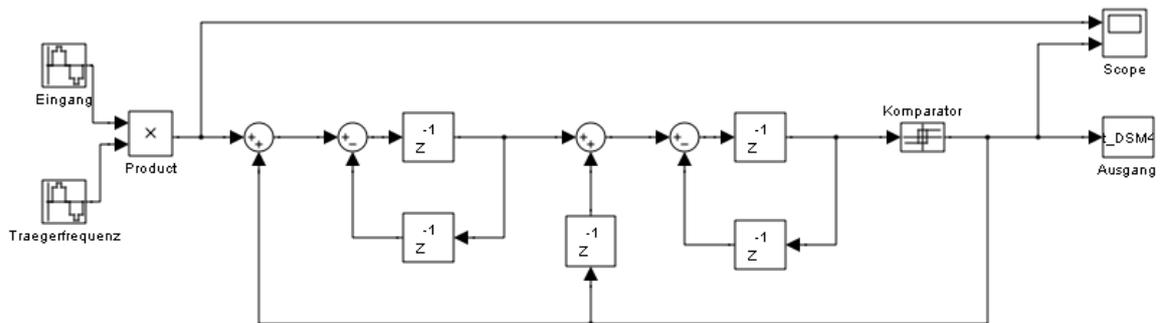


Abbildung 4.25.: SIMULINK-Modell des BP- $\Delta\Sigma$ -Modulators 4.Ordnung

Der Eingang des Modells ist ein mit 1 MHz modulierte Sinussignal mit 0.5 V Amplitude und 47.74 KHz Frequenz mit einer Abtastfrequenz von 4 MHz. Der Eingang und Ausgang des Modulators werden im Zeitbereich wie in Abbildung 4.26 dargestellt.

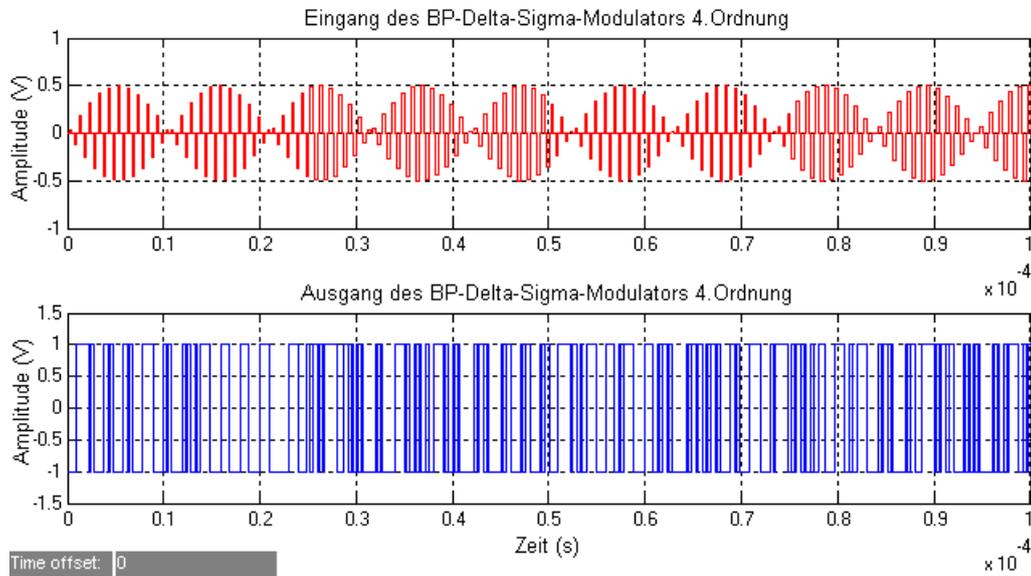


Abbildung 4.26.: Ein- und Ausgang des BP- $\Delta\Sigma$ -Modulators 4.Ordnung im Zeitbereich

Mit einem 16384-Punkte-FFT-Algorithmus wird das Spektrum des Ausgang des Modulators wie in Abbildung 4.27 dargestellt.

Wie in Abbildung 4.27 dargestellt, erreicht das Mittelwert der SQNR in dem Basisband von [950 KHz, 1050 KHz] ungefähr 100 dB. Man erkennt daran, dass in einem BP- $\Delta\Sigma$ -Modulator 4.Ordnung das Quantisierungsrauschen durch die Rauschformung mehr zur Seite verschoben wird als in einem BP- $\Delta\Sigma$ -Modulator 2.Ordnung (siehe Abbildung 4.28).

4.5. Bandpass-Delta-Sigma-Modulator höherer Ordnung

In ähnlicher Weise besteht eine allgemeine Betrachtung des BP- $\Delta\Sigma$ -Modulators N.Ordnung nach der Modulatortopologie aus N seriell angeschlossenen Resonatoren und einem 1-bit-Komparator [Sal03] (siehe Abbildung 4.29).

Die allgemeine Übertragungsfunktion eines BP- $\Delta\Sigma$ -Modulators N.Ordnung lautet dann wie in Gleichung 4.54 hergeleitet(analog zu den vorangegangenen Herleitungen).

$$Y(z) = z^{-N} \cdot X(z) + (1 + z^{-2})^N \cdot E(z) \quad (4.54)$$

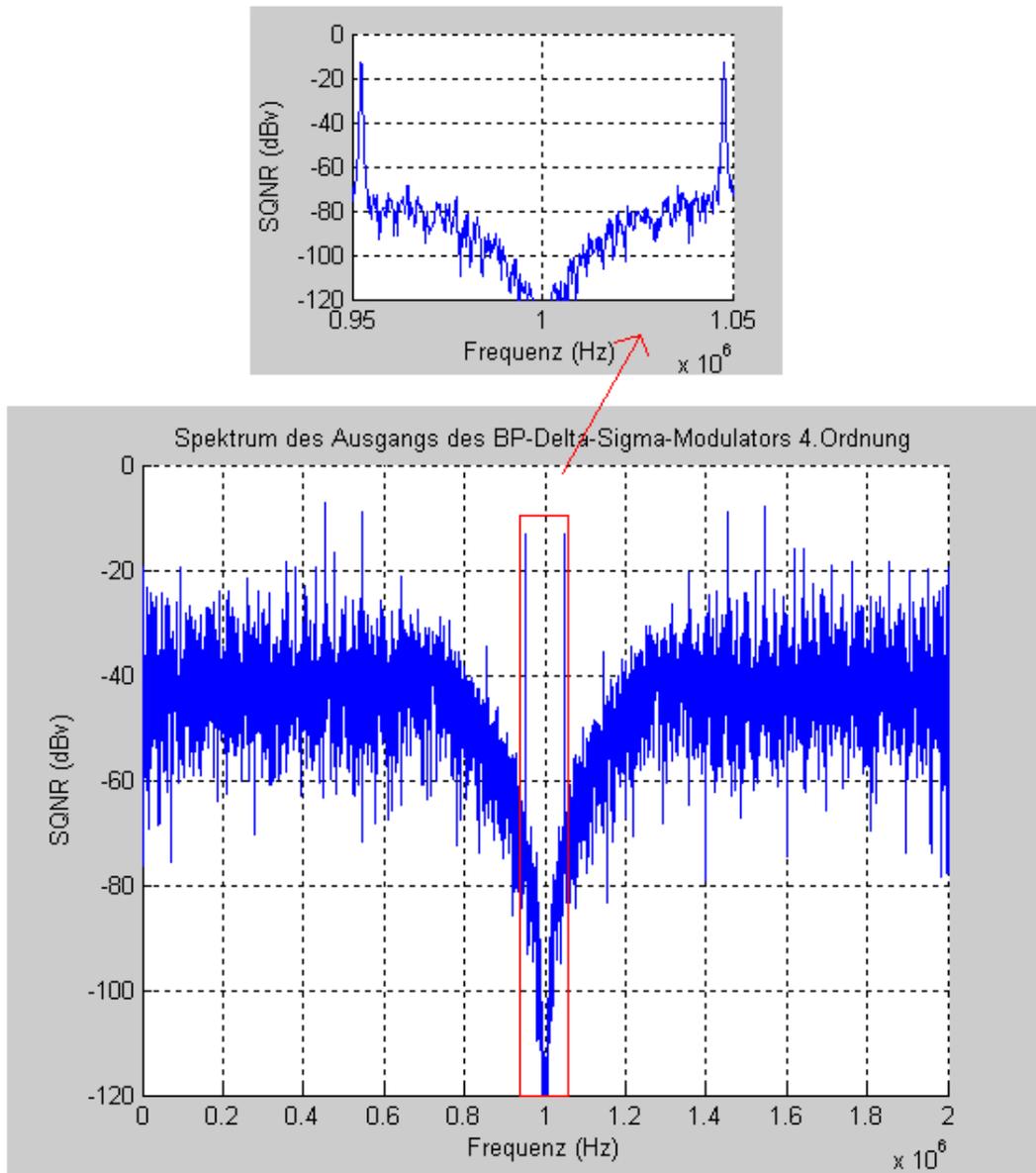


Abbildung 4.27.: *Spektrum des Ausgangs des BP- $\Delta\Sigma$ -Modulators 4.Ordnung im Zeitbereich*

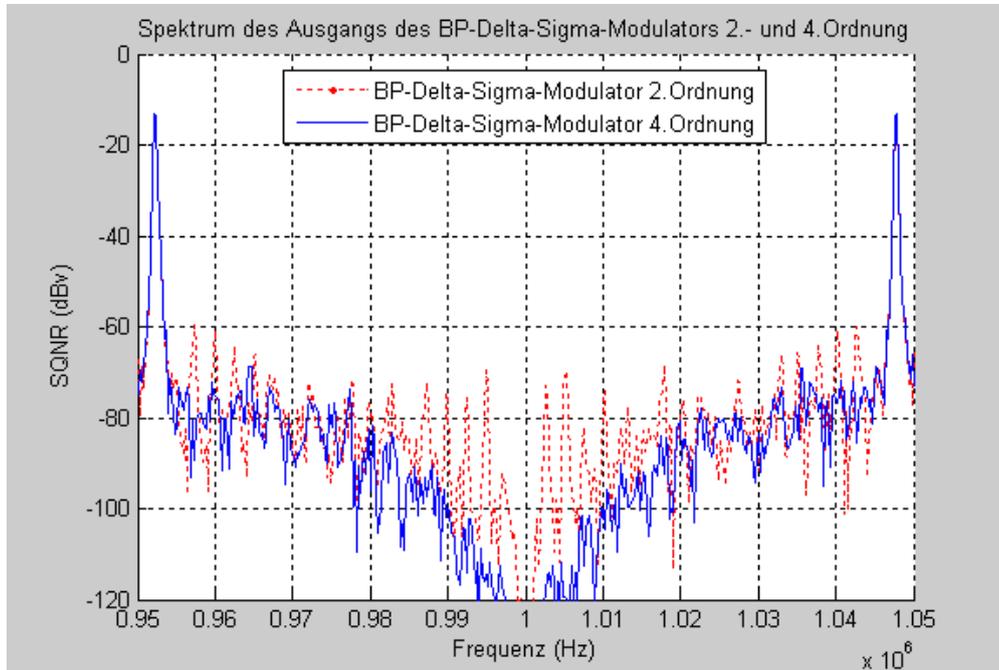


Abbildung 4.28.: In-Band-Quantisierungsrauschen des BP- $\Delta\Sigma$ -Modulators 2.- und 4.Ordnung

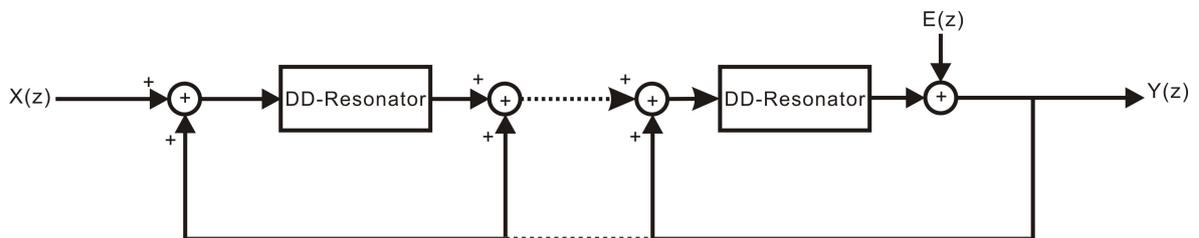


Abbildung 4.29.: Blockschaltbild des BP- $\Delta\Sigma$ -Modulators N.Ordnung

Damit sind die STF und NTF des BP- $\Delta\Sigma$ -Modulators N.Ordnung hergeleitet:

$$STF_{BP-\Delta\Sigma N} = z^{-N} \quad (4.55)$$

$$NTF_{BP-\Delta\Sigma N} = (1 + z^{-2})^N \quad (4.56)$$

Mit der NTF des BP- $\Delta\Sigma$ -Modulators N.Ordnung kann man das In-Band-Quantisierungsrauschen und den In-Band-SQNR wie folgt beschreiben:

$$n_0^2 \approx \frac{\pi^{2N} \cdot e_{rms}^2}{(2N + 1) \cdot OSR^{2N+1}} \quad (4.57)$$

newline Wenn $e_{rms}^2 = \frac{\Delta^2}{12}$ in Gleichung 4.57 eingesetzt wird, bekommt man:

$$n_0^2 \approx \frac{\pi^{2N} \cdot \Delta^2}{(24N + 12) \cdot OSR^{2N+1}} \quad (4.58)$$

In Gleichung 4.58 erkennt man, dass, je höher der OSR ist, desto niedriger ist das In-Band-Quantisierungsrauschen. Mit einer Erhöhung der Modulator-Ordnung steigt der SQNR des Modulators auch. Abbildung 4.30 stellt die Abhängigkeit der SQNR von dem OSR mit Modulator N.Ordnung von $N = 1$ bis 8 dar..

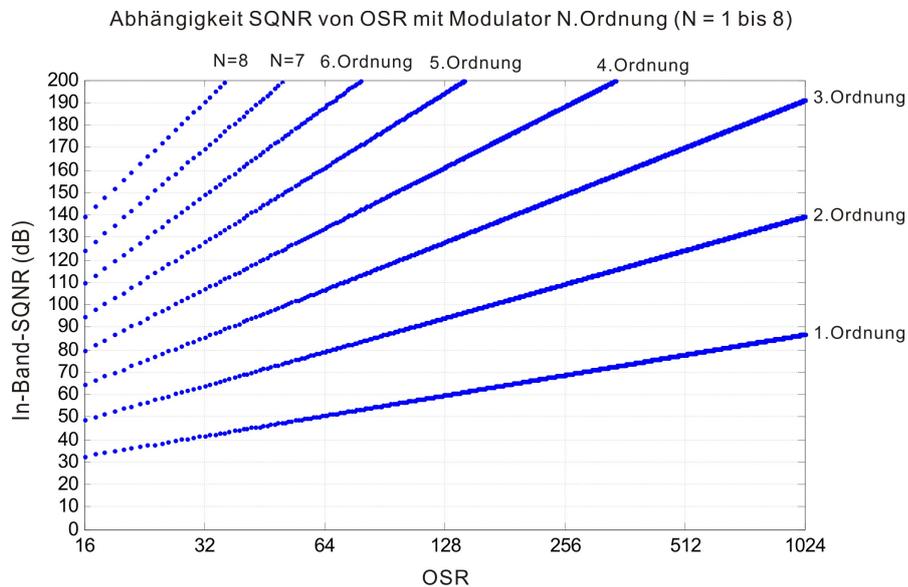


Abbildung 4.30.: Abhängigkeit der SQNR von OSR mit unterschiedlicher Modulator-Ordnung ($N=1\dots 8$)

Ein BP- $\Delta\Sigma$ -Modulator höherer Ordnung verspricht demnach einem höheren SQNR bereits bei niedrigem OSR. Dies führt zu einer Thematik, die bisher noch nicht behandelt wurde: die Stabilität des Modulators. Dies wird in folgendem Abschnitt beschrieben.

4.6. Stabilität des Delta-Sigma-Modulators

Zur Betrachtung der Stabilität eines Systems wird zunächst auf die Regelungstechnik zurückgegriffen. Die Übertragungsfunktion eines solchen Regelkreises wird normalerweise wie in Abbildung 4.31 dargestellt.

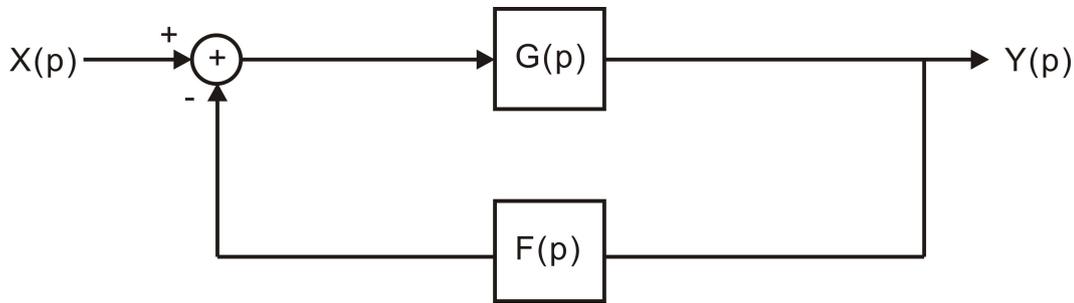


Abbildung 4.31.: Allgemeines Blockschaltbild eines Regelkreises

Die gesamte Übertragungsfunktion des Systems lautet dann:

$$Y(p) = \frac{G(p)}{1 + G(p)F(p)} X(p) \quad (4.59)$$

$$H(p) = \frac{Y(p)}{X(p)} = \frac{G(p)}{1 + G(p)F(p)} \quad (4.60)$$

Nach der Regelungstechnik lautet die charakteristische Gleichung dieses Systems wie folgt:

$$1 + G(p)F(p) = 0 \quad (4.61)$$

Um die Stabilität dieses Regelkreises zu ermitteln, wird die Methode der Bestimmung der Wurzelortskurve „root locus“ angewandt. Die Menge der Polstellen, die in der komplexen Ebene dargestellt wird, heißt Wurzelortskurve [Föl08]. Zu diesem Zweck ist in den Regelkreis ein Faktor k einzufügen, der in dem Bereich von null bis unendlich variiert wird [RT94]. Dann lautet die charakteristische Gleichung [SC99]:

$$1 + k \cdot G(p)F(p) = 0 \quad (4.62)$$

Die Polstellen dieser Gleichung mit der Veränderung durch den Faktor k können in der komplexen Ebene zusammen dargestellt werden. Die Stabilität eines Regelkreises bedeutet, dass sich die Wurzelorte für die Laplace-Transformation in der linken Halbebene der S-Ebene befinden. Das bedeutet, in der Z-Ebene ist das System stabil, wenn die Wurzelorte innerhalb des Einheitskreises liegen.

In dem BP- $\Delta\Sigma$ -Modulator 2.Ordnung wird die charakteristische Gleichung wie folgt hergeleitet:

$$G(z) = \frac{z^{-1}}{1 + z^{-2}} \quad (4.63)$$

$$F(z) = -z^{-1} \quad (4.64)$$

$$1 + k \cdot G(p)F(p) = 1 - k\left(\frac{z^{-1} \cdot z^{-1}}{1 + z^{-2}}\right) = 0 \quad (4.65)$$

$$k = \frac{1 + z^{-2}}{z^{-2}} = 1 + z^2 \quad (4.66)$$

Abbildung 4.32 stellt die Wurzelortskurve eines BP- $\Delta\Sigma$ -Modulators 2.Ordnung grafisch dar.

Wie man anhand Abbildung 4.32 erkennen kann, liegt ein Teil der Wurzelortskurve außerhalb des Einheitskreises. Trotzdem kann man solche Systeme, bei denen nur ein Wurzelortpaar außerhalb des Einheitskreises liegt, als stabil betrachten, weil die vorläufige Instabilität des Systems die Schwingung des Resonators verstärken wird [Föl08]. Damit sinkt der Verstärkungsfaktor des Quantisierers k . Dann wird das Wurzelortspaar des Systems wieder innerhalb des Einheitskreises verschoben. Das führt dazu, dass das System nicht mehr instabil ist und stabil bleibt. Wenn jedoch ein zweites Wurzelortspaar außerhalb des Einheitskreises liegt, wird das System instabil.

In ähnlicher Weise ist in einem BP- $\Delta\Sigma$ -Modulator 4.Ordnung die charakteristische Gleichung mit dem Faktor k wie folgt beschrieben:

$$1 - k \cdot G(p)F(p) = 1 - k\left(\frac{z^{-1} \cdot z^{-1}}{1 + z^{-2}} + \left(\frac{z^{-1}}{1 + z^{-2}}\right)^2\right) = 0 \quad (4.67)$$

$$k = \frac{z^4 + 2z^2 + 1}{-2z^2 - 1} \quad (4.68)$$

Damit wird die Wurzelortskurve des BP- $\Delta\Sigma$ -Modulators 2.Ordnung wie in Abbildung 4.33 dargestellt.

Daran erkennt man, dass es insgesamt zwei Wurzelortspaare gibt. Es gibt auch die

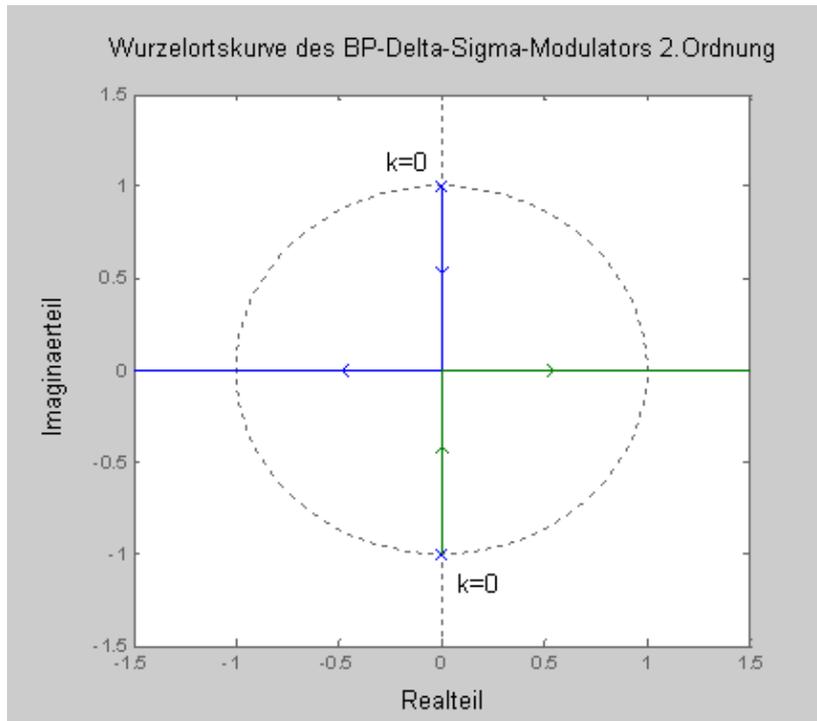


Abbildung 4.32.: $BP-\Delta\Sigma$ -Modulators 2.Ordnung mit k in der Bereich $[0, +\infty]$

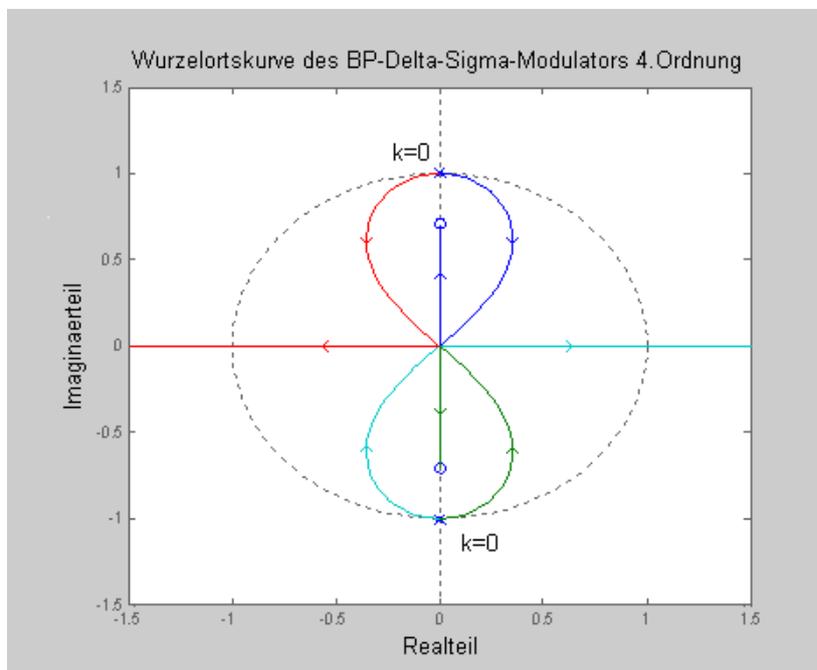


Abbildung 4.33.: $BP-\Delta\Sigma$ -Modulators 4.Ordnung mit k in dem Bereich $[0, +\infty]$

Möglichkeit, dass nur ein Wurzelpaar außerhalb des Einheitskreises liegt. Deswegen ist der BP- $\Delta\Sigma$ -Modulators 4.Ordnung auch immer stabil.

Für einen Modulator höherer Ordnung, wie z.B. BP- $\Delta\Sigma$ -Modulator 6.Ordnung, kann seine charakteristische Gleichung mit dem Faktor k ähnlich wie folgt beschrieben werden:

$$k = \frac{z^6 + 3z^4 + 3z^2 + 1}{-3z^4 + 3z^2 - 1} \quad (4.69)$$

Die Wurzelortskurve des BP- $\Delta\Sigma$ -Modulators 6.Ordnung kann wie in Abbildung 4.34 dargestellt werden.

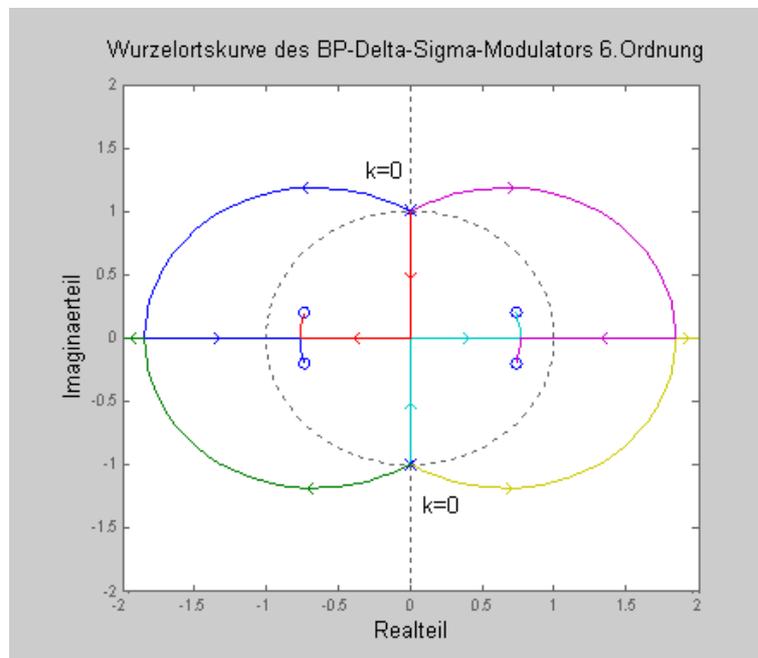


Abbildung 4.34.: BP- $\Delta\Sigma$ -Modulators 6.Ordnung mit k in der Bereich $[0, +\infty]$

Wenn k sich erhöht, läuft ein Wurzelortspaar entlang der Realachse außerhalb des Einheitskreises. Aber im Gegensatz zum BP- $\Delta\Sigma$ -Modulator 2.- und 4.Ordnung gibt es ein zweites Wurzelortspaar, das auch außerhalb des Einheitskreises liegt. Das führt dazu, dass dieses System instabil wird. Deswegen ist der BP- $\Delta\Sigma$ -Modulator 6.Ordnung nicht immer stabil. In ähnlicher Weise kann man beweisen, dass der $\Delta\Sigma$ -Modulator höher als 4.Ordnung nicht immer stabil ist [SC99].

Zusammenfassend ist festzustellen, dass der BP- $\Delta\Sigma$ -Modulator 2.- und 4.Ordnung

immer stabil ist. Deswegen ist es nicht mehr erforderlich, die Stabilitätsprobleme zu beobachten. Aber wenn man trotzdem eine höhere Ordnung NTF bzw. SQNR haben möchte, um damit eine bessere Charakteristik zu erhalten, wird eine sog. Kaskade-Struktur „multi-stage“ (MASH-Struktur) entwickelt. Hierauf wird im folgenden Abschnitt genauer eingegangen.

4.7. Modellierung des Bandpass-Delta-Sigma-Modulators 8.Ordnung mit der 4-4-Kaskadenstruktur

4.7.1. Grundprinzip des Delta-Sigma-Modulators mit der Kaskadenstruktur

Um einem $\Delta\Sigma$ -Modulator höherer Ordnung mit MASH Struktur zu entwerfen, wird zuerst ein stabiler $\Delta\Sigma$ -Modulator mit 2.- oder 4.Ordnung als erste Stufe eingesetzt. Das Quantisierungsrauschen, das von dem Modulator in der ersten Stufe einmal rauschformiert wurde, wird als Eingangssignal auf einen zweiten $\Delta\Sigma$ -Modulator gegeben und noch einmal rauschformiert. Die Ausgänge des $\Delta\Sigma$ -Modulators in diesen zwei Stufen werden als Eingänge einer digitalen Logikschaltung „**n**oise **c**ancellation **l**ogic“ (NCL) behandelt. Im Ausgang der NCL bleiben nur noch das verzögerte Eingangssignal des ganzen Modulators und das zweimal rauschformierte Quantisierungsrauschen.

Abbildung 4.35 stellt das Blockschaltbild des $\Delta\Sigma$ -Modulators mit 2-2-MASH-Struktur dar.

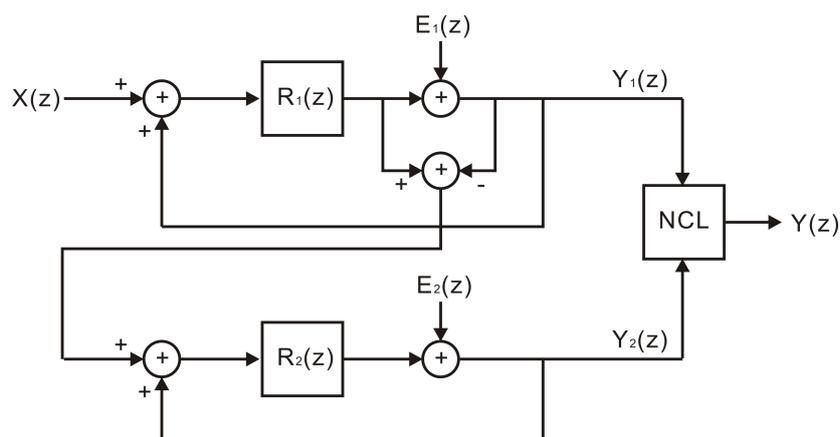


Abbildung 4.35.: Blockschaltbild des 2-2-MASH-BP- $\Delta\Sigma$ -Modulators 4.Ordnung [Sal03]

Wie in Abbildung 4.35 dargestellt, besteht der 2-2-MASH-BP- $\Delta\Sigma$ -Modulator 4. Ordnung aus zwei BP- $\Delta\Sigma$ -Modulatoren 2. Ordnung und einer NCL. Der Ausgang der ersten Stufe $Y_1(z)$ enthält die Anteile vom Eingangssignal $X(z)$ und dem äquivalenten Quantisierungsrauschen $E_1(z)$. Der Ausgang der zweiten Stufe $Y_2(z)$ enthält die Anteile von dem Quantisierungsrauschen des Modulators der ersten Stufe $E_1(z)$ und zweiten Stufe $E_2(z)$. In der NCL wird $E_1(z)$ völlig aufgehoben und es bleiben nur noch die Anteile von $X(z)$ und $E_2(z)$. Die NCL wird im Digitalbereich realisiert.

Es sind auch andere Strukturen möglich, da auch noch weitere Modulatoren kaskadiert werden können (wie z.B. 2-2-2-Struktur mit drei Stufen usw.) oder statt eines BP- $\Delta\Sigma$ -Modulators 2. Ordnung ein BP- $\Delta\Sigma$ -Modulator 4. Ordnung verwendet werden kann. Wegen des Stabilitätsproblems werden hier nur den Modulatoren 2.- oder 4. Ordnung verwendet. In dieser Arbeit wird der BP- $\Delta\Sigma$ -Modulator mit einer 4-4-MASH-Struktur (zwei Stufe, jede Stufe mit einem BP- $\Delta\Sigma$ -Modulator 4. Ordnung) entworfen. Im Folgenden wird untersucht, wie die Übertragungsfunktion des Modulators bestimmt wird.

4.7.2. Herleitung der Übertragungsfunktion

Anhand der nachfolgend dargestellten 4-4-MASH-BP- $\Delta\Sigma$ -Modulator 8. Ordnung sollen die Übertragungsfunktion des Modulators und die NCL hergeleitet werden (siehe Abbildung 4.36).

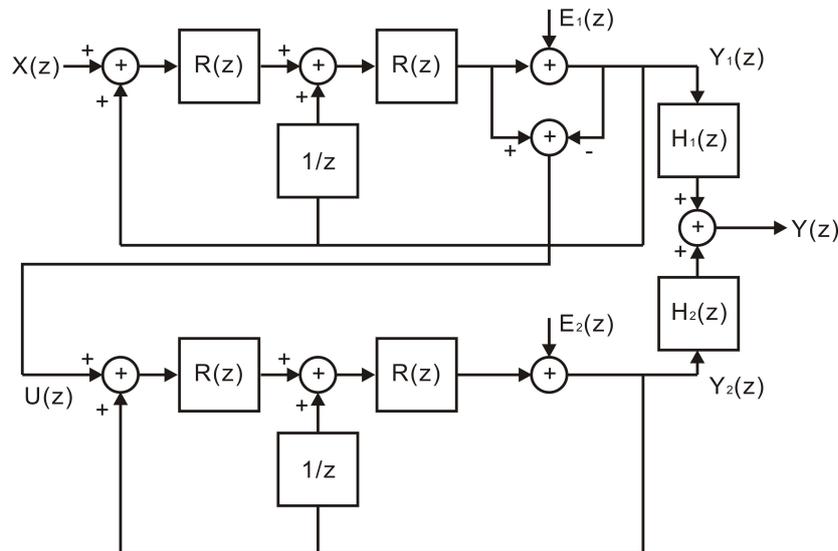


Abbildung 4.36.: Blockschaltbild des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8. Ordnung

In Abbildung 4.36 ist $R(z)$ die Übertragungsfunktion des DD-Resonators:

$$R(z) = \frac{z^{-1}}{1 + z^{-2}} \quad (4.70)$$

Daran erkennt man die Übertragungsfunktion des BP- $\Delta\Sigma$ -Modulators 4.Ordnung der 1.Stufe:

$$Y_1(z) = z^{-2}X(z) + (1 + z^{-2})^2 E_1(z) \quad (4.71)$$

Die Differenz zwischen dem Ausgang und dem Eingang des Quantisierers der 1.Stufe, welche dem Quantisierungsrauschen $-E_1(z)$ entspricht, wird nun auf den Eingang der 2.Stufe gelegt:

$$U(z) = -E_1(z) \quad (4.72)$$

Die Übertragungsfunktion des BP- $\Delta\Sigma$ -Modulators 4.Ordnung in der 2.Stufe lautet dann:

$$Y_2(z) = z^{-2}U(z) + (1 + z^{-2})^2 E_2(z) = -z^{-2}E_1(z) + (1 + z^{-2})^2 E_2(z) \quad (4.73)$$

Dann kann der Ausgang des gesamten Modulators beschrieben werden als:

$$Y(z) = Y_1(z)H_1(z) + Y_2(z)H_2(z) \quad (4.74)$$

$$Y(z) = z^{-2}H_1(z)X(z) + (1 + z^{-2})^2 H_1(z)E_1(z) - z^{-2}H_2(z)E_1(z) + (1 + z^{-2})^2 H_2(z)E_2(z) \quad (4.75)$$

Die Aufgabe der NCL ist nun, aus den Ausgangssignalen $Y_1(z)$ und $Y_2(z)$ der beiden Modulatoren ein Ausgangssignal $Y(z)$ zu erzeugen, in welchem das Quantisierungsrauschen $E_1(z)$ entfernt wird. Dafür müssen die NCL $H_1(z)$ und $H_2(z)$ wie folgt definiert werden:

$$H_1(z) = z^{-2} \quad (4.76)$$

$$H_2(z) = (1 + z^{-2})^2 \quad (4.77)$$

Die gesamte Übertragungsfunktion des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung lautet dann:

$$Y(z) = z^{-2}z^{-2}X(z) + (1 + z^{-2})^2 z^{-2}E_1(z) - z^{-2}(1 + z^{-2})^2 E_1(z) + (1 + z^{-2})^2 (1 + z^{-2})^2 E_2(z) \quad (4.78)$$

$$Y(z) = z^{-4}X(z) + (1 + z^{-2})^4E_2(z) \quad (4.79)$$

Die Übertragungsfunktion entspricht somit einem Modulator 8.Ordnung, der durch die Verwendung von zwei Stufen, jeweils mit einem BP- $\Delta\Sigma$ -Modulator 4.Ordnung, immer stabil ist.

4.7.3. Simulation des Modulators in SIMULINK/MATLAB

Ein SIMULINK-Modell des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung wird wie in Abbildung 4.37 aufgebaut.

Wie man in Abbildung 4.37 erkennen kann, wird ein Skalierungsfaktor vor jedem Resonator eingesetzt, um die Ausgangssignale des Resonators herunterzuskalieren, damit die Resonatoren in der Realität nicht übersteuert werden. Das Skalierungsverfahren in einem $\Delta\Sigma$ -Modulator wird im nächsten Abschnitt genauer erläutert.

Der 4-4-MASH-BP- $\Delta\Sigma$ -Modulator 8.Ordnung wird auch mit einem Eingangssignal, das mit einer Trägerfrequenz von 1 MHz moduliert ist, von 0.5 V Amplitude und 47.74 KHz Frequenz in Simulink simuliert. Das Ein- und Ausgangssignal des Modulators wird im Zeitbereich wie folgt dargestellt (siehe Abbildung 4.38).

Die Ausgangssignale des Modulators 1.Stufe und 2.Stufe sind beide ein 1-bit-stream. Durch die Operation des NCL in dem digitalen Bereich wird das Signal ein *multi-bit*-stream sein. Das Ausgangssignal des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung im Frequenzbereich im Vergleich zum Ausgangssignal eines BP- $\Delta\Sigma$ -Modulators 4.Ordnung wird in Abbildung 4.39 dargestellt.

Es ist offensichtlich, dass das In-Band-Quantisierungsrauschen eines 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung viel niedriger ist als das eines BP- $\Delta\Sigma$ -Modulators 4.Ordnung. Der Mittelwert des In-Band-SQNR eines 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung liegt ungefähr bei 140 dB.

4.8. Skalierung des Spannungsbereiches

Ein wichtiges Kriterium, das noch beachtet werden muss, betrifft die Skalierung der Ausgangssignale des Resonators [S.L01]. In dem nachherigen Entwurf wird ein Resonator in der SC-Technologie¹ mit Verstärker und Kapazität realisiert. Wenn die Pegel des Ausgangssignals größer als die Referenzspannung des Verstärkers sind, wird das Signal übersteuert. Es führt zu einer Verzerrung des Ausganges des Resonators. Um solche

¹Auf die Vorstellung des $\Delta\Sigma$ -Modulators mit SC-Technologie wird in Kapitel 5 genauer eingegangen.

4. Analytische Modellierung des Delta-Sigma-Modulators

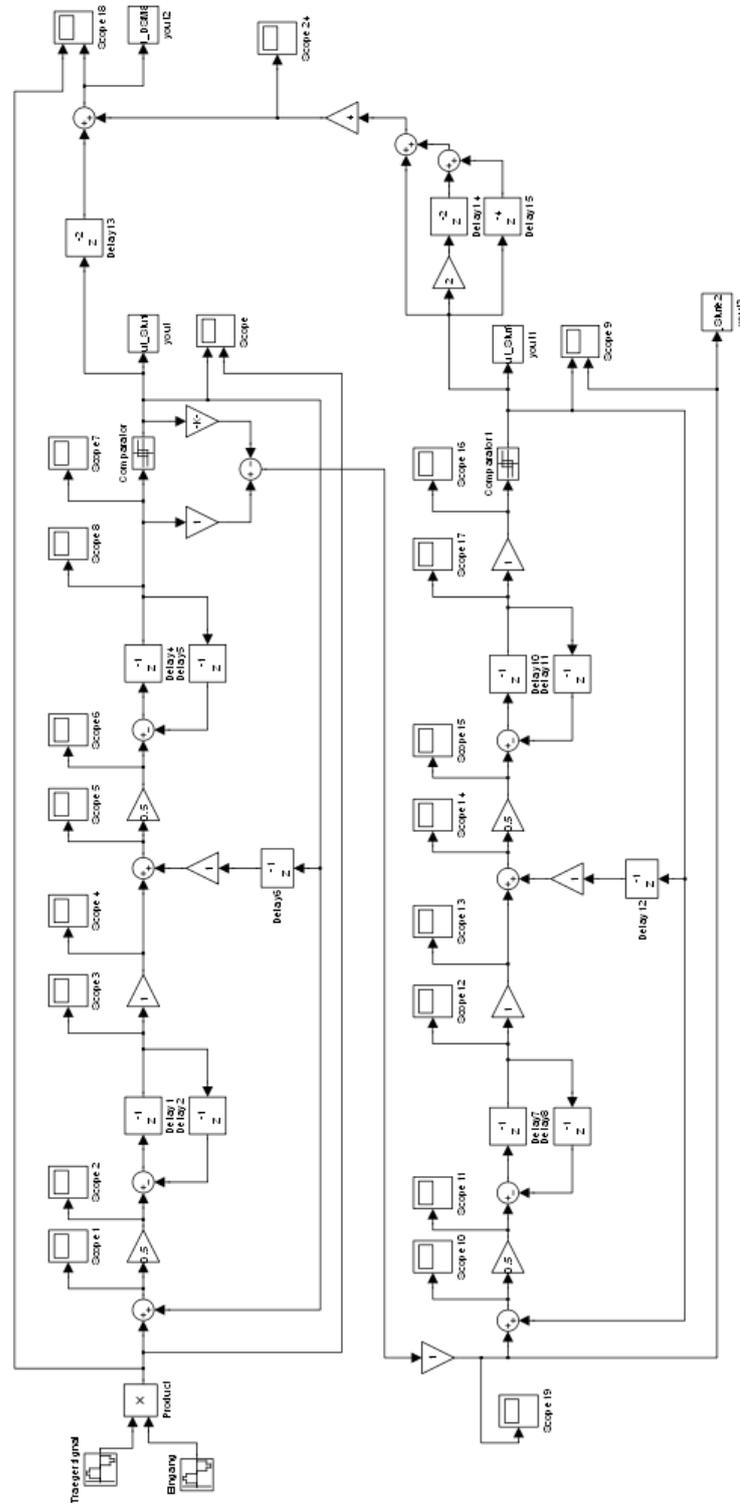


Abbildung 4.37.: SIMULINK-Modell des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung

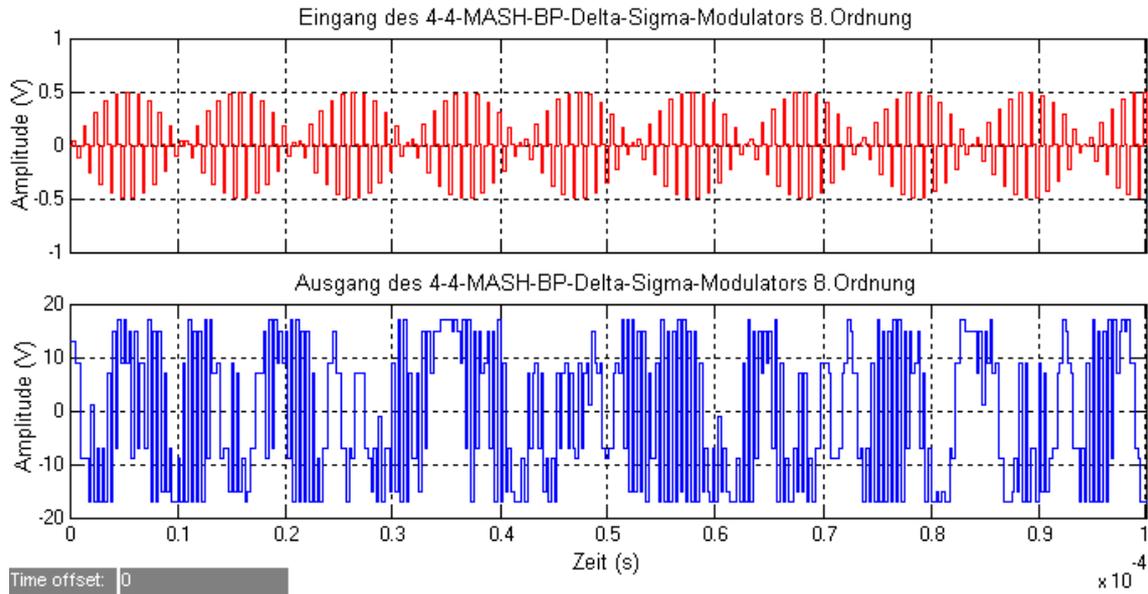


Abbildung 4.38.: Ein- und Ausgang des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung mit einem mit 1 MHz modulierten Eingangssignal von 0.5 V Amplitude, 47.74 KHz Frequenz

Probleme zu vermeiden, muss man einen Skalierungsfaktor, der in der SC-Technologie durch das Verhältnis zwischen zwei Kapazitäten realisiert wird, vor den Resonator setzen [HSL08]. Hierauf wird im Einzelnen in Kapitel 5 eingegangen. Dann werden die Eingänge der Resonatoren herunterskaliert, damit die Signale in dem Resonator nicht verzerrt werden.

Wie in Abbildung 4.37 dargestellt, muss ein Skalierungsfaktor von 0.5 vor jedem Resonator des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung eingesetzt werden, damit das Ausgangssignal des Resonators innerhalb von V_{dd} (+1 V) und V_{ss} (-1 V) bleibt (siehe Abbildung 4.40).

Wie in Abbildung 4.37 dargestellt, befinden sich in der 1.Stufe des Modulators zwei Resonatoren, die jeweils mit 0.5 herunterskaliert werden. Deswegen ist das Ausgangssignal des Modulators 1.Stufe, bzw. das Eingangssignal des Modulators 2.Stufe um den Faktor 0.25 herunterskaliert. Der Faktor von 0.25 entsteht auch bei dem Modulator 2.Stufe. Dieser Effekt kann jedoch vernachlässigt werden, weil der Ausgang des 2.Resonators direkt mit einem 1-bit-Komparator quantisiert wird. Damit werden die Pegel des Ausgangs des Modulators 2.Stufe nicht beeinflusst. Um das Quantisierungsrauschen des Modulators 1.Stufe völlig aufzuheben, müssen die Pegel der Ausgänge des Modulators 1.- und 2.Stufe miteinander vergleichbar sein. Deshalb muss am Ende des

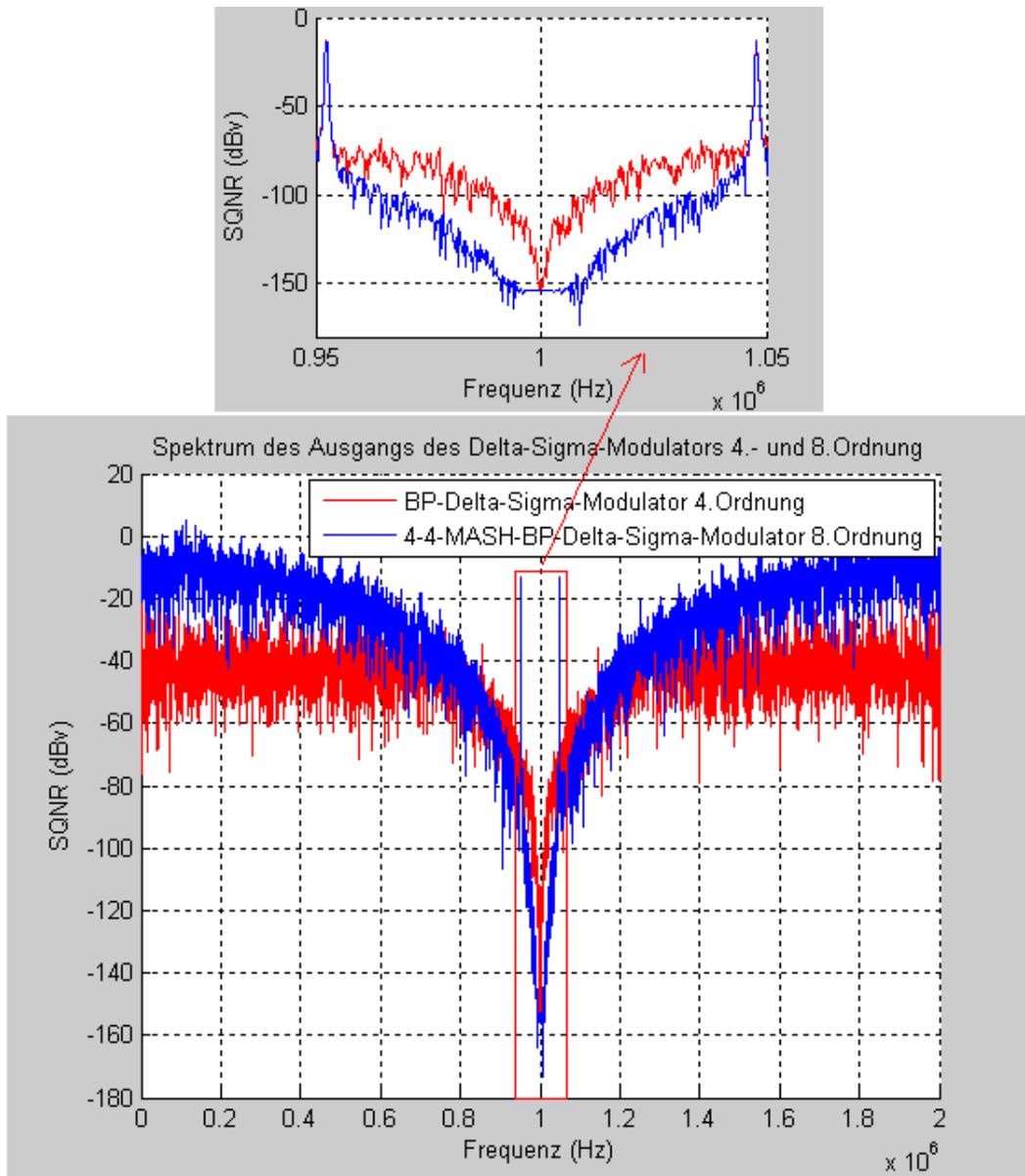


Abbildung 4.39.: *Spektrum des Ausgangs des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8. Ordnung mit einem mit 1 MHz modulierten Eingangssignal von 0.5 V Amplitude und 47.74 KHz Frequenz*

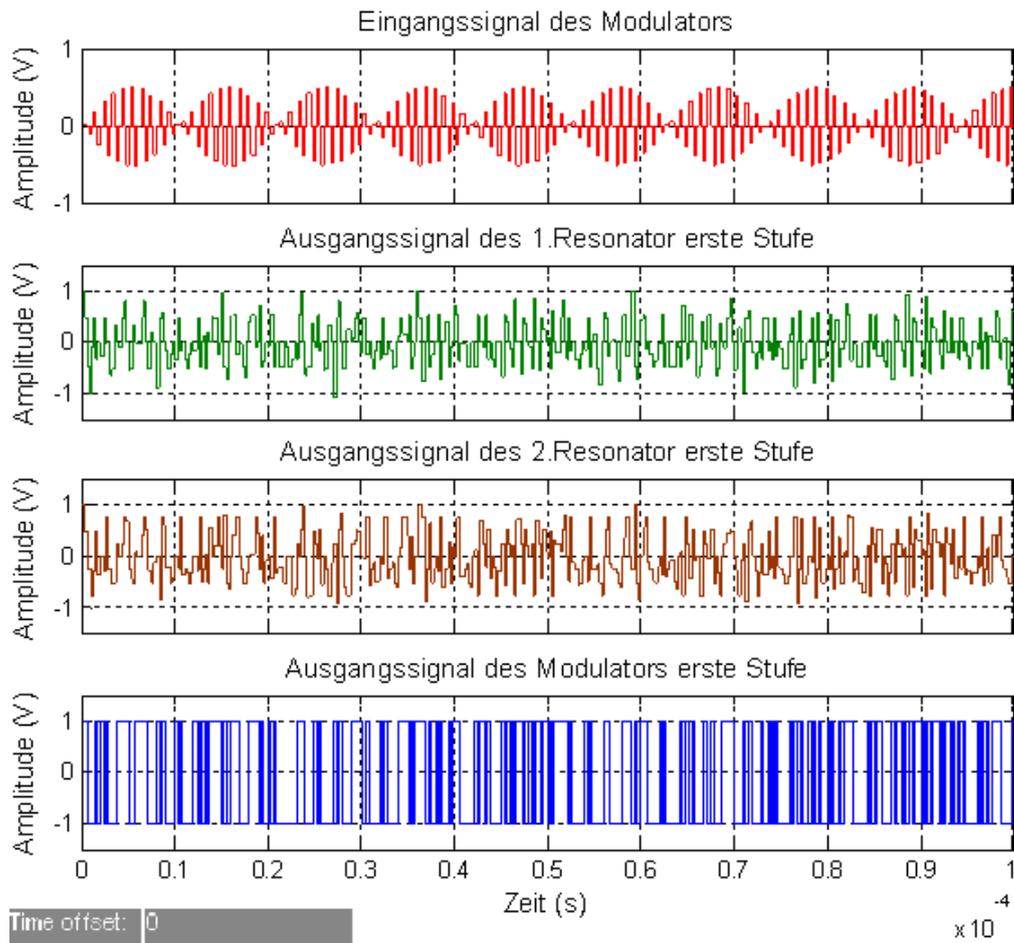


Abbildung 4.40.: Modulator- und Resonatorausgang des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8. Ordnung in der 1. Stufe mit einem Skalierungsfaktor des Resonators von 0.5

Modulators 2.Stufe ein Skalierungsfaktor von 4 eingesetzt werden.

Mit den Skalierungsfaktoren von 0.5 wird die Übertragungsfunktion des gesamten 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung beschrieben als:

$$Y_{44MASH-\Delta\Sigma}(z) = z^{-4}X(z) + 4(1 + z^{-2})^4E_2(z) \quad (4.80)$$

In Gleichung 4.80 erkennt man, dass das Eingangssignal vier Takte später direkt zum Ausgang transportiert wird. Das gesamte Quantisierungsrauschen wird durch den Modulator um den Faktor 4 erhöht, aber das In-Band-Quantisierungsrauschen wird im Gegensatz immer geringer als das eines BP- $\Delta\Sigma$ -Modulators 4.Ordnung. Mit diesem Entwurf des Modulators wird auf Transistorebene weiter eingegangen.

5. Simulation des Delta-Sigma-Modulators auf Transistorebene

Wie in Kapitel 4.1.1 erklärt, wird für den $\Delta\Sigma$ -Modulator die DT-Struktur ausgewählt. Für die Realisierung des DT- $\Delta\Sigma$ -Modulators steht die SC-Technologie zu Verfügung [FW95]. In diesem Kapitel wird zuerst die Funktionsweise, wie jeder Teil des $\Delta\Sigma$ -Modulators mit SC-Technologie (SC- $\Delta\Sigma$ -Modulator) funktioniert, erklärt. Am Ende werden die Simulationen des mit SC-Technologie realisierten $\Delta\Sigma$ -Modulators dargestellt.

5.1. Funktionsweise des Delta-Sigma-Modulators mit SC-Technologie

5.1.1. Schaltungsaufbau des SC-DD-Resonators

In Kapitel 4.3.3 wurden verschiedene Resonatorverfahren verglichen. Abbildung 5.1 stellt noch einmal das Blockschaltbild eines DD-Resonators dar (vgl. Abbildung 4.17).

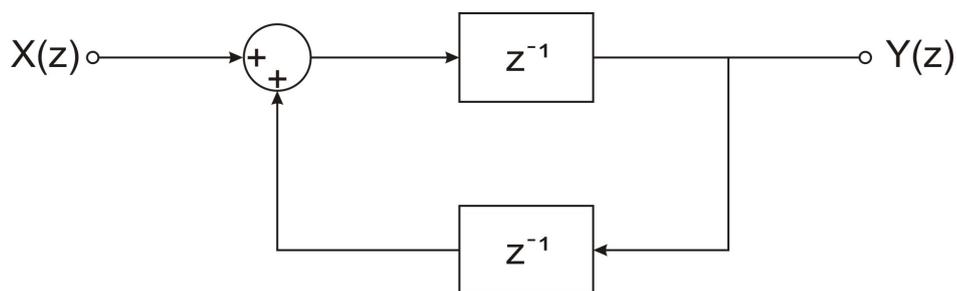


Abbildung 5.1.: Blockschaltbild eines DD-Resonators im z -Bereich [Sal03]

Die Übertragungsfunktion des DD-Resonators lautet dann (vgl. Gleichung 4.32):

$$R(z) = \frac{Y(z)}{X(z)} = \frac{z^{-1}}{1 + z^{-2}} \quad (5.1)$$

Das Blockschaltbild eines mit SC-Technologie realisierten DD-Resonators (SC-DD-Resonator) stellt sich wie in Abbildung 5.2 dar:

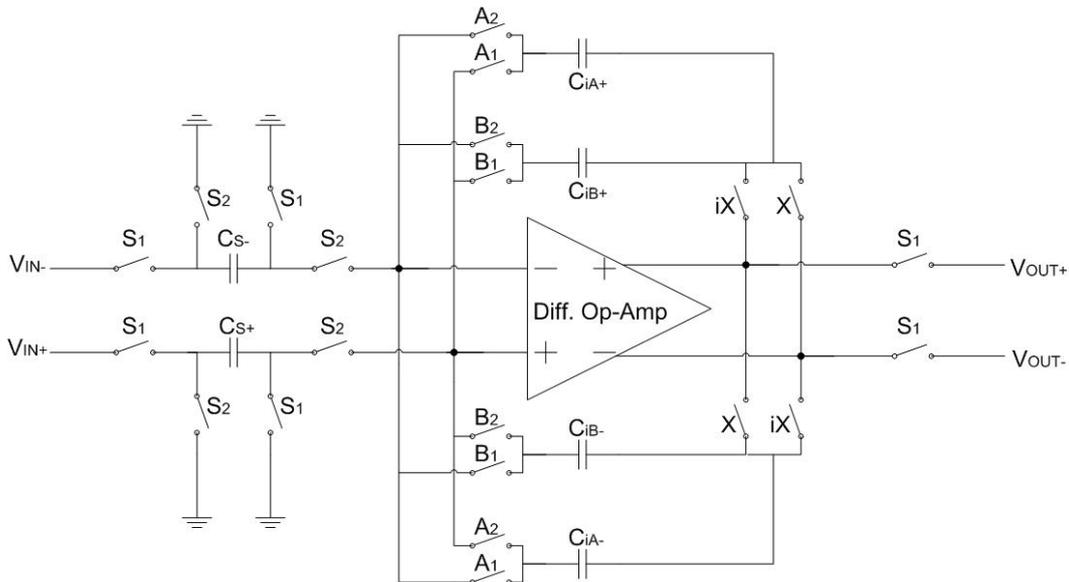


Abbildung 5.2.: Blockschaltbild des SC-DD-Resonators mit Schaltern und Kapazitäten

Die gesamte Schaltung wird mit Schaltern, Kapazitäten und einem differentiellen Operationsverstärker „**differential operational amplifier**“ (Diff.Op-Amp) realisiert.

Die Charakteristik der Implementierung als SC-Schaltung ist von der Eigenschaft des Op-Amps, der Zahl der Schalter, der Komplexität des Taktsignals der Schalter usw. abhängig. Der Grund dafür, dass hier ein Diff.Op-Amp benutzt wird, ist die Minimierung des inneren thermischen Rauschens [Dif10]. Die Rückkopplungskapazitäten (hier C_{iA} , C_{iB}) werden normalerweise um ein Vielfaches größer als die Eingangskapazitäten (hier C_S) ausgelegt, um die Signalschwingung des SC- $\Delta\Sigma$ -Modulators zu reduzieren.

Die Beziehung der Steuersignale der Schalter werden wie folgt dargestellt (siehe Abbildung 5.3):

Die Schalter (S_1 und S_2), (X und iX) sowie (A_1 , B_1 , A_2 und B_2) sind alle nicht überlappende Taktsignale „non-overlapping clock signals“. Der Grund hierfür ist z.B., dass in dem Moment, in dem S_1 und S_2 gleichzeitig eingeschaltet sind, die Kapazitäten C_{S-}

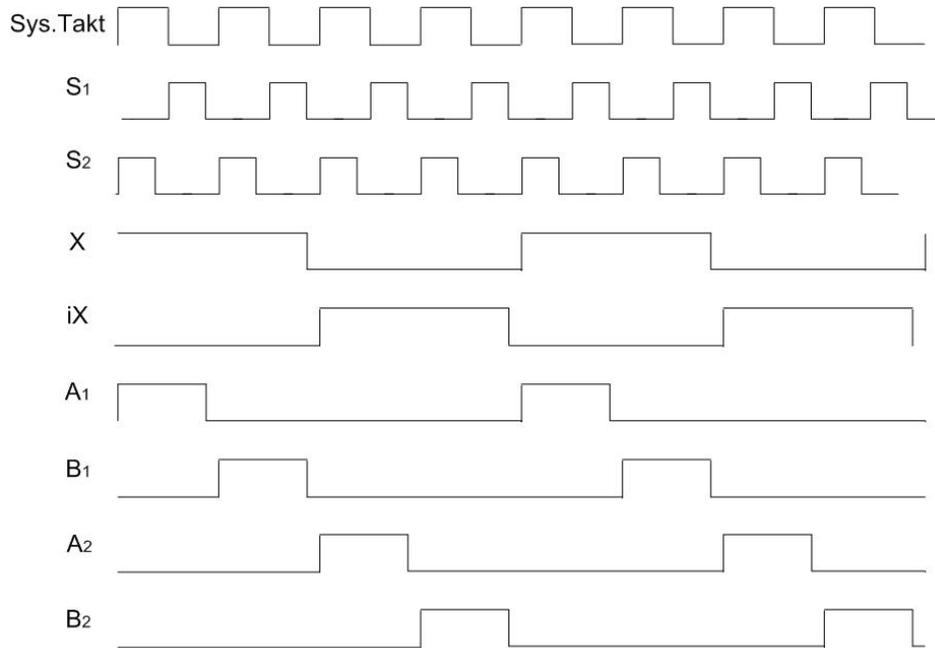


Abbildung 5.3.: Alle Steuersignale für die Schalter des SC-DD-Resonators[Sal03]

und C_{S+} sonst kurzschließen würden.

Nach den Anforderungen dieser Arbeit wird hier der Systemtakt von 4 MHz eingestellt. Dann werden die Steuersignale der S_1 und S_2 von 4 MHz , der X und iX von 1 MHz , der A_1 , B_1 , A_2 und B_2 jeweils von 1 MHz hergeleitet.

5.1.2. Zustandsanalyse des SC-DD-Resonators

Um die Funktionsweise des SC-DD-Resonators besser zu verstehen, teilt man normalerweise den ganzen Arbeitsvorgang des SC-DD-Resonators in 8 verschiedene Zustände auf, da die Schaltung sich immer mit diesen acht Zuständen wiederholt [LG99]. Jeder zweite Zustand ist ein Systemtakt mit der Periode T (hier ist $T = 250\text{ ns}$) (siehe Abbildung 5.4):

Nachfolgend wird die SC-Schaltung im einzelnen Zustand analysiert:

Zustand 1:

Im Zustand 1 werden Schalter S_2 , X und A_1 eingeschaltet. Die SC-Schaltung sieht wie in Abbildung 5.5 aus:

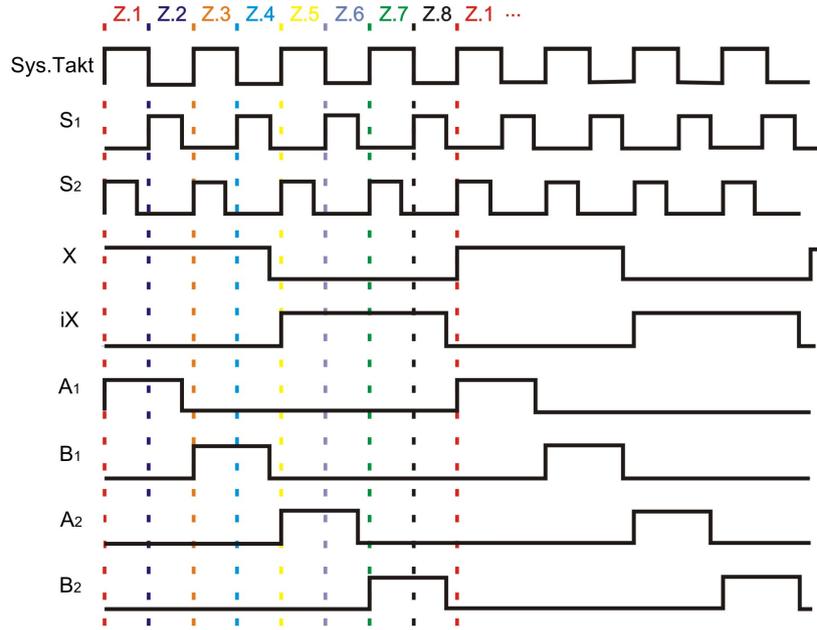


Abbildung 5.4.: Die Steuersignale für die Schalter des SC-DD-Resonators mit 8 verschiedenen Zuständen[LG99]

Wenn hier das Diff.Op-Amp als ideal betrachtet wird, werden bei den beiden Eingängen des Diff.Op-Amp keine Spannungen anliegen „virtual ground“. Dann werden die Eingangskapazitäten C_{s-} und C_{s+} kurzgeschlossen bzw. alle Ladungen darin entladen. Die Eingangskapazitäten sind dann für den nächsten Zustand bereit.

Zustand 2:

Im Zustand 2 werden Schalter S_1 , X und A_1 eingeschaltet. Die SC-Schaltung sieht wie in Abbildung 5.6 aus:

Die Eingangskapazitäten C_{s-} und C_{s+} werden von den Eingängen V_{in-} und V_{in+} aufgeladen. Die Ladungen der C_{s-} und C_{s+} können wie folgt berechnet werden:

$$Q_{C_{s-}}[nT] = C_{s-}(V_{IN-}[nT] - 0V) = C_{s-}V_{IN-}[nT] \quad (5.2)$$

$$Q_{C_{s+}}[nT] = C_{s+}(V_{IN+}[nT] - 0V) = C_{s+}V_{IN+}[nT] \quad (5.3)$$

Die Rückkopplungskapazitäten C_{iA+} und C_{iA-} werden durch die Einschaltung von S_1 von V_{OUT+} und V_{OUT-} aufgeladen. Daraus werden folgenden Gleichungen hergeleitet:

$$Q_{C_{iA+}}[nT] = -V_{OUT-}[nT]C_{iA+} = V_{OUT+}[nT]C_{iA+} \quad (5.4)$$

5. Simulation des Delta-Sigma-Modulators auf Transistorebene

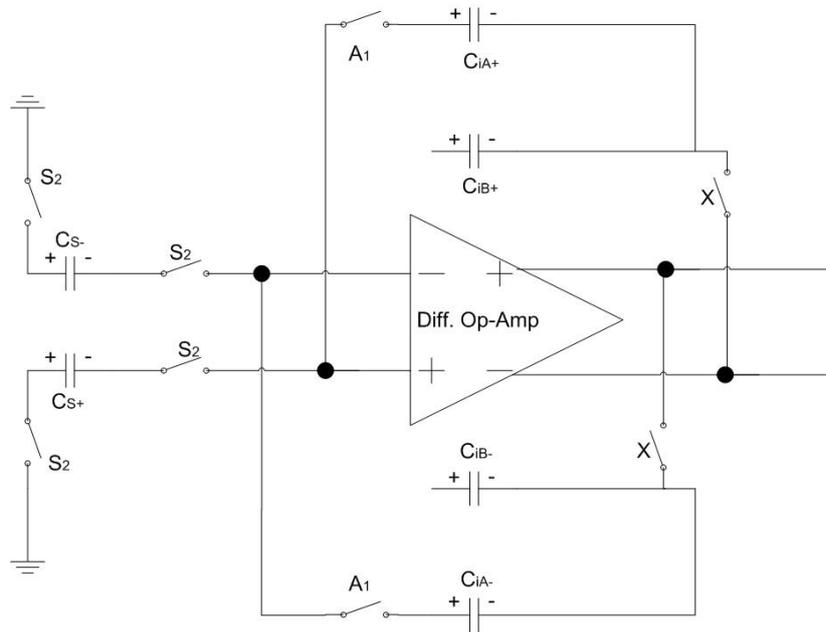


Abbildung 5.5.: Zustandsanalyse des SC-DD-Resonators: Zustand 1 (S_2 , X und A_1 eingeschaltet)

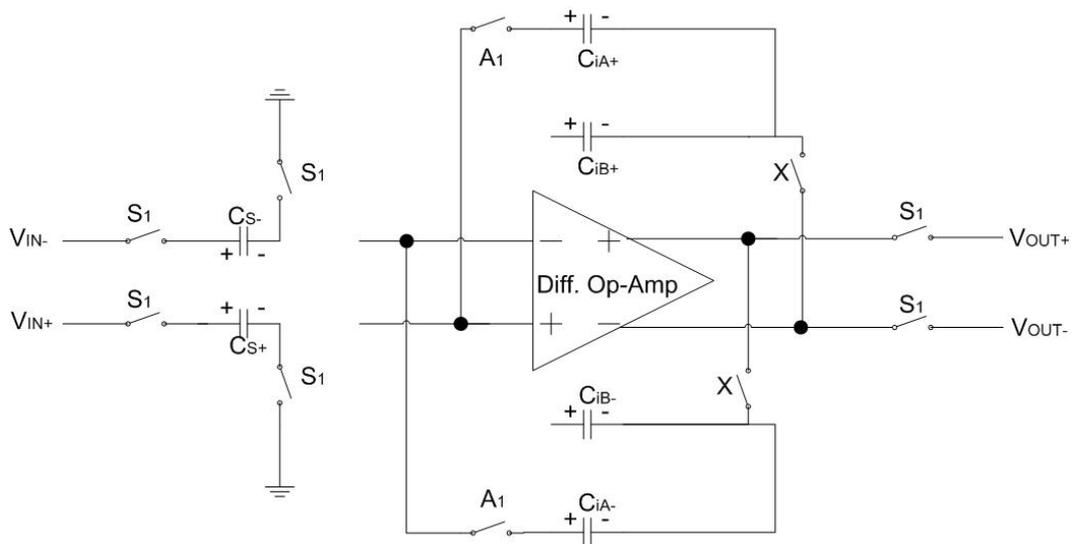


Abbildung 5.6.: Zustandsanalyse des SC-DD-Resonators: Zustand 2 (S_1 , X und A_1 eingeschaltet)

$$Q_{C_{iA-}}[nT] = -V_{OUT+}[nT]C_{iA-} = V_{OUT-}[nT]C_{iA-} \quad (5.5)$$

Diese Ladungen werden bis zum nächsten Zustand sowohl in den Eingangskapazitäten als auch in den Rückkopplungskapazitäten bleiben.

Zustand 3:

Im Zustand 3 werden Schalter S_2 , X und B_1 eingeschaltet. Die SC-Schaltung sieht wie in Abbildung 5.7 aus:

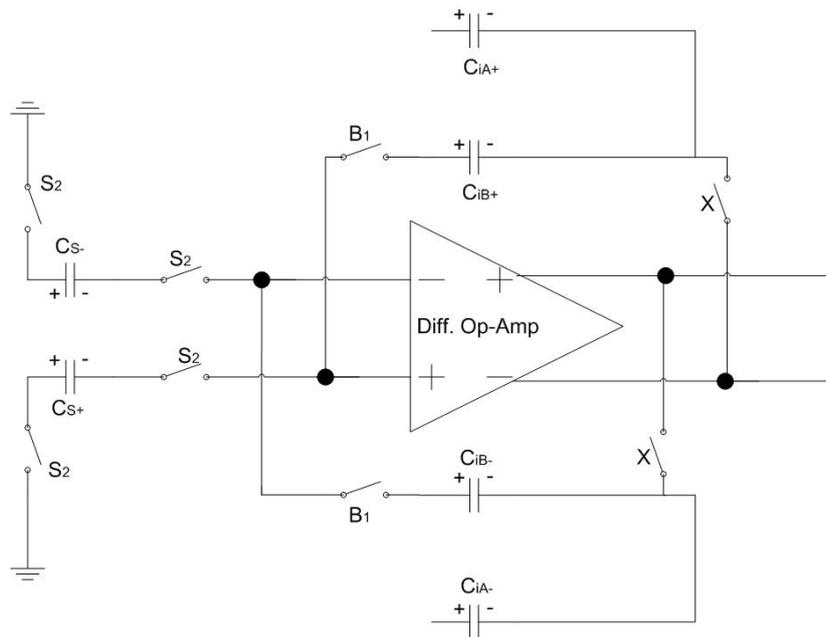


Abbildung 5.7.: Zustandsanalyse des SC-DD-Resonators: Zustand 3 (S_2 , X und B_1 eingeschaltet)

Die Eingangskapazitäten C_{s-} und C_{s+} werden jetzt mit den Einschaltungen des Schalters S_2 wieder entladen. Die Ladungen können wie folgt berechnet werden:

$$\Delta Q_{C_{s-}}[(n + \frac{1}{2})T] = Q_{C_{s-}}[(n + \frac{1}{2})T] - Q_{C_{s-}}[nT] = 0 - C_{s-}V_{IN-}[nT] = -C_{s-}V_{IN-}[nT] \quad (5.6)$$

$$\Delta Q_{C_{s+}}[(n + \frac{1}{2})T] = Q_{C_{s+}}[(n + \frac{1}{2})T] - Q_{C_{s+}}[nT] = 0 - C_{s+}V_{IN+}[nT] = -C_{s+}V_{IN+}[nT] \quad (5.7)$$

Wegen der Idealität fließen keine Ströme in die Eingänge des Diff.Op-Amps, d.h. die

Ladungen, die in Zustand 2 in den Eingangskapazitäten aufgeladen werden, werden hier aber alle in die Rückkopplungskapazitäten C_{iB-} und C_{iB+} verschoben. Da es momentan keine weiteren externen Ein- oder Ausgänge gibt, bleibt die Menge der Ladungen des gesamten Systems konstant:

$$\Delta Q_{C_{iB-}}[(n + \frac{1}{2})T] = \Delta Q_{C_{s-}}[(n + \frac{1}{2})T] = -C_{s-}V_{IN-}[nT] \quad (5.8)$$

$$\Delta Q_{C_{iB+}}[(n + \frac{1}{2})T] = \Delta Q_{C_{s+}}[(n + \frac{1}{2})T] = -C_{s+}V_{IN+}[nT] \quad (5.9)$$

Die Ladungen der Rückkopplungskapazitäten C_{iA+} und C_{iA-} , die in Zustand 2 von den Ausgängen aufgeladen wurden, bleiben dort und warten auf das nächste Einschalten der Schalter A_1 oder A_2 .

Zustand 4:

Im Zustand 4 werden Schalter S_1 , X und B_1 eingeschaltet. Die SC-Schaltung sieht wie in Abbildung 5.8 aus:

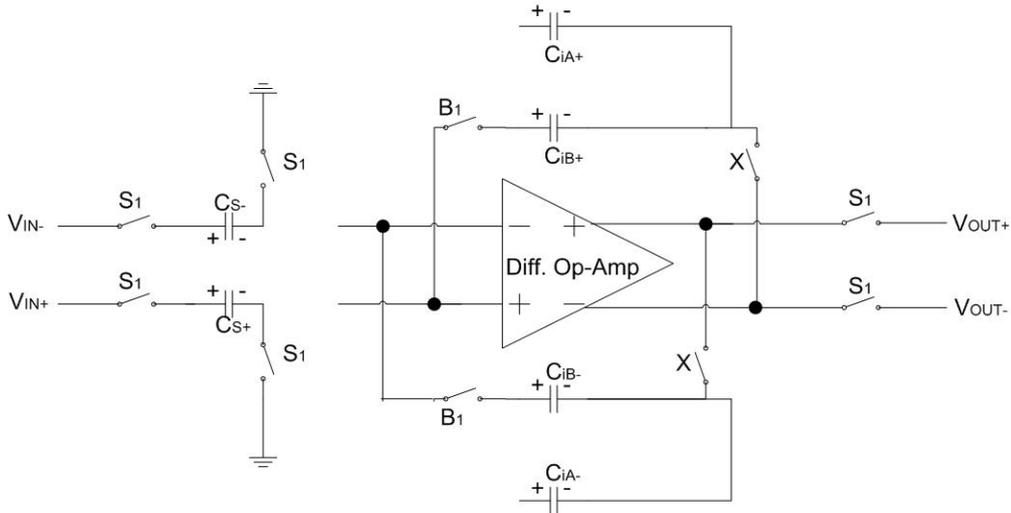


Abbildung 5.8.: Zustandsanalyse des SC-DD-Resonators: Zustand 4 (S_1 , X und B_1 eingeschaltet)

Jetzt werden die Rückkopplungskapazitäten C_{iB+} und C_{iB-} von den Ausgängen V_{OUT+} und V_{OUT-} aufgeladen.

$$Q_{C_{iB+}}[(n + 1)T] = -V_{OUT-}[(n + 1)T]C_{iB+} = V_{OUT+}[(n + 1)T]C_{iB+} \quad (5.10)$$

$$Q_{C_{iB-}}[(n + 1)T] = -V_{OUT+}[(n + 1)T]C_{iB-} = V_{OUT-}[(n + 1)T]C_{iB-} \quad (5.11)$$

Gleichzeitig wird von den Eingängen eine neue Ladungsmenge auf die Eingangskapazitäten C_{s-} und C_{s+} geschoben.

$$Q_{C_{s-}}[(n+1)T] = C_{s-}(V_{IN-}[(n+1)T] - 0V) = C_{s-}V_{IN-}[(n+1)T] \quad (5.12)$$

$$Q_{C_{s+}}[(n+1)T] = C_{s+}(V_{IN+}[(n+1)T] - 0V) = C_{s+}V_{IN+}[(n+1)T] \quad (5.13)$$

Zustand 5:

Im Zustand 5 werden Schalter S_2 , iX und A_2 eingeschaltet. Die SC-Schaltung sieht wie in Abbildung 5.9 aus:

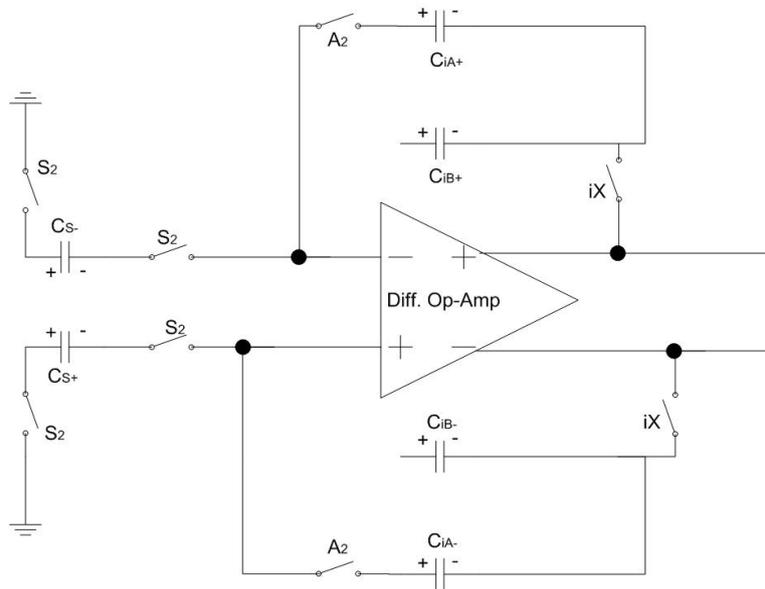


Abbildung 5.9.: Zustandsanalyse des SC-DD-Resonators: Zustand 5 (S_2 , iX und A_2 eingeschaltet)

Die Ladungsmenge, die die Eingangskapazitäten C_{s-} und C_{s+} von den Eingängen im Zustand 4 abgeholt haben, werden in diesem Zustand wieder in die Rückkopplungskapazitäten C_{iA+} und C_{iA-} verschoben:

$$\Delta Q_{C_{s-}}[(n + \frac{3}{2})T] = Q_{C_{s-}}[(n + \frac{3}{2})T] - Q_{C_{s-}}[(n+1)T] = -C_{s-}V_{IN-}[(n+1)T] \quad (5.14)$$

$$\Delta Q_{C_{s+}}[(n + \frac{3}{2})T] = Q_{C_{s+}}[(n + \frac{3}{2})T] - Q_{C_{s+}}[(n+1)T] = -C_{s+}V_{IN+}[(n+1)T] \quad (5.15)$$

Diese Ladungen werden mit den Ladungen, die im Zustand 2 von Ausgängen zu den

Rückkopplungskapazitäten C_{iA+} und C_{iA-} aufgeladen wurden, addiert und bleiben so bis zum nächsten Zustand.

$$Q_{C_{iA+}}[(n + \frac{3}{2})T] = \Delta Q_{C_{s-}}[(n + \frac{3}{2})T] + Q_{C_{iA+}}[nT] \quad (5.16)$$

$$Q_{C_{iA-}}[(n + \frac{3}{2})T] = \Delta Q_{C_{s+}}[(n + \frac{3}{2})T] + Q_{C_{iA-}}[nT] \quad (5.17)$$

Mit dem Ersetzen der Gleichung 5.14 und Gleichung 5.4 in Gleichung 5.16; Gleichung 5.15 und Gleichung 5.5 in Gleichung 5.17, werden die Ladungen der Rückkopplungskapazitäten C_{iA+} und C_{iA-} in diesem Zustand wie folgt hergeleitet:

$$Q_{C_{iA+}}[(n + \frac{3}{2})T] = -C_{s-}V_{IN-}[(n + 1)T] + V_{OUT+}[nT]C_{iA+} \quad (5.18)$$

$$Q_{C_{iA-}}[(n + \frac{3}{2})T] = -C_{s+}V_{IN+}[(n + 1)T] + V_{OUT-}[nT]C_{iA-} \quad (5.19)$$

Zustand 6:

Im Zustand 6 werden Schalter S_1 , iX und A_2 eingeschaltet. Die SC-Schaltung sieht wie in Abbildung 5.10 aus.

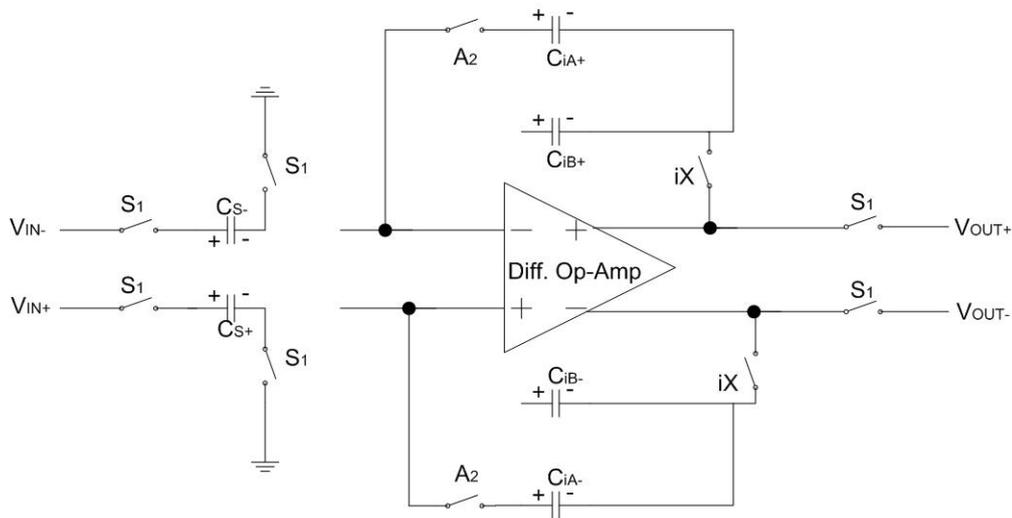


Abbildung 5.10.: Zustandsanalyse des SC-DD-Resonators: Zustand 6 (S_1 , iX und A_2 eingeschaltet)

Die Schalter S_1 werden jetzt wieder einschaltet. Die Rückkopplungskapazitäten C_{iA+} und C_{iA-} werden von den Ausgängen V_{OUT+} und V_{OUT-} ausgelesen. Die Ladungen

darin können wie folgt berechnet werden:

$$Q_{C_{iA+}}[(n+2)T] = -V_{OUT+}[(n+2)T]C_{iA+} \quad (5.20)$$

$$Q_{C_{iA-}}[(n+2)T] = -V_{OUT-}[(n+2)T]C_{iA-} \quad (5.21)$$

Da bei dem Wechsel von Zustand 5 zu Zustand 6 keine zusätzlichen Ein- oder Ausgänge von den Rückkopplungskapazitäten C_{iA+} und C_{iA-} addiert wurden, wird die Ladungsmenge in den Rückkopplungskapazitäten auch nicht verändert:

$$Q_{C_{iA+}}[(n+2)T] = Q_{C_{iA+}}[(n + \frac{3}{2})T] \quad (5.22)$$

$$Q_{C_{iA-}}[(n+2)T] = Q_{C_{iA-}}[(n + \frac{3}{2})T] \quad (5.23)$$

Mit dem Ersetzen der Gleichung 5.20 und Gleichung 5.18 in Gleichung 5.22, Gleichung 5.21 und Gleichung 5.19 in Gleichung 5.23 bekommt man:

$$-V_{OUT+}[(n+2)T]C_{iA+} = -C_{s-}V_{IN-}[(n+1)T] + V_{OUT+}[nT]C_{iA+} \quad (5.24)$$

$$-V_{OUT-}[(n+2)T]C_{iA-} = -C_{s+}V_{IN+}[(n+1)T] + V_{OUT-}[nT]C_{iA-} \quad (5.25)$$

Die Gleichung 5.24 wird z-transformiert und lautet dann:

$$-V_{OUT+}(z)C_{iA+} = -C_{s-}V_{IN-}(z) \cdot z^{-1} + C_{iA+}V_{OUT+}(z) \cdot z^{-2} \quad (5.26)$$

$$V_{OUT+}(z)C_{iA+} + C_{iA+}V_{OUT+}(z) \cdot z^{-2} = C_{s-}V_{IN-}(z) \cdot z^{-1} \quad (5.27)$$

$$C_{iA+}V_{OUT+}(z)(1 + z^{-2}) = C_{s-}V_{IN-}(z) \cdot z^{-1} \quad (5.28)$$

$$\frac{V_{OUT+}(z)}{V_{IN-}(z)} = \frac{C_{s-}}{C_{iA+}} \cdot \frac{z^{-1}}{1 + z^{-2}} \quad (5.29)$$

$$\frac{V_{OUT+}(z)}{V_{IN+}(z)} = -\frac{C_{s-}}{C_{iA+}} \cdot \frac{z^{-1}}{1 + z^{-2}} = -\frac{C_{s+}}{C_{iA-}} \cdot \frac{z^{-1}}{1 + z^{-2}} \quad (5.30)$$

In ähnlicher Weise kann die Übertragungsfunktion auch mit den Rückkopplungskapazitäten C_{iB+} und C_{iB-} dargestellt werden, wenn Zustand 7 und Zustand 8 weiter analog analysiert werden. Dann bekommt man die Übertragungsfunktion des SC-DD-Resonators:

$$\frac{V_{OUT+}(z)}{V_{IN+}(z)} = -\frac{C_{s-}}{C_{iB+}} \cdot \frac{z^{-1}}{1 + z^{-2}} = -\frac{C_{s+}}{C_{iB-}} \cdot \frac{z^{-1}}{1 + z^{-2}} \quad (5.31)$$

Damit die Übertragungsfunktion des SC-DD-Resonators immer identisch bleibt, müssen die Eingangskapazitäten $C_{s+} = C_{s-}$ und die Rückkopplungskapazitäten $C_{iA+} =$

$C_{iA-} = C_{iB+} = C_{iB-}$ eingestellt werden. Dann lautet die Übertragungsfunktion des SC-DD-Resonators:

$$H_{SC-DDR}(z) = -\frac{C_s}{C_i} \cdot \frac{z^{-1}}{1 + z^{-2}} \quad (5.32)$$

Gleichung 5.32 stellt die Übertragungsfunktion des gesamten SC-DD-Resonators dar. C_s steht für die Eingangskapazitäten, C_i steht für die Rückkopplungskapazitäten. Der Teil von $\frac{z^{-1}}{1+z^{-2}}$ steht für den idealen DD-Resonator (vgl. Gleichung 5.1). Der Term $\frac{C_s}{C_i}$ ist der Skalierungsfaktor des Resonators bzw. das Verhältnis zwischen den Eingangskapazitäten und den Rückkopplungskapazitäten. Er bestimmt den Skalierungsfaktor des Resonators.

5.2. Realisierung des SC-Delta-Sigma-Modulators auf Transistorebene

Im Folgenden wird der gesamte SC- $\Delta\Sigma$ -Modulator in CADENCE mit den Bauelementen aus der AMS-Bibliothek zusammengebaut.

5.2.1. Generierung der Steuersignale

Für die korrekte Funktionalität der Schaltung sind die Taktgeneratoren nötig, die die nicht überlappenden Taktsignale erzeugen (vgl. Abbildung 5.3). Diese werden durch die Benutzung des Bauelements „CFG2“ der Firma AMS realisiert [FS110] (siehe Abbildung 5.11).

CFG2 hat drei Eingänge und vier Ausgänge. Nach der Aufgabenstellung werden in dieser Arbeit alle $V_{dd} = 3.3V$ und $V_{ss} = 0V$ eingestellt. cin ist der Eingang für das angeforderte Steuersignal. Durch CFG2 werden dann zwei nicht überlappende Takte $cl1$ und $cl2$ mit der eingegebenen Frequenz erzeugt. $xcl1$ und $xcl2$ sind jeweils invertierte Takte zu $cl1$ und $cl2$.

Die Realisierung des CFG2 wird mit Logikgatter NOT und NAND durchgeführt (siehe Abbildung 5.12).

Dieses Bauelement ist von der Firma AMS schon implementiert worden. Die Verzögerung des Signals wird durch die Serie von vier NOT-Gatter „NOT gate“ realisiert. Durch die Rückkopplungen und die NAND-Gatter „NAND gate“ werden die Pegel der beiden Ausgänge $cl1$ und $cl2$ nicht gleichzeitig hoch sein (siehe Abbildung 5.13).

5. Simulation des Delta-Sigma-Modulators auf Transistorebene

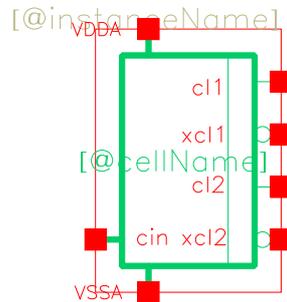


Abbildung 5.11.: Symbol des verwendeten Taktgenerators „CFG2“

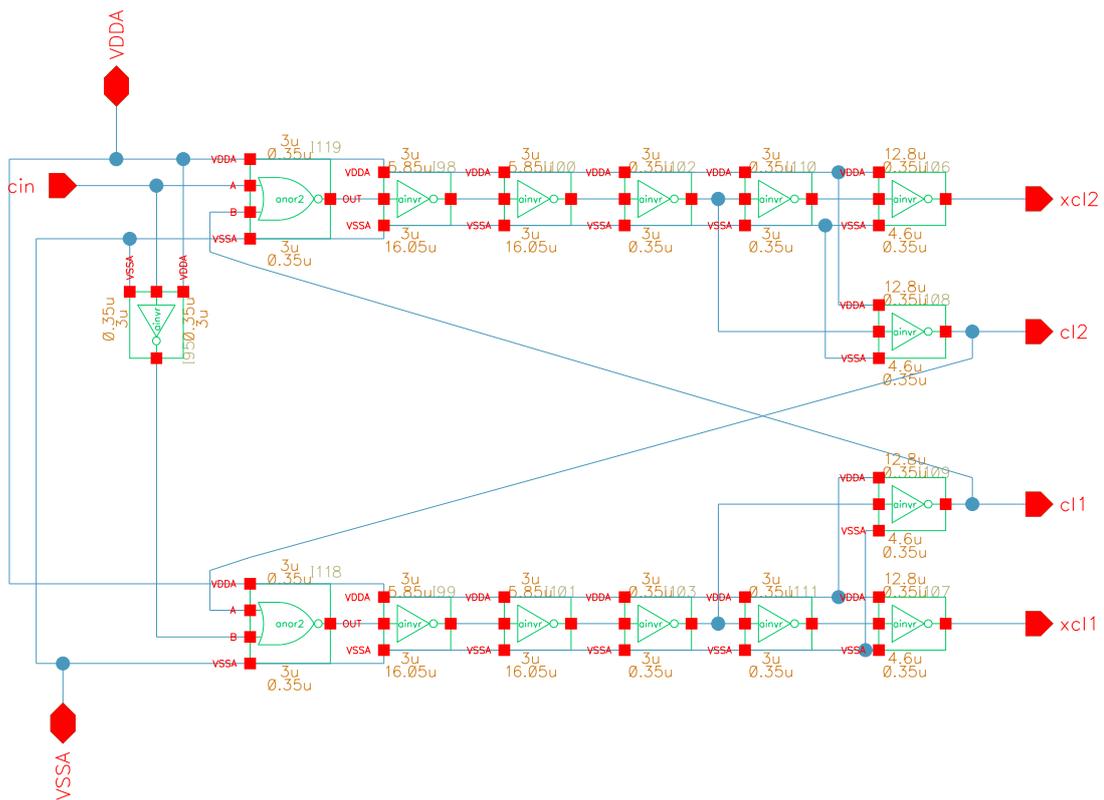


Abbildung 5.12.: Realisierung des verwendeten Taktgenerators „CFG2“ auf Transistorebene

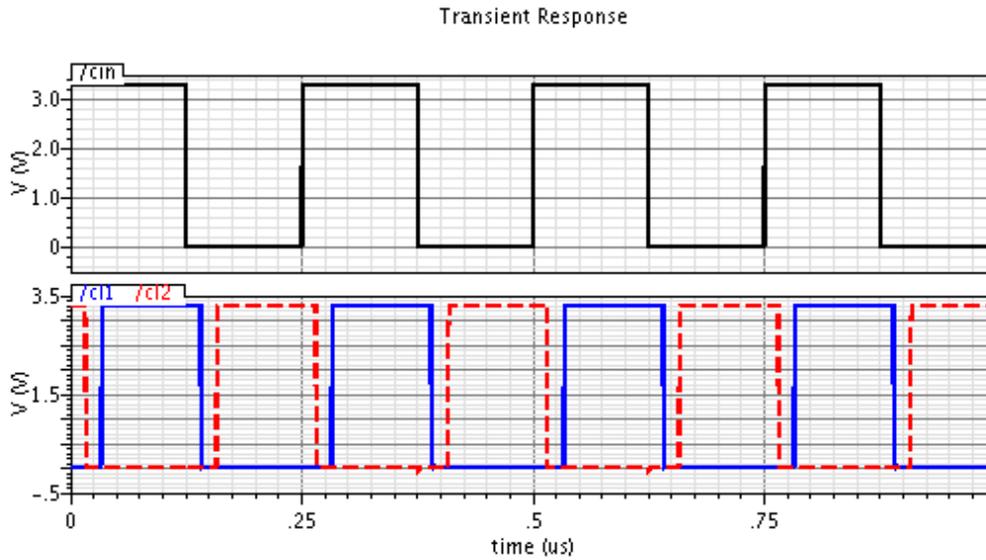


Abbildung 5.13.: Generierung von zwei nicht überlappenden 4 MHz Taktsignalen von dem Taktgenerator „CFG2“

Der Eingang cin hat eine Frequenz von 4 MHz bzw. eine Periode von 250 ns. Die durch den Taktgenerator CFG2 generierten Ausgänge $cl1$ und $cl2$ haben auch Frequenzen von 4 MHz und sind zueinander nicht überlappend. Dieses Bauelement CFG2 kann direkt benutzt werden, um die Steuersignale S_2 und S_1 mit 4 MHz, X und iX mit 1 MHz zu generieren (vgl. Abbildung 5.3).

Um das Steuersignal A_1 zu generieren, werden zwei zusätzliche nicht überlappende Steuersignale A und B jeweils mit 2 MHz benötigt. Durch eine UND-verknüpfung der Schalter A und X wird A_1 realisiert (vgl. Abbildung 5.3). Abbildung 5.14 stellt die Generierung des Steuersignals A_1 mit den Schaltern A und X dar.

In ähnlicher Weise werden die Steuersignale A_2 mit der UND-Verknüpfung der Schalter A und iX , B_1 mit der UND-Verknüpfung der Schalter B und X , B_2 mit der UND-Verknüpfung der Schalter B und iX realisiert. Abbildung 5.15 stellt alle mit „CFG2“ generierten Steuersignale dar (vgl. Abbildung 5.3).

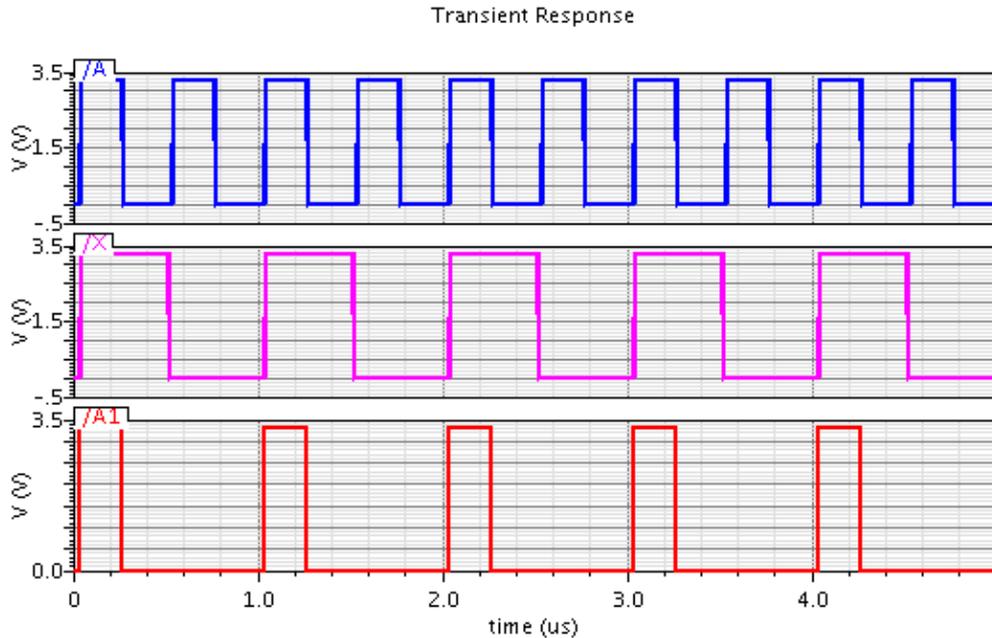


Abbildung 5.14.: Generierung des Steuersignals A_1 mit der UND-Verknüpfung von A und X von dem Taktgenerator „CFG2“

5.2.2. Realisierung der Schalter

Die Schalter werden auch direkt von dem Bauelement „TG2B“ aus der AMS-Bibliothek ausgewählt (siehe Abbildung 5.16):

TG2B ist ein T-Gatter „T gate“ und wird mit der Kaskadierung von einem NMOS-Transistor und einem PMOS-Transistor realisiert (siehe Abbildung 5.17).

EN ist der Anschluss für das Steuersignal und EP ist der Anschluss für das invertierte Steuersignal. Wenn z.B. das Steuersignal S_1 auf den Anschluss EN anliegt, dann muss EP sich mit dem invertierten Steuersignal S_1 (inv_S_1) verbinden. Für einen NMOS-Transistor ist EN die Steuerelektrode „Gate“ (G), IN die Quelle „Source“ (S) und OUT steht für den Abfluss „Drain“ (D). Wenn der Spannungsabfall zwischen D und S bzw. V_{ds} größer als die Schwellspannung V_{th} des NMOS-Transistors ist, wird der Strom von IN zu OUT fließen. Ansonsten wird der NMOS-Transistor gesperrt. Für einen PMOS-Transistor ist die Voraussetzung das genaue Gegenteil. Wenn der Spannungsabfall V_{ds} kleiner als die Schwellspannung V_{th} ist, wird der PMOS-Transistor entsperrt. Ansonsten wird der PMOS-Transistor gesperrt. Weil EP das invertierte Signal von EN ist, werden der NMOS-Transistor und PMOS-Transistor immer gleichzeitig ent- oder gesperrt. Tabelle 5.1 stellt die Logik eines solchen T-Gatters genauer dar.

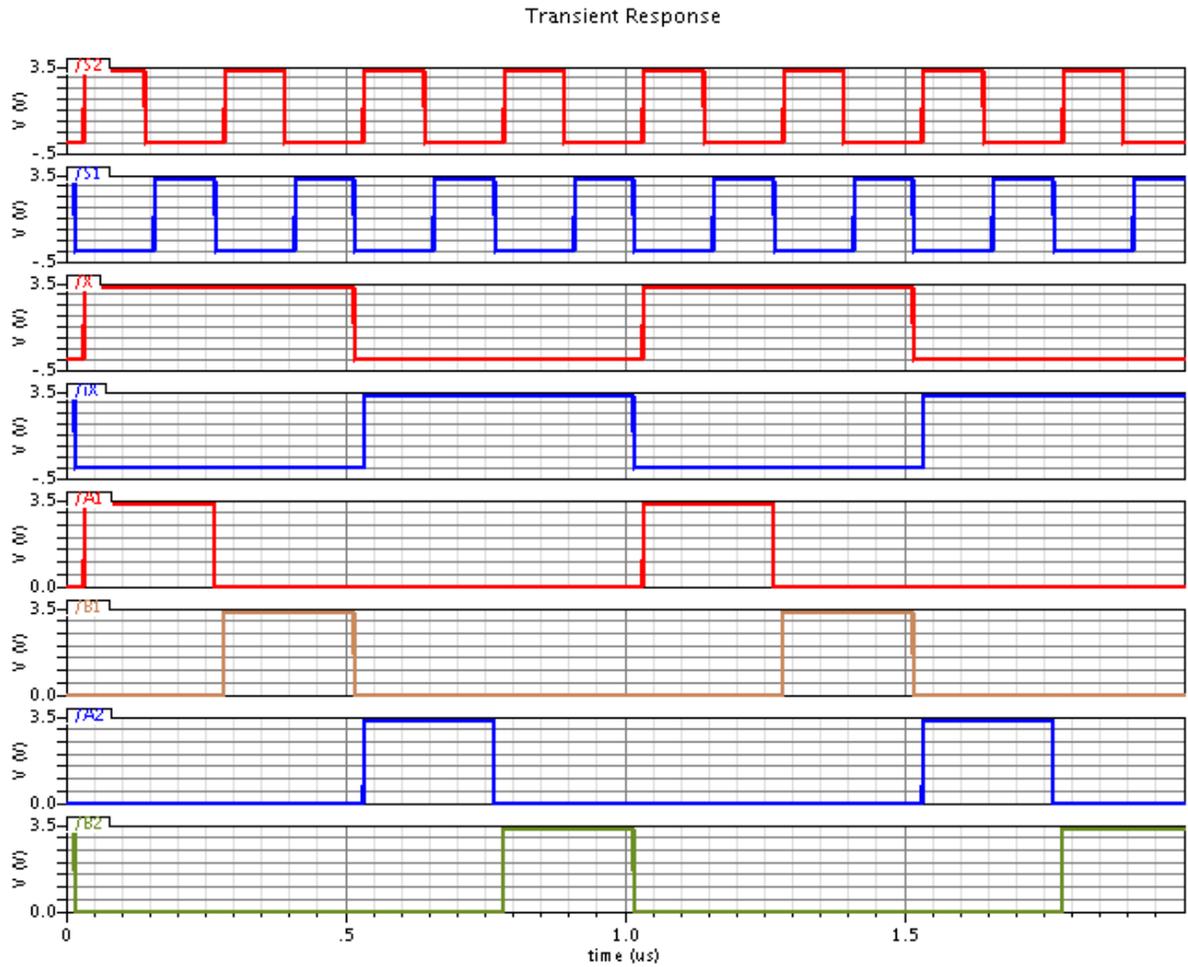


Abbildung 5.15.: Generierung aller vom Modulator verwendeten Steuersignale, die von dem Modulator gebraucht, mit „CFG2“

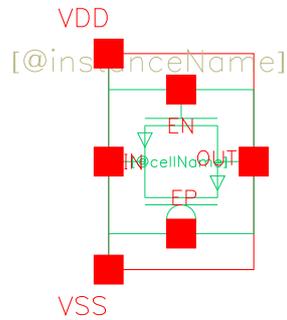


Abbildung 5.16.: Symbol des verwendeten Schalter „TG2B“

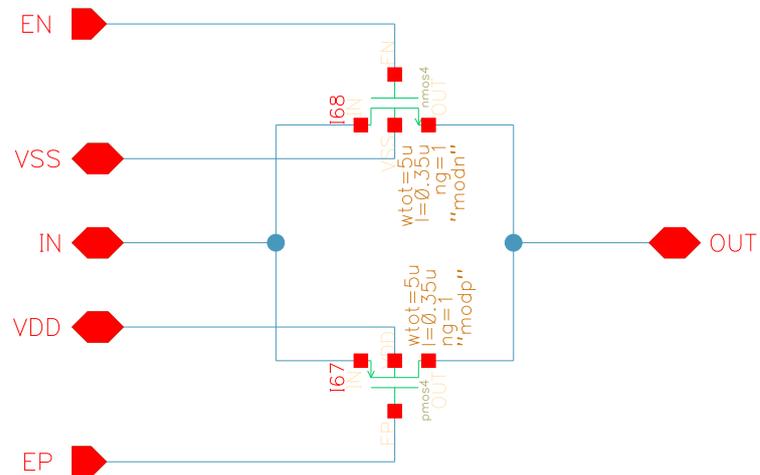


Abbildung 5.17.: Realisierung des verwendeten Schalters „TG2B“ auf Transistorebene

Tabelle 5.1.: Charakteristik des MOS-Transistors mit verschiedenen Steuerelektroden- und Quellen-Spannungen

V_{IN}	V_{EN}	V_{EP}	V_{OUT} des NMOS-Trans.	V_{OUT} des PMOS-Trans.
0 V	3.3 V	0 V	0 V (Leitet)	V_{th}
0 V	0 V	3.3 V	Sperrt	Sperrt
3.3 V	3.3 V	0 V	$3.3 V - V_{th}$	3.3 V (Leitet)
3.3 V	0 V	3.3 V	Sperrt	Sperrt

In Tabelle 5.1 erkennt man, dass der NMOS-Transistor 0 V und der PMOS-Transistor 3.3 V gut leiten kann. Deshalb verwendet man in einem T-Gatter immer die Kaskadierung eines NMOS-Transistors und eines PMOS-Transistors. Dann wird das T-Gatter beide Spannungen von 0 V und 3.3 V gut leiten können.

Typischerweise ist der Einschalt-Widerstand eines MOS-Transistors 10Ω bis $1 K\Omega$. Der Ausschalt-Widerstand eines MOS-Transistors ist normalerweise größer als $10 M\Omega$.

Um die Funktionalität des TG2B zu prüfen sowie die Einschalt-Widerstände des TG2B zu erhalten, wird folgende Schaltung in CADENCE gebaut (siehe Abbildung 5.18).

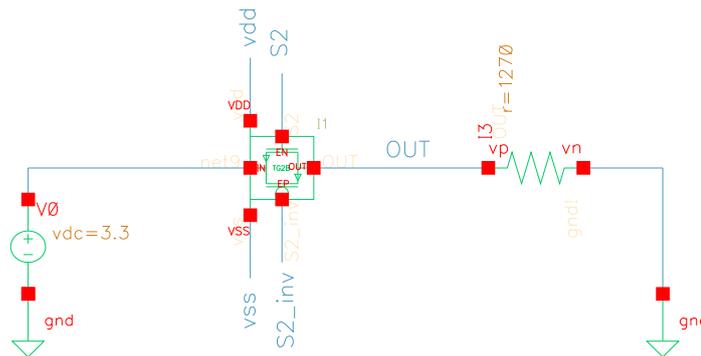


Abbildung 5.18.: Test-Schaltung für den verwendeten Schalter „TG2B“

Der Schalter wird von dem Steuersignal S_2 kontrolliert und mit dem Eingang von 4 MHz abgetastet. Der Eingang ist eine Gleichspannungsquelle mit der Spannung von 3.3 V. Es wird ein Lastwiderstand von 1270 Ω hinter dem Schalter eingesetzt. Der Verlauf der Ausgangsspannung V_{OUT} wird in Abbildung 5.19 dargestellt.

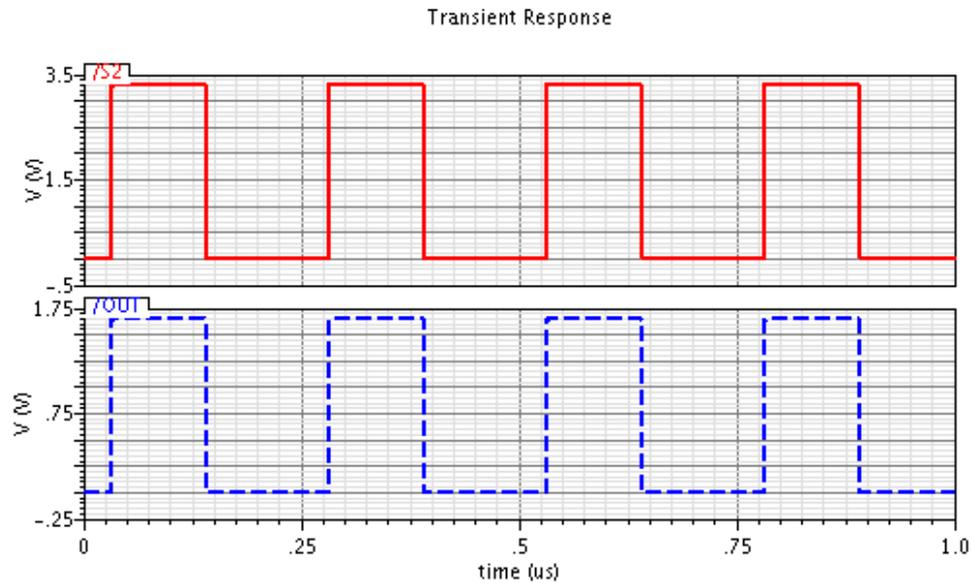


Abbildung 5.19.: Zeitverlauf der Test-Schaltung für den verwendeten Schalter „TG2B“ mit einem Lastwiderstand von 1270 Ω

In Abbildung 5.19 kann man sehen, dass der Spannungsabfall des Lastwiderstandes V_{OUT} bei 1.65 V liegt, wenn S_2 eingeschaltet ist. Ansonsten ist V_{OUT} gleich 0 V. Wenn TG2B eingeschaltet wird, liegt der Pegel des V_{OUT} auf der Hälfte der Eingangsspannung von 3.3 V. Das bedeutet, nach dem Ohmschen-Gesetz, dass der Einschalt-Widerstand des TG2B gleich dem Lastwiderstand sein wird, d.h. TG2B hat einen Einschalt-Widerstand von gegen 1270 Ω .

5.2.3. Realisierung des DD-Resonators

Mit dem Prinzip des SC-DD-Resonators (vgl. Abbildung 5.2) und den Schaltern „TG2B“ aus der AMS-Bibliothek wird der SC-DD-Resonator in CADENCE aufgebaut (siehe Abbildung 5.20).

In der Realität werden die Signale nicht wie in der vorherigen Simulation in Kapitel 4 symmetrisch um 0 V, sondern in dem Bereich von [0 V, 3.3 V] liegen, da es sich bei

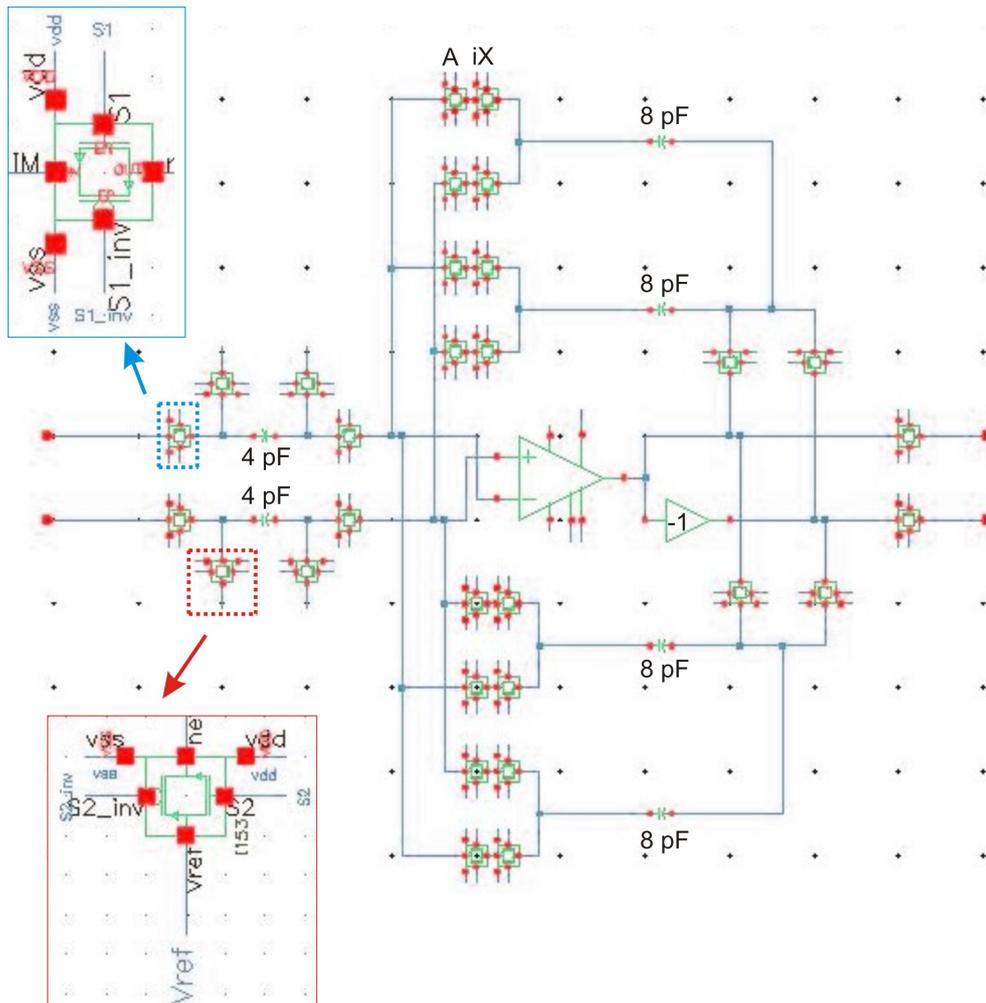


Abbildung 5.20.: Die Realisierung des SC-DD-Resonators auf Transistorebene in der Simulationsumgebung CADENCE

dem Prozess, der mit dem $\Delta\Sigma$ -A/D-Umsetzer realisiert werden soll, um einen CMOS-Prozess handelt, bei dem nur positive Spannungen verwendet werden [FS110]. Die Versorgungsspannung V_{dd} liegt bei $+3.3\text{ V}$ und V_{ss} liegt bei 0 V . Das Eingangssignal ist dann symmetrisch um eine Offsetspannung von 1.65 V , d.h., die Referenzspannung V_{ref} der Diff.Op-Amp und allen anderen Bauelementen ist auf 1.65 V festgelegt.

Auf Grund der Tatsache, dass der Diff.Op-Amp in der AMS-Bibliothek nicht vorhanden ist, sind hier stattdessen ein „single-ended Op-Amp“ (Se.Op-Amp) und ein Inverter ersetzt worden. Um die Offsetspannung des Op-Amps zu vergleichen, ist es erforderlich, diesen Inverter um eine Offsetspannung von 3.3 V zu erhöhen.

Der Inverter wird danach auch mit CMOS realisiert. In der Realität hat der Inverter eine Laufzeit. Um die Laufzeit der beiden Ausgänge des Resonators zu synchronisieren, wird ein Buffer in dem Ausgang des Se.Op-Amp benötigt, welcher die gleiche Laufzeit wie der Inverter hat.

Wie in Kapitel 5.2.1 beschrieben, werden die Schalter A_1 , B_1 , A_2 , B_2 jeweils durch die UND-Verknüpfung der Schalter von A und X , B und X , A und iX , B und iX realisiert.

Danach ist die Größe der Eingangskapazitäten und der Rückkopplungskapazitäten zu bestimmen. Diese beeinflusst nämlich wesentlich das thermische Rauschen „KT/C-noise“, welches durch das Abtasten in die Schaltung gelangt. Zur Bestimmung der thermischen Rauschleistung wird folgende Schaltung aufgebaut (siehe Abbildung 5.21).

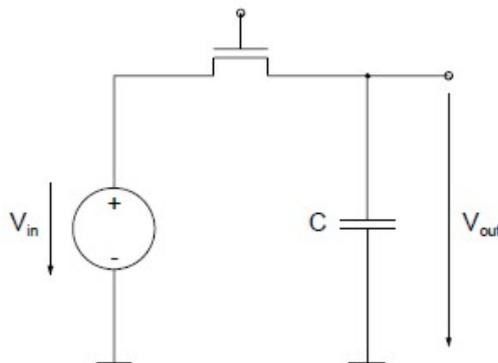


Abbildung 5.21.: Blockschaltbild einer geschalteten Kapazität [Grü98]

Es ist aus der Literatur [AG94] [RS96] genannt, dass derart geschaltete Kapazitäten eine thermische Rauschleistung besitzen von:

$$e_{KT/C}^2 = \frac{KT}{C} \quad (5.33)$$

Damit ist K die Kelvin Temperatur, T die Abtastperiode und C die Kapazität. Da bei einer SC-Schaltung zumeist mit zwei Schaltern auf einer Seite die Kapazität abgetastet wird, ergibt sich dementsprechend die doppelte Rauschleistung [Grü98]:

$$e_{KT/C}^2 = 2 \cdot \frac{KT}{C} \quad (5.34)$$

In Gleichung 5.34 erkennt man bei einer bestimmten Temperatur und Abtastfrequenz, dass, je größer die Kapazität desto geringer der KT/C -noise ist. Bei einer Eingangskapazität von 4 pF ergibt sich bei einer Temperatur von 300 K und einer Abtastfrequenz von 4 MHz ein KT/C -noise von 75.7 dB . Dieses thermische Rauschen wird zusätzlich noch durch den sich an den Modulator anschließenden digitalen Filter verringert.

In dieser Arbeit wurden die Kapazitäten so gewählt, dass sich bei den SC-DD-Resonatoren ein Skalierungsfaktor von 0.5 einstellt, bzw. $C_i = 2C_s$. Es muss auch darauf geachtet werden, dass die Eingangskapazitäten ausreichend dimensioniert sind, um nur ein geringes KT/C -noise zu erzeugen. Die Rückkopplungskapazitäten dürfen allerdings auch nicht zu groß werden, um zu gewährleisten, dass der Op-Amp des Resonators diese noch treiben kann. Mit solchen Voraussetzungen wurden die Kapazitäten am Ende wie folgt gewählt:

$$C_s = 4 \text{ pF};$$

$$C_i = 8 \text{ pF}.$$

5.3. Simulation des SC-BP-Delta-Sigma-Modulators 4.Ordnung in CADENCE

Nach dem Blockschaltbild des theoretischen $\Delta\Sigma$ -Modulators 4.Ordnung (siehe Abbildung 5.22) wird ein SC- $\Delta\Sigma$ -Modulator 4.Ordnung auf Transistorebene wie in Abbildung 5.23 gebaut.

Der SC- $\Delta\Sigma$ -Modulator 4.Ordnung besteht aus zwei seriellen SC-DD-Resonatoren, die beide die Eingangskapazitäten von 4 pF und Rückkopplungskapazitäten von 8 pF haben. Ein angeschlossener Komparator, der eine Schwellspannung von 1.65 V hat, ist als ein 1-bit-Quantisierer eingesetzt. Wenn die Ausgangsspannung des zweiten Resonators größer als 1.65 V ist, betrachtet der Komparator das Ausgangssignal als Logik-Eins (3.3 V). Wenn jedoch die Ausgangsspannung des zweiten Resonators kleiner als 1.65

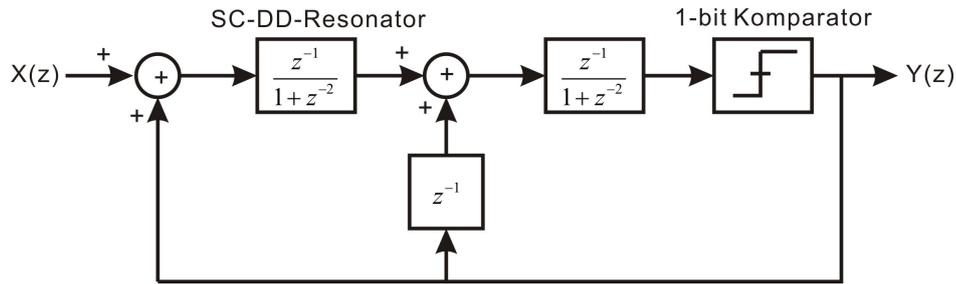


Abbildung 5.22.: Blockschaltbild des theoretischen $\Delta\Sigma$ -Modulators 4.Ordnung

V ist, betrachtet der Komparator das Ausgangssignal als Logik-Null bzw. $0 V$. Der Ausgang des Komparators ist ein digitales Signal mit 1-bit -Auflösung.

Die Verzögerung z^{-1} in dem Rückkopplungszweig kann durch ein D-Flipflop „delay-flip-flop“ (D-FF), das durch das Steuersignal S_1 kontrolliert wird, realisiert werden. Es funktioniert auch wie ein 1-bit DAC. Wenn der Eingang des D-FF Logik-Eins ist, wird es eine Spannung von $3.3 V$ am Ausgang aufweisen. Ist der Eingang des D-FF Logik-Null, wird es eine Spannung von $0 V$ am Ausgang aufweisen.

Die positiven Rückkopplungen werden durch das Verbinden mit dem negativen Ausgang OM in der positiven Eingangskapazität von IP sowie dem positiven Ausgang OP in der negativen Eingangskapazität von IM realisiert. Dieses ist dadurch begründet, dass die Pole der Kapazitäten genau invertiert sind, wenn die Kapazitäten die Ladungen auf- und entladen. Dann werden die Ladungen von den Rückkopplungen in den Eingangskapazitäten akkumuliert.

Abbildung 5.24 stellt wie bei diesem SC- $\Delta\Sigma$ -Modulator 4.Ordnung die Spannungen des analogen Einganges, der 1.- und 2.Resonatoren und des digitalen Ausganges im Zeitbereich dar.

Der Eingang ist ein mit $1 MHz$ modulierte Sinussignal und hat eine Frequenz von $47.74 KHz$. Hier wird die Bandbreite nicht genau um $100 KHz$ eingestellt, weil das Signal mit einer Abtastfrequenz von genau $4 MHz$ abgetastet wird und in dem weiteren FFT-Algorithmus alle Energie des Signals auf bestimmte Frequenzen konzentriert werden „Tone“ [HSL08]. Um diese Situation zu vermeiden, ist für dieses Signal eine Bandbreite von $95.48 KHz$ eingestellt. Die Amplitude des Sinussignals ist hier auf $0.5 V$ eingestellt, damit der Modulator nicht übersteuert wird. Das Signal hat auch ein Offsetspannung von $1.65 V$. In Abbildung 5.24 erkennt man alle Spannungen des Ein- und Ausganges und der beiden Resonatoren innerhalb des Bereichs von $[0 V, 3.3 V]$. Der Ausgang des Modulators OP ist ein 1-bit -stream mit dem Pegel $3.3 V$ für Logik-Eins und $0 V$ für Logik-Null.

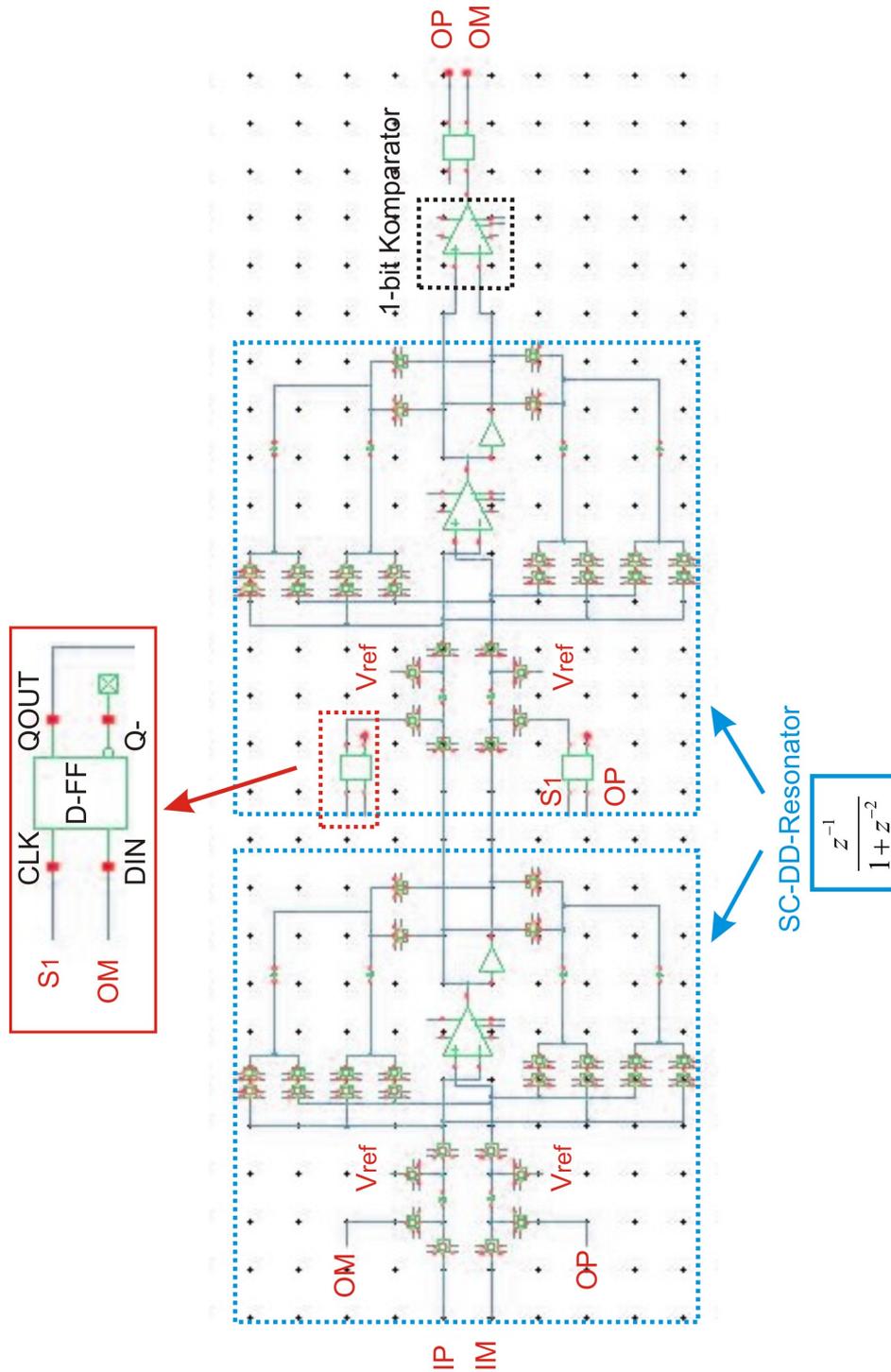


Abbildung 5.23.: Blockschaltbild des $\Delta\Sigma$ -Modulators 4.Ordnung auf Transistorebene mit der Simulationsumgebung „CADENCE“

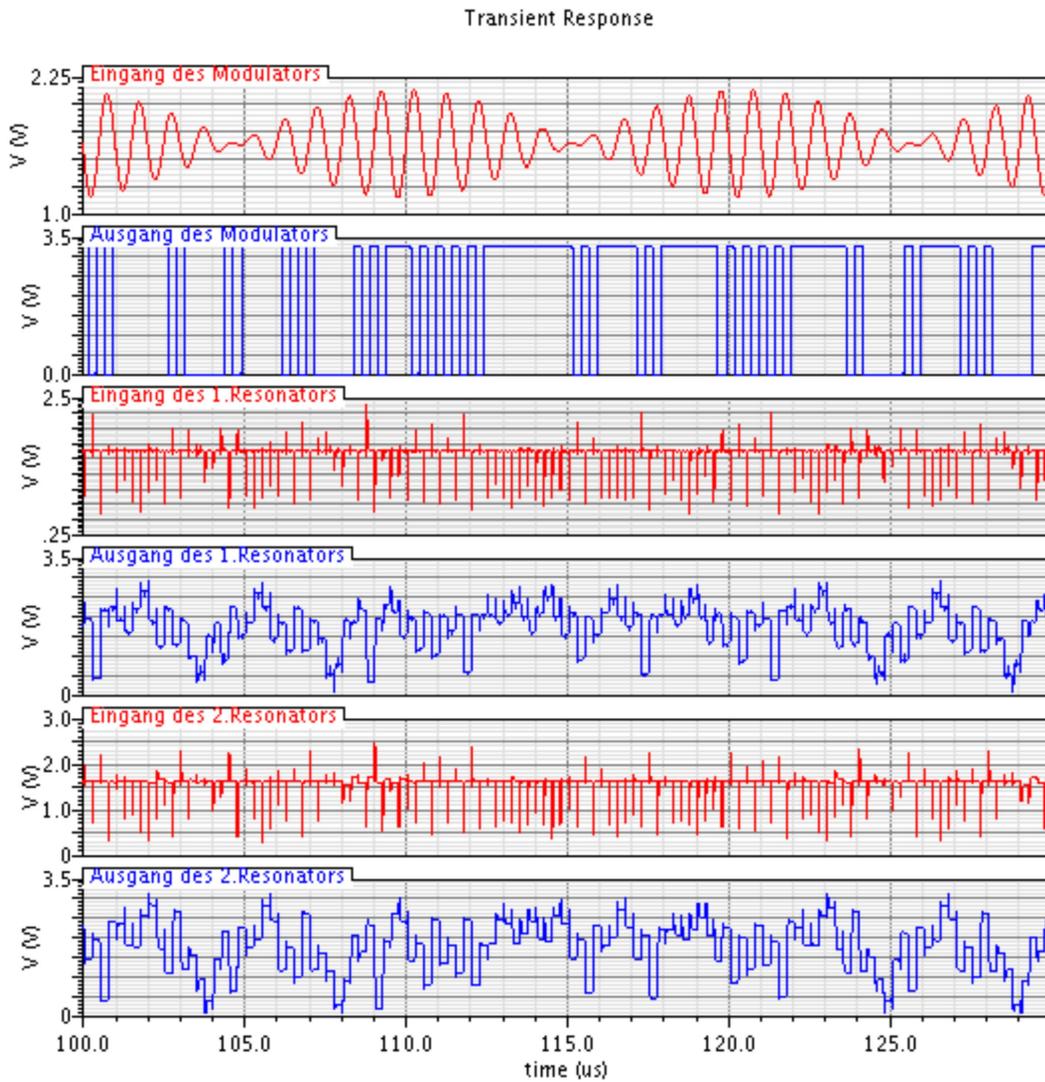


Abbildung 5.24.: Zeitverlauf des Ein- und Ausgangs sowie der des Resonatoren des SC- $\Delta\Sigma$ -Modulators 4.Ordnung mit einer Anregung von einem Sinus-signal, das mit 1 MHz moduliert und eine Amplitude von 0.5 V, eine Frequenz von 47.74 KHz hat.

5. Simulation des Delta-Sigma-Modulators auf Transistorebene

Danach wird der Ausgang des Modulators OP mit einer 16384-Punkte-FFT im Frequenzbereich dargestellt (siehe Abbildung 5.25).

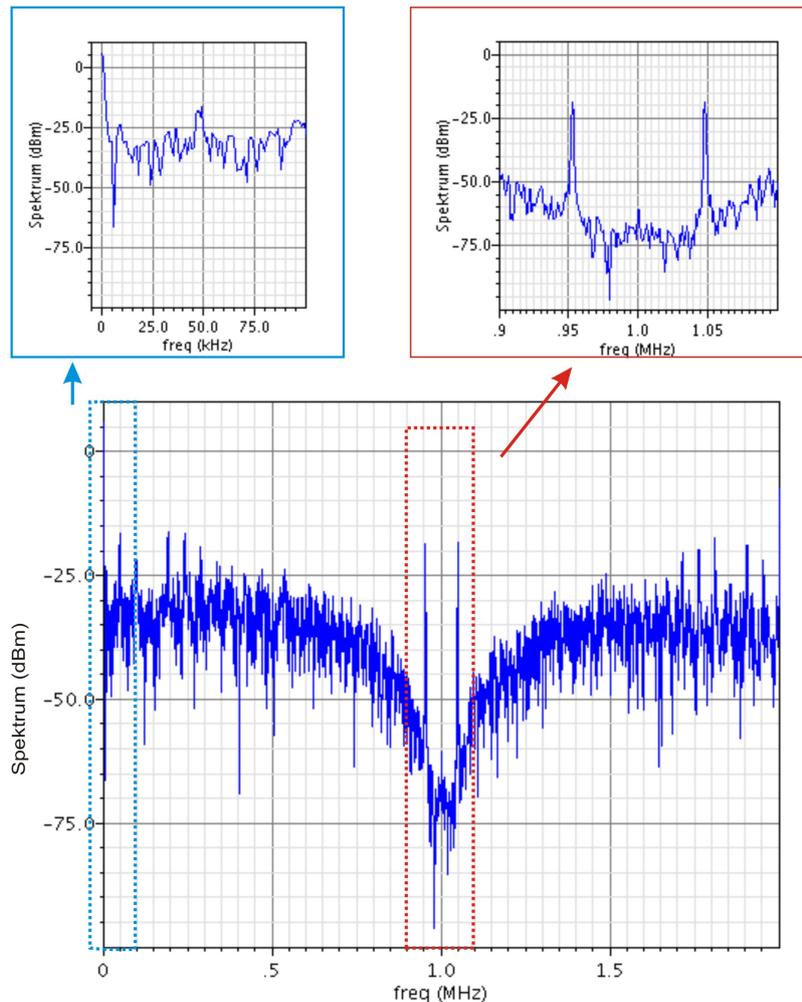


Abbildung 5.25.: Spektrum des Ausgangssignals des $SC-\Delta\Sigma$ -Modulators 4.Ordnung mit der Anregung von einem Sinussignal, das mit 1 MHz modulierten und 0.5 V -Amplitude, 47.74 KHz -Frequenz hat.

Abbildung 5.25 stellt das Spektrum des Ausgangssignals von einem $SC-\Delta\Sigma$ -Modulator 4.Ordnung dar. Die zwei Spitzen, die in der Mitte liegen, stehen für das modulierte Eingangssignal des Modulators. Die Spitze in der Gleichstromfrequenz (DC) zeigt die Offsetspannung des Eingangssignals ($V_{ref} = 1.65\text{ V}$). Das gesamte Rauschen besteht

aus dem Quantisierungsrauschen und von anderen Rauschquellen. Die letztgenannten sind hauptsächlich KT/C -noise. Das Quantisierungsrauschen wird zusammen mit den anderen Rauschen durch den SC- $\Delta\Sigma$ -Modulator 4.Ordnung um 1 MHz zur Seite verschoben. In der 95.48 KHz Bandbreite von $[952.26\text{ KHz}, 1047.74\text{ KHz}]$ liegt die Rauschstufe bei -65 dB bis -70 dB .

5.4. Simulation des 4-4-MASH-SC-BP-Delta-Sigma-Modulators 8.Ordnung in CADENCE

Mit dem theoretischen Blockschaltbild von dem 4-4-MASH-BP- $\Delta\Sigma$ -Modulator 8.Ordnung in Kapitel 4 (vgl. Abbildung 5.26) wird ein 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulator 8.Ordnung in CADENCE aufgebaut (siehe Abbildung 5.27).

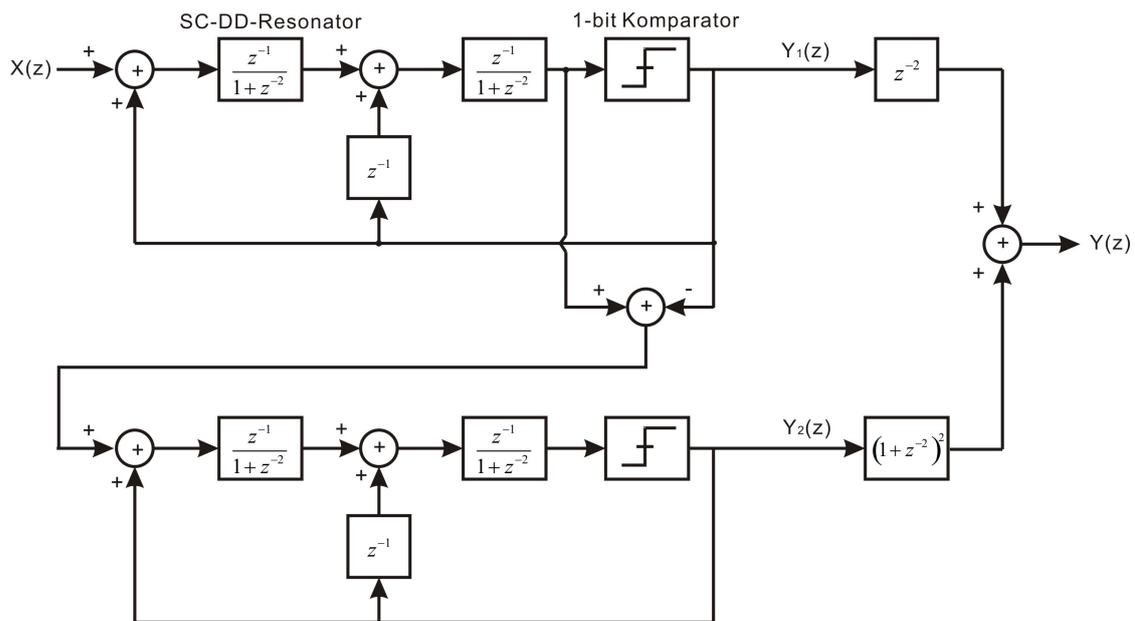


Abbildung 5.26.: Blockschaltbild eines idealen 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung [LG99]

Wie in Abbildung 5.27 dargestellt, besteht der 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulator 8.Ordnung aus zwei SC-BP- $\Delta\Sigma$ -Modulaturen 4.Ordnung, die im letztem Abschnitt schon realisiert wurden, und ein NCL [LG99].¹

¹Der Skalierungsfaktor wird mit dem 4-Quadranten-Multiplizierer, der zurzeit von einem anderenen Kollegen entwickelt wird, realisiert werden. In dieser Arbeit wird auf diesen Teil nicht weiter

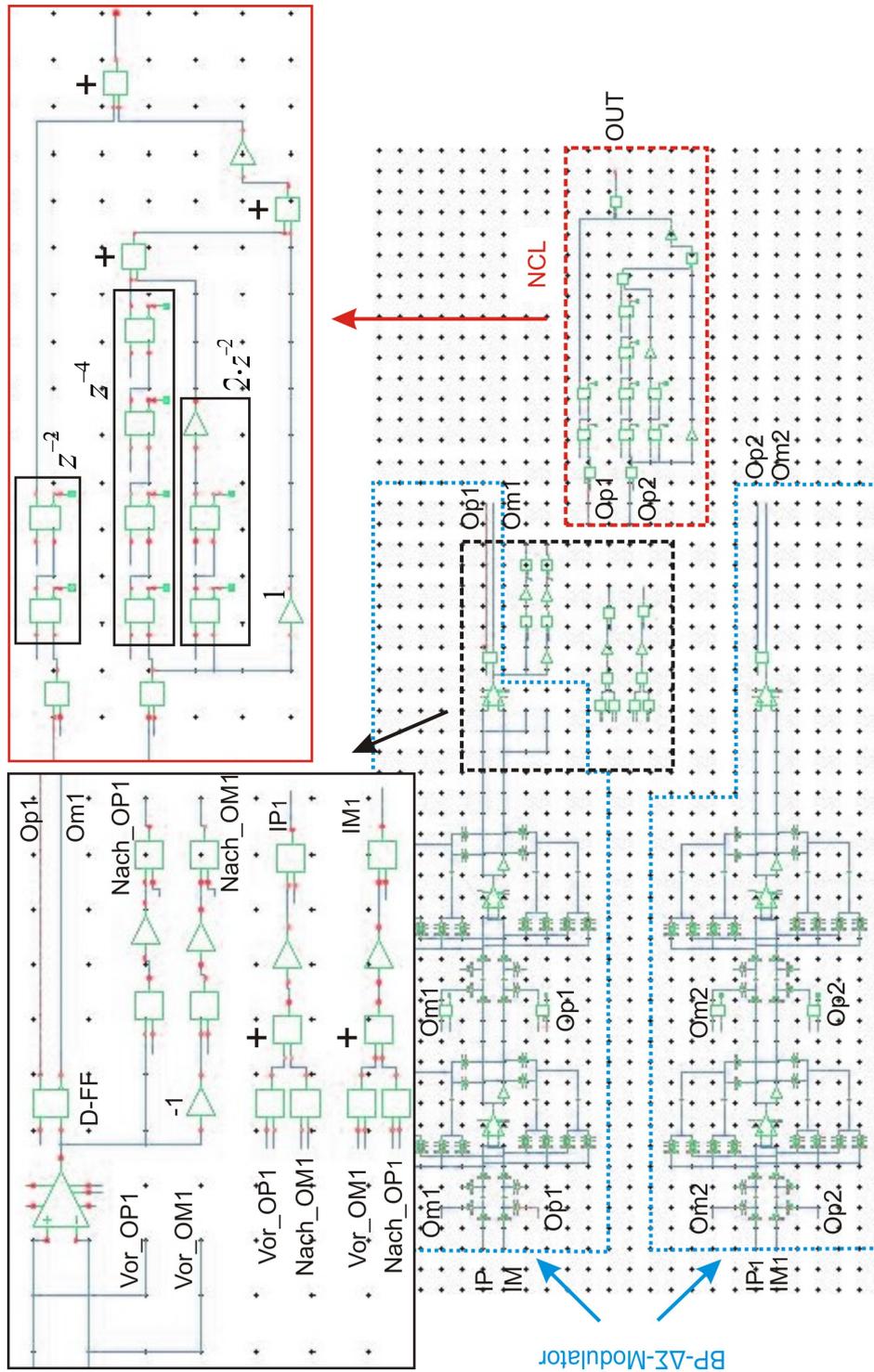


Abbildung 5.27.: Realisierung des 4-4-MASH-BP-ΔΣ-Modulators 8. Ordnung auf Transistorebene

5.4.1. Realisierung der Noise-Cancelling-Logic

Die Ausgänge der beiden SC-BP- $\Delta\Sigma$ -Modulatoren 4.Ordnung in der 1.- und 2.Stufe werden zu einer NCL geleitet, um das Quantisierungsrauschen, das durch den Modulator in der 1.Stufe erzeugt wurde, zu entfernen. Da die Ausgänge der beiden Modulatoren der 1.- und 2.Stufe digitale Signale sind, wird die NCL auch im digitalen Bereich realisiert. Abbildung 5.28 stellt noch einmal die NCL im Z-Bereich dar.

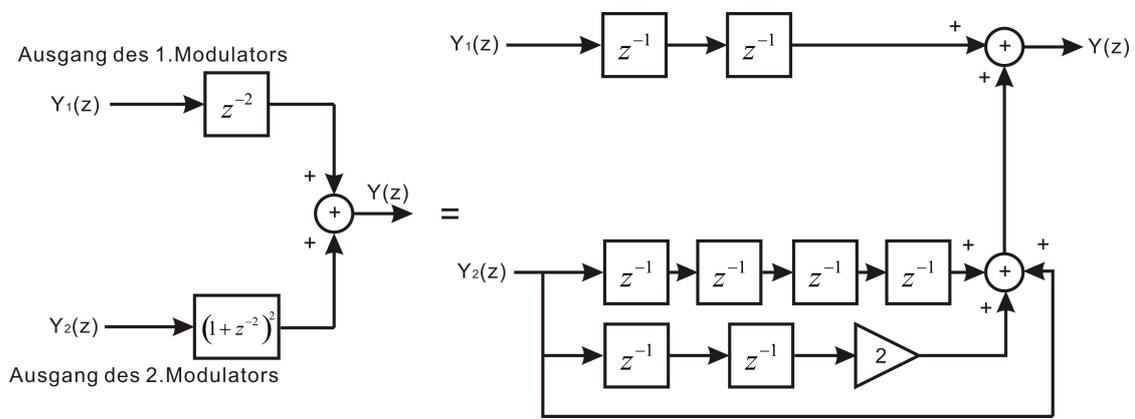


Abbildung 5.28.: Blockschaltbild der NCL des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung

Die NCL wird in eine FPGA realisiert. In CADENCE werden hier die Logik-Eins und Logik-NULL eines digitalen Signals als Spannungen repräsentiert und zwar steht der Pegel 1 V für Logik-Eins und der Pegel -1 V für Logik-Null.

Der Ausgang des Modulators in der 1.Stufe $Y_1(z)$ läuft durch zwei Verzögerungsglieder, welches einfach durch zwei D-FF darzustellen ist. Aber es muss stets darauf geachtet werden, dass die Pegel des Signals immer um -1 V (Logik-Null) und 1 V (Logik-Eins) um 0 V symmetrisch herunterskaliert werden. Der Ausgang des Modulators in der 2.Stufe $Y_2(z)$ läuft auch durch eine Logikschaltung, die mit D-FF und Addierer realisiert: Die Logik z^{-4} wird durch die Serie mit vier D-FF realisiert wird; Die Logik $2z^{-2}$ wird durch zwei D-FF und einen Skalierungsfaktor 2 realisiert. Dann bekommt man den Ausgang der 2.Stufe der NCL: eine Übertragungsfunktion von $1 + 2z^{-2} + z^{-4} = (1 + z^{-2})^2$. Am Ende muss der Ausgang der 2. Stufe der NCL wieder mit einem Skalierungsfaktor von 4 vergrößert werden, um den vorher genannten Skalierungsfaktor, der den Ausgang des Komparators in der 1.Stufe um ein Viertel

eingegangen.

herunterskaliert, zu kompensieren. Abbildung 5.29 stellt die Realisierung des NCL in CADENCE dar.

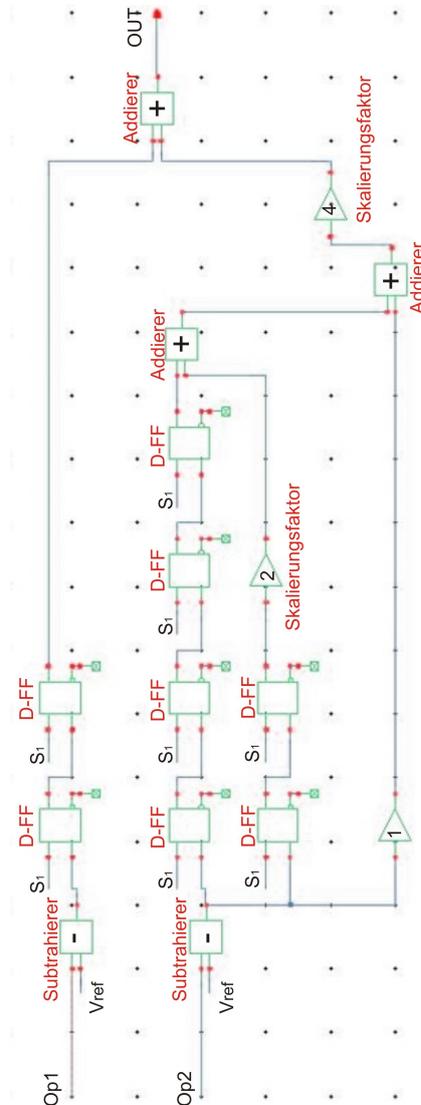


Abbildung 5.29.: Realisierung der NCL des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung auf Transistorebene

5.4.2. Simulationsergebnis

Der gesamte 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulator 8.Ordnung wird in CADENCE für 1 ms simuliert. Abbildung 5.30 stellt den Ein- und Ausgang des gesamten Modulators im Zeitbereich dar.

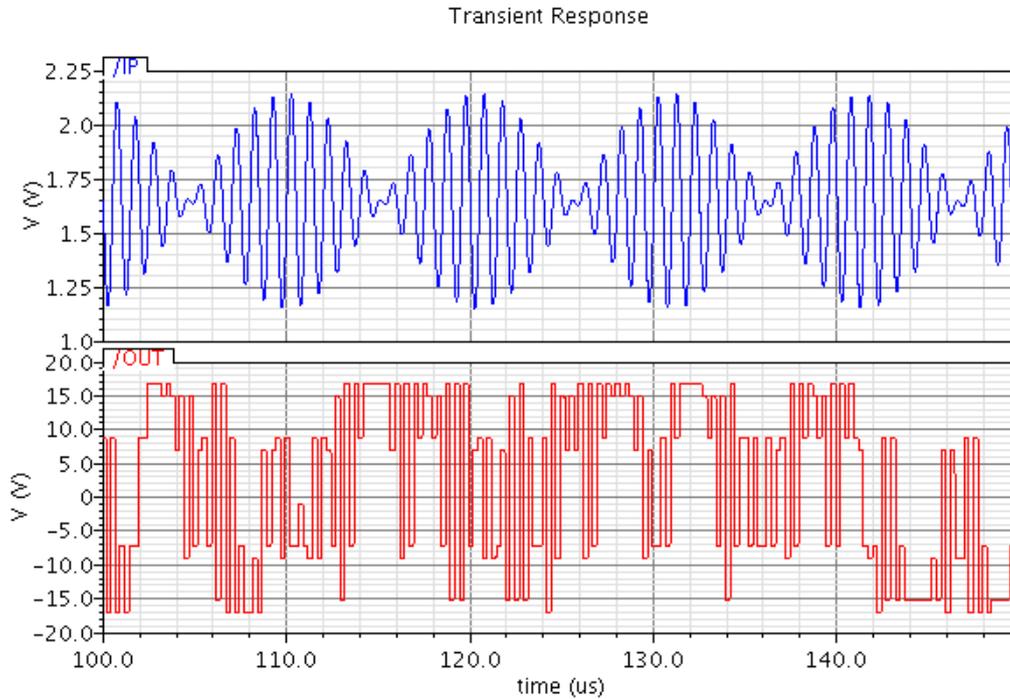


Abbildung 5.30.: Zeitverlauf des Ein- und Ausgangs sowie der Spannungsverlauf der Resonatoren des 4-4-MASH-SC- $\Delta\Sigma$ -Modulators 8.Ordnung mit einer Anregung von einem Sinussignal, das mit 1 MHz moduliert und 0.5 V-Amplitude, 47.74 KHz-Frequenz hat.

Der Eingang ist ein mit 1 MHz moduliertes Sinussignal mit 47.74 KHz Frequenz, 0.5 V Amplitude und 1.65 V Offsetspannung. Der Ausgang des Modulators ist jetzt nicht mehr ein 1-bit stream, sondern ein Multi-bit Signal mit den Pegeln in dem Bereich von [-17 V, 17 V]. Wenn -1 V und 1 V als Logik-Null und Logik-Eins für 1-bit steht, ist das Ausgangssignal dann ein 6-bit stream mit 34 unterschiedliche Pegeln.

Mit einem 16384-Punkte-FFT-Algorithmus wird das Spektrum des digitalen Ausgangs des 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulators 8.Ordnung in CADENCE berechnet und dargestellt (siehe Abbildung 5.31).

Anhand der Abbildung 5.31 erkennt man, dass die Rauschstufe des Modulatorausganges durch den 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulator 8.Ordnung immer tiefer unterdrückt wird als durch den SC-BP- $\Delta\Sigma$ -Modulator 4.Ordnung. In der 95.48 KHz Bandbreite von [952.26 KHz, 1047.74 KHz] liegt die Rauschstufe bei -70 dB bis -80 dB.

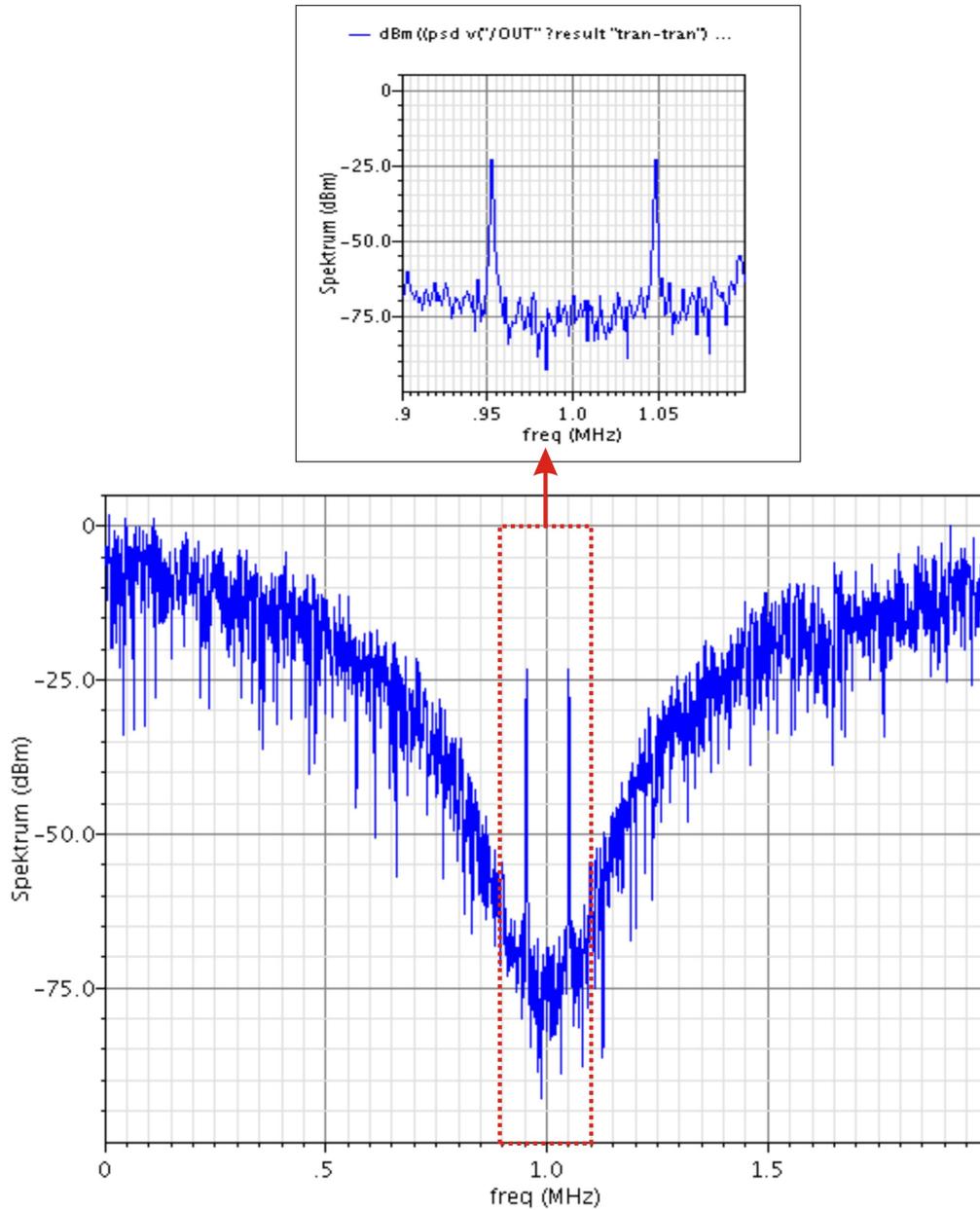


Abbildung 5.31.: Spektrum des Ausgangssignals des 4-4-MASH-SC- $\Delta\Sigma$ -Modulators 8.Ordnung mit der Anregung eines mit 1 MHz modulierten Sinussignals, das 0.5 V-Amplitude, 47.74 KHz-Frequenz hat.

5.5. Vergleich der entwickelten Delta-Sigma-Modulatoren

Um das Verhalten der Rauschformung noch besser zu erkennen, stellt die Abbildung 5.32 den Vergleich des Ausgangs von dem 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulator 8. Ordnung und dem SC-BP- $\Delta\Sigma$ -Modulator 4. Ordnung dar.

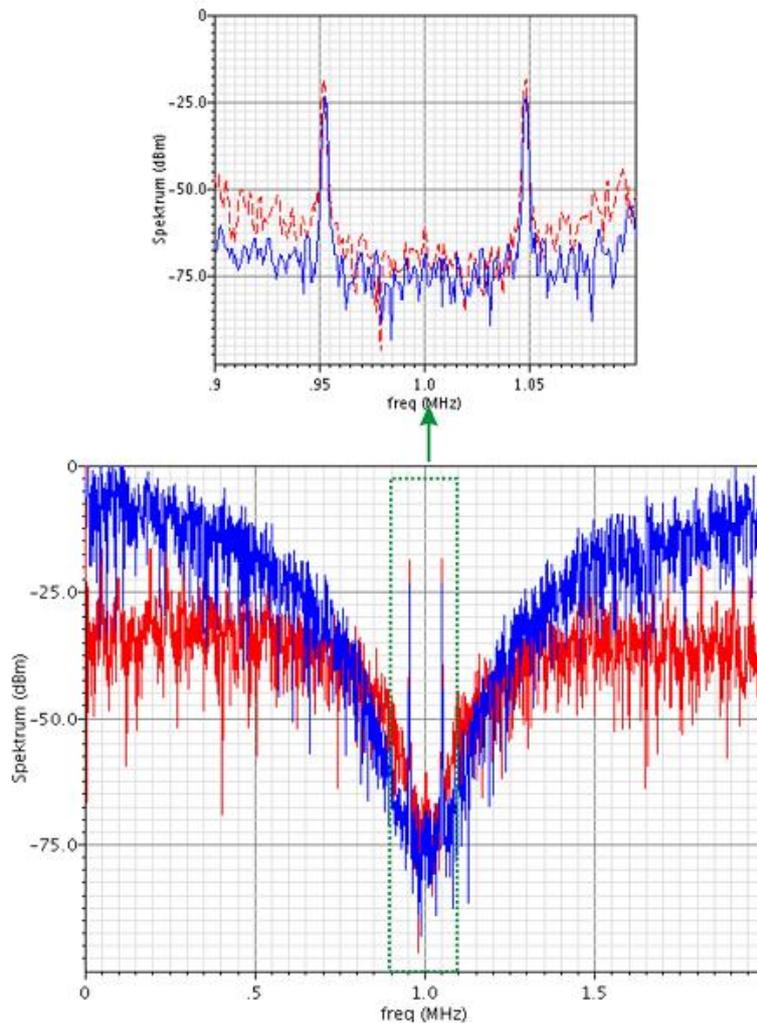


Abbildung 5.32.: Spektrum des Ausgangssignals des SC- $\Delta\Sigma$ -Modulators 4. Ordnung und des 4-4-MASH-SC- $\Delta\Sigma$ -Modulators 8. Ordnung mit der Anregung eines mit 1 MHz modulierten Sinussignal, das 0.5 V-Amplitude, 47.74 KHz-Frequenz hat.

Die rote Kurve steht für das Spektrum des Ausganges des SC-BP- $\Delta\Sigma$ -Modulators 4.Ordnung, während die blaue Kurve für das Spektrum des Ausganges des 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulators 8.Ordnung steht. In der definierten Bandbreite von [952.26 KHz , 1047.74 KHz] ist die Rauschstufe des 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulators 8.Ordnung niedriger als die Rauschstufe des SC-BP- $\Delta\Sigma$ -Modulators 4.Ordnung, d.h. mehrere In-Band-Rauschen werden von 1 MHz zur Seite verschoben.

Im Gegensatz zur Herstellung des 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulators 8.Ordnung ist die Anforderung der Menge der realen Bauelemente verdoppelt. Es führt auch zu einer Erhöhung des Energieverbrauchs und der Fläche sowie der gesamten Rauschstufe. Für eine Erhöhung der SNR von ungefähr 10 dB ist die Verdoppelung der Kosten nicht lohnend. Deswegen wird der SC-BP- $\Delta\Sigma$ -Modulator 4.Ordnung für die weitere Entwicklung ausgewählt.

MATLAB den BP- $\Delta\Sigma$ -Modulatoren 2.- und 4.Ordnung simuliert. In einem weiteren Versuch stellte sich heraus, dass eine weitere Erhöhung der Ordnung des Modulators dazu führt, dass die Polstellen des Modulators außerhalb des Einheitskreises liegen, bzw. der gesamte Modulator instabil ist. Um dieses Problem zu lösen, wurde zunächst die MASH-Struktur entwickelt. Mit einer Kaskadierung von zwei BP- $\Delta\Sigma$ -Modulatoren 4.Ordnung wurde die Stabilität des Modulators beibehalten. Danach wurde eine analytische Simulation des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung in SIMULINK und MATLAB durchgeführt.

Um das reale Verhalten des 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung auf Transistorebene zu simulieren, wurde dann die Funktionsweise des SC-Resonators vorgestellt. Auf alle einzelnen benutzen Bauelemente der AMS-Bibliothek wurde anschließend eingegangen. Am Ende wurde der gesamte Modulator in CADENCE simuliert und mit dem theoretischen Ergebnis verglichen. Anhand des Ergebnis der CADENCE-Simulation erkennt man, dass in der Realität die SNR eines 4-4-MASH-BP- $\Delta\Sigma$ -Modulators 8.Ordnung nur 5 *dB* bis 10 *dB* höher ist als der eines BP- $\Delta\Sigma$ -Modulators 4.Ordnung, aber mit Mehrkosten für einen wesentlich komplexeren Schaltungsaufbau verbunden ist. Der Grund ist, dass für einen 4-4-MASH-BP- $\Delta\Sigma$ -Modulator 8.Ordnung viel mehr reale Bauelemente als für einen BP- $\Delta\Sigma$ -Modulator 4.Ordnung benötigt werden. Die Komplexität des Schaltungsaufbaus erhöht sowohl die gesamte Rauschstufe als auch die Fläche und den Energieverbrauch in der Herstellung. Deswegen sollte sich ISiT für den BP- $\Delta\Sigma$ -Modulator 4.Ordnung für die weitere Entwicklung entscheiden.

In dieser Arbeit wurde der analoge Teil des $\Delta\Sigma$ -ADC behandelt. In dem weiteren Verlauf des Projekts wird zuerst in dem FPGA der dem in dieser Arbeit entwickelte $\Delta\Sigma$ -Modulator zugehörige digitale Bandpassfilter entwickelt, der das verschobene Rauschen außerhalb der definierten Bandbreite von [950 *KHz*, 1050 *KHz*] herausfiltert und eine Ausgangsaufösung von 12-*bit* erhält. Ein Dezimator wird auch in dem FPGA realisiert, um das ganze System wieder in Nyquistband herunterzutasten.

Die anderen für die flexible Systemelektronik erforderlichen Funktionskomponenten befinden sich derzeit noch in der Entwicklung. Alle Funktionsblöcke werden schließlich nach Fertigstellung zusammen mit dem $\Delta\Sigma$ -ADC in einer 0.35 μm CMOS-Technologie hergestellt, so dass die flexible Systemelektronik in vielen Einsatzgebieten verwendbar ist.

Literaturverzeichnis

- [Abt] *Nyquist-Shannon-Abtasttheorem*. – <http://de.wikipedia.org/wiki/Nyquist-Shannon-Abtasttheorem> (visited:05.2010)
- [AG94] ABO, Andrew ; GRAY, Paul: *Noise Re-sampling for Low-Power Switched-Capacitor Circuits*. (1994). – Berkeley
- [Cad] *Cadence homepage*. – <http://www.cadence.com/> (visited:01.2010)
- [CC91] C.CANDY, James ; C.TEMES, Gabor: *Oversampling Delta-Sigma Data converters - theory, design and simulation*. IEEE PRESS, 1991. – ISBN 0-87942-285-8
- [Dif10] *Diff.Op-Amp OP-WB austrial microsystems*. 2010. – AMS: <http://asic.austriamicrosystems.com/databooks/c35a/op-wb-c35-revc.pdf>
- [EDA10] *Forum edaboard*. 2010. – Forum: <http://www.edaboard.com/forums.html> (visited:02.2010)
- [Föl08] FÖLLINGER, O.: Grundlagen der Regelungstechnik: Kap.7 Das Wurzelortsverfahren. (2008). – <http://prt.fernuni-hagen.de/pro/learnnet/KRAN/Wurzelortskurve.pdf>
- [FS110] *Foundry Support AMS: 0.35um Analog Standard Cells*. 2010. – AMS: <http://asic.austriamicrosystems.com/databooks/c35-a/index.html>
- [FW95] F.SINGOR ; W.M.SNELGROVE: *Switched-Capacitor Bandpass Delta-Sigma A/D Modulation at 10.7 MHz*. (1995). – IEEE Journal of Solid-State Circuits
- [Gie09] GIELEN, Georges: *Nyquist-rate data converters: overview and figures of merit*. (2009). – Katholieke Universiteit Leuven
- [Gio08] GIOIA, Eugenio D.: *Grundlagen der A/D- und D/A-Umsetzung*. (2008). – Seminar Technische Universität Berlin
- [Grü98] GRÜNZIG, Sven: *Entwurf eines Sigma-Delta A/D-Umsetzers in einer CMOS-Technologie*. (1998). – Diplomarbeit Universität-Gesamthochschule Siegen
- [HSL08] HENZLER ; SCHMITT-LANDSIEDEL: *Mixed-Signal-Elektronik*. (2008). – Lehrstuhl für Technische Elektronik Technische Universität München

- [Kesa] KESTER, Walt: ADC Architectures III: Sigma-Delta ADC Basics. . – Analog Devices Tutorial, MT-022
- [Kesb] KESTER, Walt: ADC Architectures IV: Sigma-Delta ADC Advanced Concepts and Applications. . – Analog Devices Tutorial, MT-023
- [LG99] L.LOUIS ; G.ROBERTS: An Eighth-Order Bandpass Delta-Sigma Modulator for A/D Conversion in Digital Radio. (1999). – IEEE Journal of Solid-State Circuits
- [Mat] *Mathworks homepage.* – <http://www.mathworks.com/> (visited:09.2009)
- [Mic07] MICHEEL, Hans-Juergen: Signale und Systeme. (2007). – Lehrstuhl für Signale und Systeme Hochschule für Angewandte Wissenschaften
- [Rau09] *Rauschformung.* 2009. – Wikipeda: <http://de.wikipedia.org/wiki/Rauschformung> (visited:10.2009)
- [RS96] R.NORSWORTHY, Steven ; SCHREIER, Richard: *Delta-Sigma Data Converters: Theory, Design, and Simulation.* 1996. – IEEE Press
- [RT94] R.BAIRD ; T.FIEZ: *Stability analysis of high-order delta-sigma modulation for ADC's.* 1994. – IEEE Transactions on Circuits and Systems II
- [Sal03] SALO, Teemu: *Bandpass Delta-Sigma Modulators for Radio Receivers.* 2003. – ISBN 951-22-6410-2
- [SC99] SCHREIER, Richard ; C.THEMES, Gabor: *Understanding Delta-Sigma Data Converters.* IEEE PRESS, 1999
- [Sch09] SCHWARZELBACH, Oliver: Entwicklung einer flexiblen MEMS-Systemelektronik. (2009). – Fraunhofer-ISIT-Internal MEMO
- [S.L01] S.LINDFORS: Behavior of a 1-bit 2nd-order Delta-Sigma modulator under wideband excitation. (2001). – IEEE International Symposium on Circuits and Systems
- [Won97] WONGKOMET, Naiyavudhi: A Comparison of Continuous-Time and Discrete-Time Sigma-Delta-Modulator. (1997). – M.S. Thesis. Berkeley
- [Y.C09] Y.CHIU: Oversampling ADC. (2009). – Advanced Analog IC Design ECE581

Anhang A.

Anhang: Verwendete Symbole

C	Kapazität	[F]
C_s	Sampling-Kapazität (Eingangskapazität)	[F]
C_i	Integrator-Kapazität (Rückkopplungskapazität)	[F]
e	Quantisierungsfehler	[V]
e_{rms}	rms-Quantisierungsfehler	[V]
f	Frequenz	[Hz]
f_{BW}	Bandbreite	[Hz]
f_s	Abtastfrequenz	[Hz]
$f_{s,nyq}$	Nyquistfrequenz	[Hz]
f_t	Trägerfrequenz	[Hz]
f_0	Eingangsfrequenz	[Hz]
I	Strom	[A]
K	Kelvin Temperatur	[K]
N	bit Auflösung	[bit]
n^2	gesamte systeme Quantisierungsrauschleistung	[V^2/Hz]
n_0^2	In-Band-Quantisierungsrauschleistung	[V^2/Hz]
Q	Ladungsmenge	[$A \cdot s$]
R	Widerstand	[Ω]
t	Zeit	[s]
T	Abtastperiode	[s]
\hat{V}	Amplitude der Eingangsspannung	[V]
V_{dd}	maximale Systemspannung	[V]
V_{pp}	Spitze-Spitze Spannung	[V]
V_{ref}	Referenzspannung	[V]
V_{ss}	minimale Systemspannung	[V]
V_{th}	Schwellspannung	[V]

Anhang B.

Anhang: Verwendete Abkürzungen

ADC analog to digital converter

FPGA field programmable gate array

DSP digital signal processing core

AAF anti aliasing filter

SH sample and hold circuit

OSR over sampling ratio

SQNR signal to quantization noise ratio

DR dynamic range

FS full scale

DT discrete time

CT continuous time

SC switched capacitor

AMS austriamicrosystems

STF signal-transfer-funktion

NTF noise-transfer-funktion

DD-Resonator double-delay-desonator

MASH Multi-Stage Structure

NCL noise cancellation logic

Diff.Op-Amp differential operational amplifier

D-FF delay flip-flop

Anhang C.

Anhang: CADENCE-Modelle

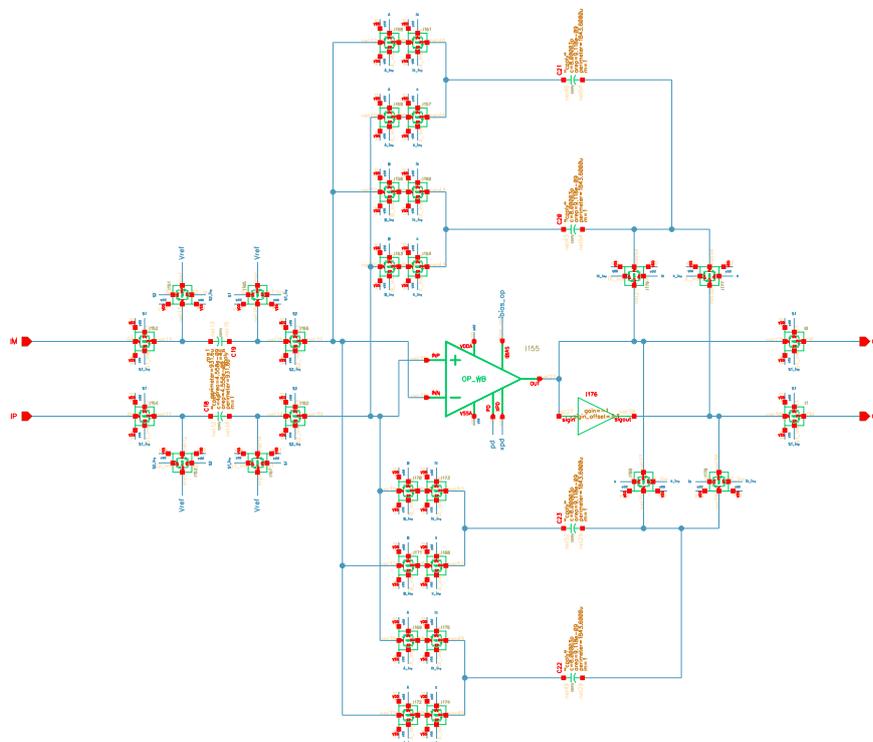


Abbildung C.1.: CADENCE-Modell: SC-DD-Resonator

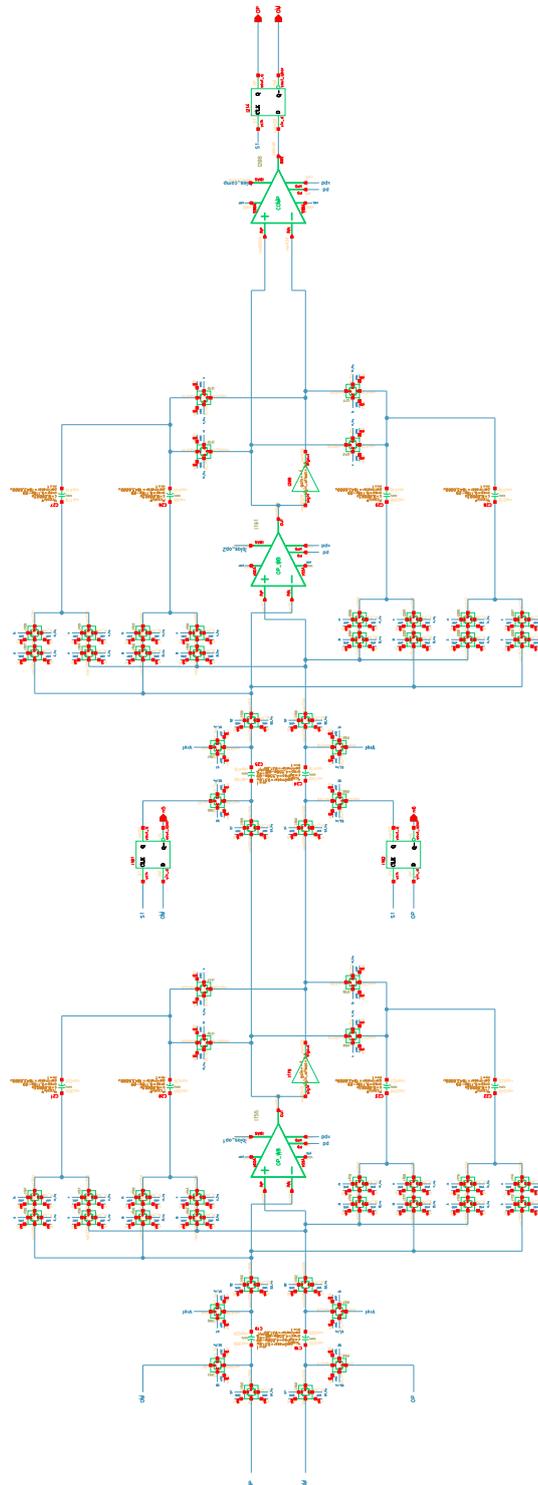


Abbildung C.2.: CADENCE-Modell: SC-BP- $\Delta\Sigma$ -Modulator 4.Ordnung

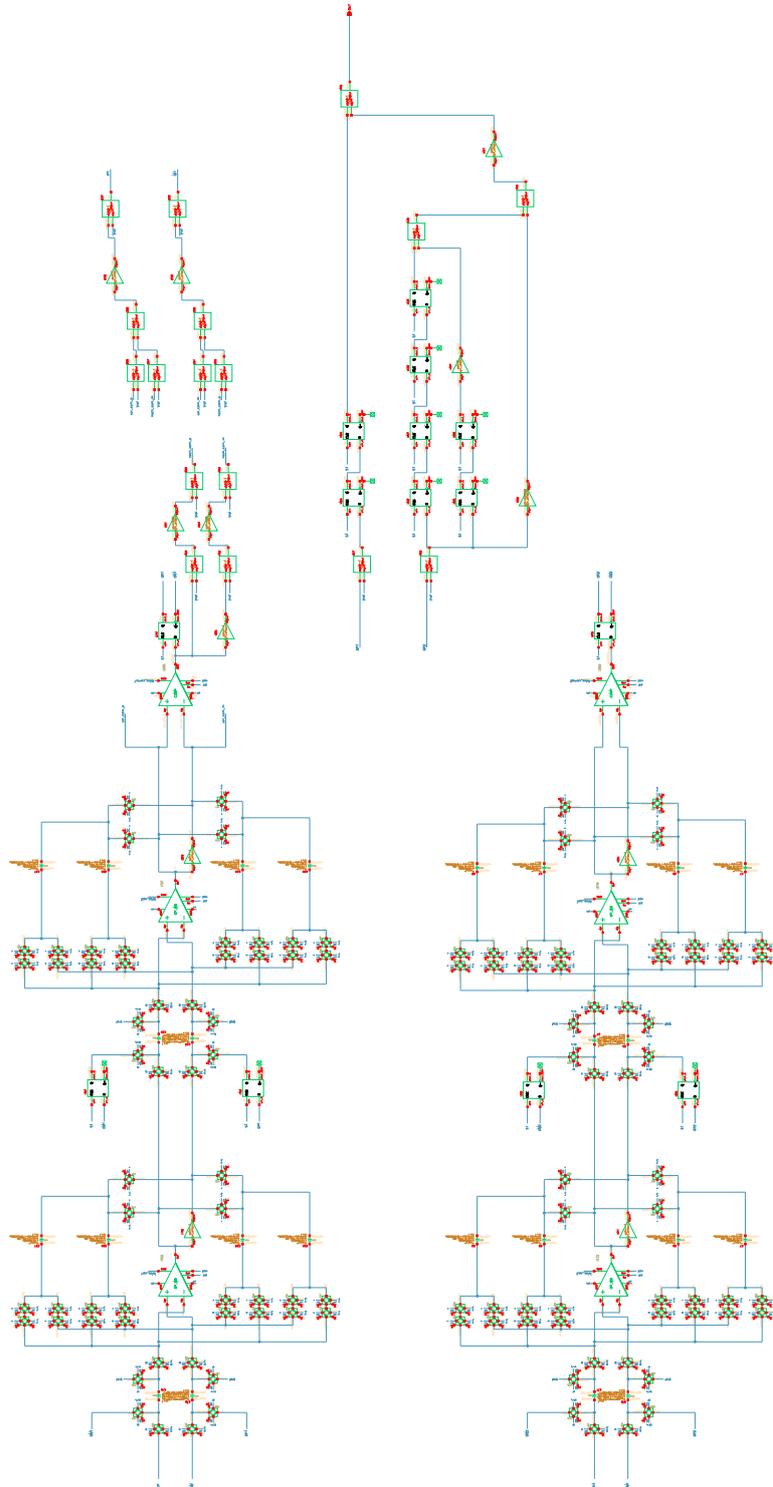


Abbildung C.3.: CADENCE-Modell: 4-4-MASH-SC-BP- $\Delta\Sigma$ -Modulator 8.Ordnung

Erklärung

Hiermit versichere ich, dass ich die vorliegende Arbeit ohne fremde Hilfe selbstständig verfasst und nur die angegebenen Hilfsmittel benutzt habe. Wörtlich oder dem Sinn nach aus anderen Werken entnommene Stellen habe ich unter Angabe der Quellen kenntlich gemacht.

_____, _____, _____

Ort, Datum, Unterschrift