



Hochschule für Angewandte Wissenschaften Hamburg
Hamburg University of Applied Sciences

Diplomarbeit

Boris Fiedler

Rauscharmer Messverstärker mit analogen
Universalfiltern und digitaler Schnittstelle

Boris Fiedler

Rauscharmer Messverstärker mit analogen
Universalfiltern und digitaler Schnittstelle

Diplomarbeit eingereicht im Rahmen der Diplomprüfung
im Studiengang Informations- und Elektrotechnik
Studienrichtung Informationstechnik
am Department Informations- und Elektrotechnik
der Fakultät Technik und Informatik
der Hochschule für Angewandte Wissenschaften Hamburg

Betreuender Prüfer : Prof. Dr.Ing. Hans Peter Kölzer
Zweitgutachter : Prof. Dr. Ulrich Merkt

Abgegeben am 9. September 2011

Boris Fiedler

Thema der Diplomarbeit

Rauscharmer Messverstärker mit analogen Universalfiltern und digitaler Schnittstelle

Stichworte

Messverstärker, Analogfilter, Aktive Filter, Universalfilter, Tiefpassfilter, Hochpassfilter, Bandpassfilter, Bandstopfilter, Kerbfilter, Operationsverstärker, Digital-Analog-Umsetzer, Digital Potentiometer, CPLD, SPI

Kurzzusammenfassung

Ziel dieser Arbeit ist die Entwicklung einer Einschubkarte zur rauscharmen Verstärkung von kleinen Strömen und Spannungen für Lock-In-Messungen. Auf der Karte befinden sich mehre Verstärkerstufen und verschiedene aktive analoge Filter. Die zwei Universalfilter der Karte erlauben dabei unabhängige Parameter für Verstärkung, Güte und Frequenz zu wählen. Die Steuerung der Relais, Anlogschalter, Digital-Analog-Umsetzer und digital Potentiometern erfolgt über einen programmierbarer Logikbaustein (CPLD) auf der Karte. Das Interface zur Messverstärkerkarte bildet eine digitale SPI-Bus Schnittstelle.

Boris Fiedler

Title of the paper

Low noise measuring amplifier with analog state variable filters and digital interface

Keywords

measuring amplifier, analog filter, active filter, state variable filter, low-pass filter, high-pass filter, band-pass filter, band-stop filter, notch filter, operational amplifier, digital-to-analog converter, digital potentiometer, CPLD, SPI

Abstract

The goal of this thesis is to develop a plugin card for low-noise amplification of small currents and low voltages for lock-in measurements. The card consists of several amplifier stages and different active analog filters. The two state variable filters on the card allow to set the amplification, quality and frequency independently. The control of the relays, analog switches, digital to analog converters, and digital potentiometers via a complex programmable logic device (CPLD) on the card. Interface of the measuring amplifier card is a digital SPI bus interface.

The Trick Is to Keep Breathing
(Garbage - Version 2.0)

Danksagung

Diese Diplomarbeit entstand am Institut für Angewandte Physik in der Gruppe Nanostrukturphysik der Universität Hamburg unter der Leitung von Herrn Prof. Dr. Ulrich Merkt. Ich danke Ulrich Merkt für die Möglichkeit und die Unterstützung, diese Diplomarbeit in seiner Gruppe anfertigen zu können.

Mein Dank gilt an dieser Stelle Herrn Prof. Dr.-Ing. Hans Peter Kölzer, meinem Gutachter von der Hochschule für Angewandte Wissenschaften Hamburg (HAW).

Ein besonderer Dank gilt Herrn Dr. Jan Jacob, der stets für mich weltweit ansprechbar war, und mit sehr viel Engagement und guten Ideen meine Diplomarbeit betreut hat.

Dank auch an die Mitarbeiter der Elektronik-Werkstatt, im Besonderen dem Leiter Herrn Dipl.-Ing. Horst Biedermann, für die Bereitstellung eines Arbeitsplatzes und die praktische Unterstützung bei der Umsetzung der Arbeit.

Dr. Toru Matsuyama, Hauke Lehmann, Till Benter, Alexander Buhr und Jens Kienitz danke ich für die gute Unterstützung und die vielen lehrreichen und konstruktiven Diskussionen.

Bei Michael Przybilla möchte ich mich für die hilfreichen Anmerkungen bedanken.

Weiterhin bedanke ich mich bei allen Personen, die mir durch ihre Unterstützung geholfen haben, diese Arbeit zu erstellen.

Schließlich möchte ich mich bei meiner Familie bedanken für den Rückhalt, der sehr zur Absolvierung meines Studiums beigetragen hat.

Inhaltsverzeichnis

1 Einführung	7
2 Analyse	8
3 Entwicklung	15
3.1 Anforderungen	16
3.2 Analoge Komponenten	17
3.3 Digitale Steuerung und Stromversorgung	19
4 Design	21
4.1 Analoge Baugruppen	21
4.2 Digitale Baugruppen	55
5 Realisierung	66
5.1 Layout	66
5.2 Abgleich	71
5.3 Messungen	76
6 Zusammenfassung und Ausblick	85
6.1 Zusammenfassung	85
6.2 Ausblick	87
Literaturverzeichnis	88
Anhang	91
Tabellenverzeichnis	143
Bildverzeichnis	144
Abkürzungsverzeichnis	147

1 Einführung

Am Institut für Angewandte Physik der Universität Hamburg werden unter anderem Untersuchungen an Nanostrukturen durchgeführt. Im Gebiet der Halbleiter-Nanostrukturen werden dafür Messungen bei tiefen Temperaturen im Millikelvinbereich vorgenommen.

Die Widerstände von Nanostrukturen erstrecken sich dabei über den Bereich von einigen Ohm bis Gigaohm. Um die Probe bei der Messung nicht zu beschädigen, müssen sehr kleine Spannungen und Ströme verwendet werden. Der Messbereich für Spannungen reicht dabei herunter bis in die Größenordnung von Nanovolt. Ströme werden bis in den Bereich von Picoampere gemessen. Diese sehr kleinen Messsignale müssen deshalb für die Weiterverarbeitung und die Erfassung ausreichend verstärkt werden. Nur so kann die volle Auflösung des Signals bei der Erfassung erreicht werden.

Ziel der Diplomarbeit ist die Entwicklung eines Messverstärkers für kleine Spannungen und Ströme. Dieser sollte, um die Messsignale nicht durch zusätzliches Rauschen zu überlagern, möglichst rauscharm sein. Kombiniert mit zusätzlichen Filtern auf der Messkarte kann dieses noch weiter reduziert werden. Gleichzeitig soll durch die Entwicklung eine flexiblere, kompakte und kostengünstigere Alternative gegenüber dem Kauf und der Verwendung von industriell gefertigten Messverstärkern erreicht werden.

Hierzu werden die eingesetzten Messverfahren analysiert. Daraus resultierende Anforderungen werden in die Entwicklung übernommen. Sie bildet die Grundlage für das folgende detaillierte Design der Schaltungen. Aus dem Design werden im nächsten Schritt Layouts für die Leiterplatten erstellt. Im letzten Schritt werden diese Platinen hergestellt und getestet.

2 Analyse

Kleine Spannungen und Ströme werden in der Praxis immer durch Rauschen überlagert. Das Rauschen kann hierbei um ein Vielfaches größer als das Messsignal sein und dieses vollständig überdecken. Die messtechnische Aufgabe besteht darin, dass Messsignal gegenüber den Rauschen wieder hervorzuheben.

Eine Möglichkeit ist die Verringerung von Störeinflüssen auf das Messsignal. Eine Betrachtung eines allgemeinen Rauschspektrums zeigt als erstes das weiße Rauschen. Dieses besitzt eine konstante Amplitude über das gesamte Spektrum. Der Name stammt von der Analogie zum weißen Licht, auch dort sind alle Wellenlängen vorhanden. Bild 2.1 zeigt ein Frequenzspektrum mit Rauschen und Störungen.

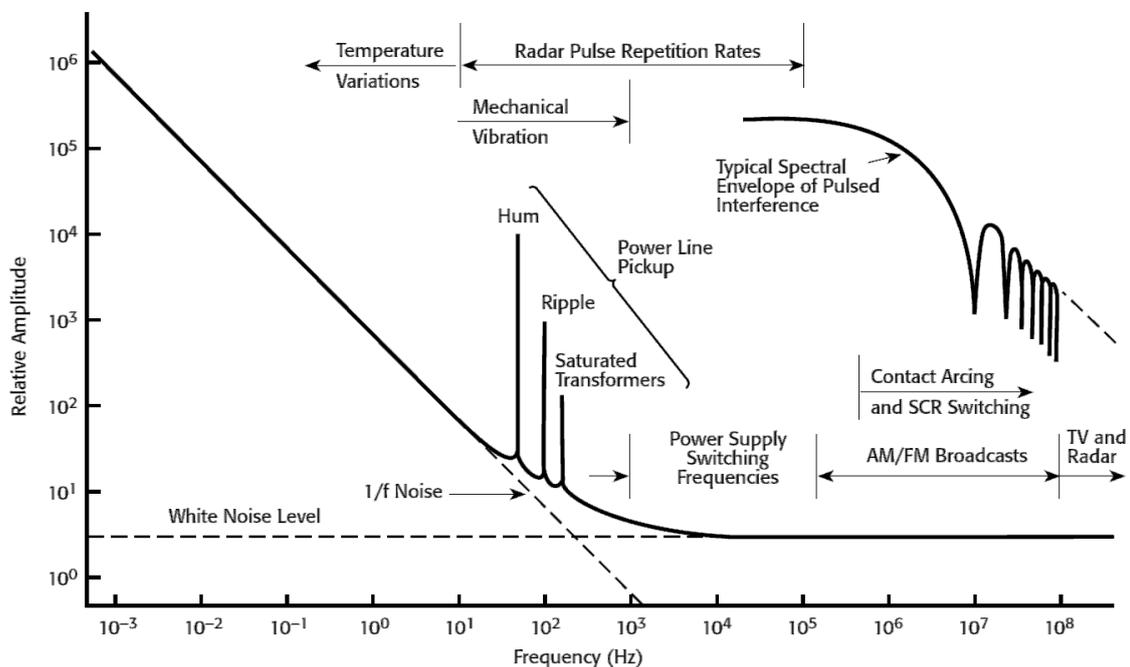


Bild 2.1: Frequenzspektrum mit Rauschen und Störungen [27]

Neben weiteren Störungen aus Funksignalen, Schaltnetzteilen und Netzstörungen zeigt das Spektrum, Bild 2.1, bei niedrigen Frequenzen ein starkes Ansteigen des Rauschen. Dieses wird als $1/f$ Rauschen bezeichnet, „farblich“ als rosa Rauschen. Die Ursache des $1/f$ -Rauschen lässt sich zurzeit physikalisch nicht erklären [26]. Zusätzlich können noch weitere Arten von Rauschen auftreten:

- Schrotrauschen, engl. Shot noise [26], entsteht durch elektrischen Strom an Potenzialbarrieren, z.B. p-n-Übergang.
- Funkelrauschen, engl. Flicker noise [24], entsteht im Zusammenhang mit Gleichströmen
- Popcorn-Rauschen, engl. Burst noise oder Popcorn noise [24], entsteht in Halbleitern

Aufgabe des Messverfahrens ist es deshalb das Signal elektronisch aufzubereiten und damit das Signal-zu-Rausch-Verhältnis zu verbessern. Dafür gibt es verschiedene Verfahren.

Für Gleichspannung und sehr niederfrequente Wechselspannungen können Chopper-Verstärker verwendet werden (Bild 2.2) [30]. Diese verschieben durch Modulation den Messbereich in einen höheren Frequenzbereich. Dadurch wird der Anteil des $1/f$ -Rauschens verringert. Das Eingangssignal wird dazu zerhackt, engl. chop, und in eine Wechselspannung gewandelt, anschließend verstärkt und wieder gleichgerichtet. Nachteil dieses Verstärkers ist, dass die übliche Grenzfrequenz unter 100 Hz liegt und dazu noch eine hochfrequente Zerhackerfrequenz benötigt wird. Auch das ständige Schalten des Eingangssignals kann zu unerwünschten Effekten im Messobjekt führen.

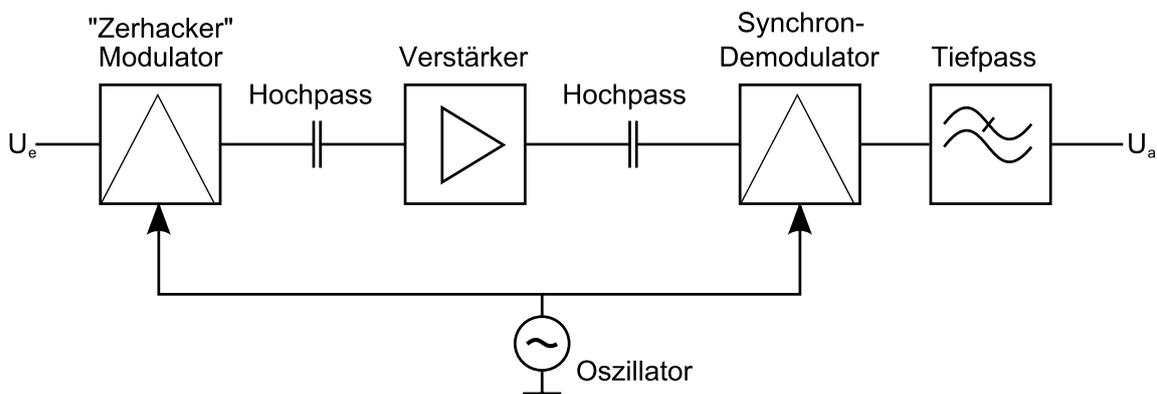


Bild 2.2: Blockschaltbild Chopper-Verstärker

Zur Messung von Wechselspannungen kann ein Lock-in-Verstärker (Bild 2.3) verwendet werden. Dieser wirkt als selektiver Verstärker für Signalanteile, die mit einem Referenzsignal moduliert wurden. Der Verstärker stellt somit einen extrem schmalbandigen, frequenz-selektiven Bandpassfilter dar, und verbessert dadurch das Signal-Rausch-Verhältnis, engl. Signal to

noise ratio (SNR). Dadurch werden Gleichspannungen, Wechselspannungen anderer Frequenz und Rauschen effizient gefiltert. Am Ausgang des Lock-in-Verstärkers liegt dann eine verstärkte Gleichspannung proportional zur Eingangsspannung an.

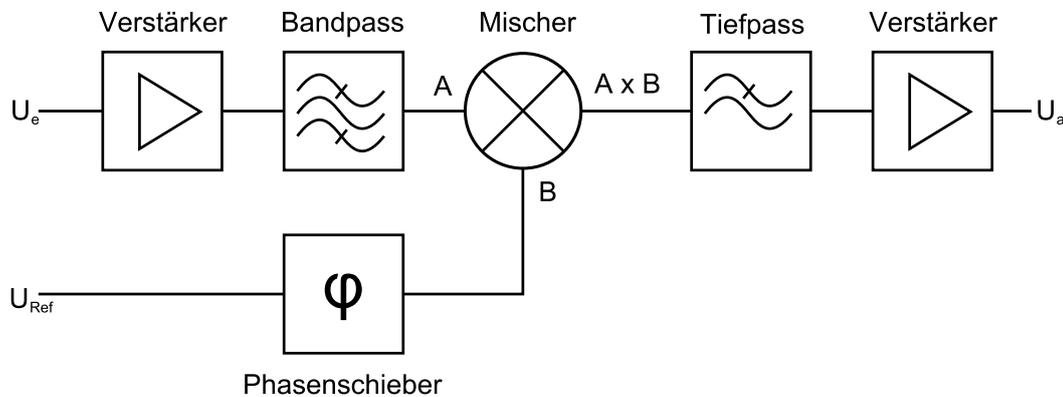


Bild 2.3: Blockschaltbild Lock-In-Verstärker

Der Lock-In-Verstärker verstärkt als erstes das Messsignal und filtert dies anschließend zur Begrenzung mit einem Bandpass. Das Signal wird dann zusammen mit dem Referenzsignal einem Mischer zugeführt. Dieser multipliziert beide Signale miteinander. Ein Phasenschieber sorgt dafür, dass das Referenzsignal in gleicher Phase mit dem Messsignal liegt. Zur Unterstützung kann eine Phasenregelschleife, engl. Phase-locked loop (PLL) das Referenzsignal vor dem Mischer verarbeiten. Das Ergebnis des Mixers wird anschließend in einem Tiefpass über mehrere Signalperioden integriert. Am Ausgang des Tiefpass liegt als Ergebnis eine Gleichspannung proportional zur Höhe der Eingangs-Wechselspannung an.

Das Mischen der beiden Frequenzen kann alternativ auch digital erfolgen. Beide Signale werden mit einem Analog-Digital-Umsetzer, engl. Analog-to-Digital-Converter (ADC) digitalisiert. Dann erfolgt die Phasenverschiebung des Referenzsignals. Anschließend werden beide Signale multipliziert. Das Produkt wird dann über mehrere Signalperioden integriert. Das Ergebnis kann dann digital weiterverarbeitet werden oder alternativ über einen Digital-Analog-Umsetzer, engl. digital to analog converter (DAC), als analoge Spannung ausgegeben werden.

Der Lock-In-Verstärker SR830 der Firma Scientific Instruments verwendet einen digitalen Signalprozessor, engl. digital signal processor (DSP), zur Signalverarbeitung. Im Blockschaltplan, Bild 2.4, sind alle Funktionen, die vom DSP übernommen werden, grau unterlegt.

Alternativ kann ein Computer mit Analog-Digital-Umsetzer Karte statt eines Lock-In-Verstärkers mit einem digitalen Signalprozessor verwendet werden. Hierfür muss das Messsignal ausreichend vorverstärkt werden. Zusätzliche Filter können dabei das Signal-Rausch-Verhältnis bereits vor der digitalen Signalverarbeitung verbessern. Bei den geringen Ein-

gangsspannungen und Strömen sollten dabei nur analoge Verstärker und Filter verwendet werden. Digitale Komponenten könnten mit ihrem Takt Störungen produzieren.

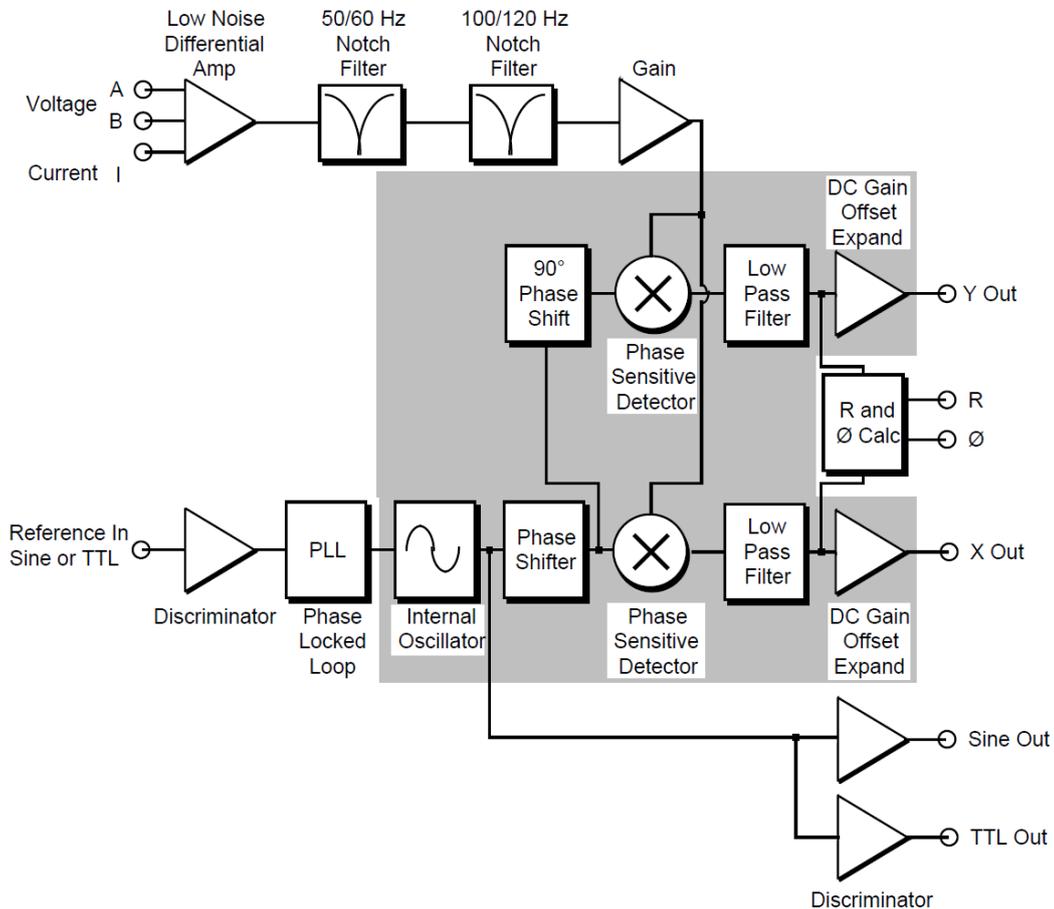


Bild 2.4: Blockschaltbild Lock-In-Verstärker Scientific Instruments SR830 [16]

Der Lock-In-Verstärker SR830 besitzt ein Eingangsruschen e_n von $6 \text{ nV}/\sqrt{\text{Hz}}$ bei einer Bandbreite B von 100 kHz . Aus einer Verstärkung A von 1000 resultiert eine Rauschspannung $U_{n, \text{eff}}$ von $1,9 \text{ mV}$. Ein Eingangssignal von 100 nV bei 1 kHz verstärkt mit Faktor 1000 wird zu $100 \text{ }\mu\text{V}$.

$$U_n = e_n \cdot \sqrt{B} \cdot A \quad (2.1)$$

Das Rauschen ist damit um den Faktor 19 größer als das Messsignal. Daraus resultiert ein Signal-Rausch-Verhältnis (SNR) von $-25,6 \text{ dB}$.

$$SNR = 20 \lg \frac{U_{Signal}}{U_{Rauschen}} \quad (2.2)$$

Der Lock-In-Verstärker erreicht mit seiner Bandbreite von 0,01 Hz, dass die Rauschspannung für diesen Bereich nach der Verstärkung nur noch 600 nV beträgt. Das Signal-Rausch-Verhältnis beträgt so 44,4 dB.

Zu dem Eingangsrauschen e_n muss noch das Rauschen des Messobjektes e_1 , des Generators e_2 und weiterer Quellen e_x addiert werden. Aus diesen Größen wird das Gesamtrauschen E_{Total} gebildet.

$$E_{Total} = \sqrt{e_n^2 + e_1^2 + e_2^2 + e_x^2} \quad (2.3)$$

Das Rauschen des Generators wird dem Datenblatt entnommen. Für das Messobjekt kann das Rauschen über dem Innenwiderstandes berechnet werden. Aus dem Widerstand R , der Bandbreite B und der Temperatur T des Objektes lässt sich die Rauschspannung U_R und der Rauschstrom I_R für thermisches Rauschen (weißes Rauschen) berechnen.

$$U_R = \sqrt{4k_B T R B} \quad (2.4)$$

$$I_R = \sqrt{\frac{4k_B T B}{R}} \quad (2.5)$$

Die Angabe der absoluten Temperatur erfolgt in Kelvin, die Bandbreite bildet sich aus $f_{max} - f_{min}$ in Hertz und k_b ist die Boltzmann-Konstante.

Als Beispiel soll eine Rausch-Berechnung für eine Halbleitermessung bei einer Temperatur von 300 ° mK erfolgen. Es soll der Widerstand der Halbleiterprobe R_{Probe} bestimmt werden. Die Messung erfolgt als Vierleitermessung; gemessen werden der Strom und die Spannung am Widerstand R_{Probe} .

Bild 2.5 zeigt den Versuchsaufbau. Die Spannung wird als Differenzmessung über den Punkten **A** und **B** gemessen. Der Strom wird am Punkt **I** erfasst. Die Widerstände bilden einen Spannungsteiler im Verhältnis 10.000:1. Sie haben die Werte R_1 100 k Ω und R_2 10 Ω . Beide Messungen erfolgen jeweils mit einem Lock-In-Verstärkern SR830 von Scientific Instruments [16]. Der Generator wird von einem der beiden Lock-In-Verstärker für die Messung genutzt, die Generatorspannung beträgt 1 V.

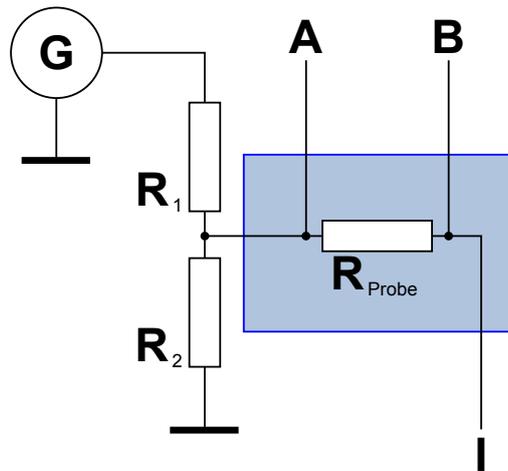


Bild 2.5: Versuchsaufbau einer Halbleitermessung

Der Widerstand der Probe kann im Bereich $10\text{ k}\Omega$ bis $1\text{ G}\Omega$ liegen. Der hochohmige Probenwiderstand R_{Probe} parallel zum niederohmigen Widerstand R_2 beeinflusst dabei den Spannungsteiler minimal. Der Punkt I liegt bei der Strommessung durch den Lock-In-Verstärker auf einem virtuellen Masse-Bezugspunkt.

Der Generator des Lock-In-Verstärkers rauscht bei einer Spannung von $1,41\text{ V}$ mit $100\text{ }\mu\text{V}$. Bei 1 V beträgt die Rauschspannung des Generators $70\text{ }\mu\text{V}$.

Zum Generatorrauschen addiert sich das Rauschen des Widerstandes R_1 . Die Temperatur beträgt $20\text{ }^\circ\text{C}$, $293,15\text{ }^\circ\text{K}$, bei einer Bandbreite von 100 kHz . Die Rauschspannung des Widerstandes $U_{n R_1}$ beträgt $12,7\text{ }\mu\text{V}$.

Zur Berechnung der Rauschspannung werden für den Proben-Widerstand die Werte $10\text{ k}\Omega$ und $1\text{ G}\Omega$ angenommen. Die Temperatur der Probe, blauer Kasten, beträgt $300\text{ }^\circ\text{mK}$, zusätzlich wird die Rauschspannung bei Raumtemperatur bestimmt. Tabelle 2.1 zeigt die Rauschspannung des Proben-Widerstandes.

Widerstand	Temperatur	Rauschspannung $U_{n \text{ Probe}}$
$10\text{ k}\Omega$	$0,3\text{ }^\circ\text{K}$	$0,13\text{ }\mu\text{V}$
$10\text{ k}\Omega$	$293,15\text{ }^\circ\text{K}$	$4\text{ }\mu\text{V}$
$1\text{ G}\Omega$	$0,3\text{ }^\circ\text{K}$	$40,7\text{ }\mu\text{V}$
$1\text{ G}\Omega$	$293,15\text{ }^\circ\text{K}$	$1272\text{ }\mu\text{V}$

Tabelle 2.1: Rauschspannung des Probenwiderstand

Das Eingangsruschen des Lock-In-Verstärkers beträgt $1,9\text{ }\mu\text{V}$. Die Gesamtrauschspannung addiert sich aus dem Generatorrauschen, den Spannungsteiler-Widerstand, Proben-

2 Analyse

Widerstand und dem Eingangsrauschen des Lock-In-Verstärkers. Tabelle 2.2 zeigt das Gesamttrauschen E_{Total} als Effektivwert.

Widerstand	Temperatur	Gesamtrauschen E_{Total}	SNR	SNR Lock-In
10 k Ω	0,3 ° K	71,2 μ V	3 dB	63 dB
10 k Ω	293,15 ° K	71,3 μ V	3 dB	63 dB
1 G Ω	0,3 ° K	82 μ V	1,7 dB	61,7 dB
1 G Ω	293,15 ° K	1274 μ V	-22,1 dB	37,9 dB

Tabelle 2.2: Gesamttrauschen E_{Total}

Der Lock-In-Verstärker SR830 ermöglicht Messungen mit einem Signal-Rausch-Verhältnis von -60 dB, bei Nutzung der vollen dynamischen Reserve bis zu -100 dB. Die Summe des Signal-Rausch-Verhältnis aus dem Dynamik-Umfang des Lock-In-Verstärkers und dem Gesamttrauschen ergibt ein ausreichend großen Verhältnis. Ein Signal-Rausch-Verhältnis von 40 dB bedeutet hierbei, dass das Messsignal 100 mal größer als das Rauschen ist.

3 Entwicklung

Grundlage der Entwicklung des Messverstärkers ist der Blockschaltplan in Bild 3.1. Er zeigt eine Übersicht aller Komponenten, ihrer Funktionen und den kompletten Verlauf des Messsignals. Der Schwerpunkt liegt hierbei auf der analogen Signalverarbeitung des Messsignals. Zusammengefasst werden alle Teile als analoge Baugruppe bezeichnet.

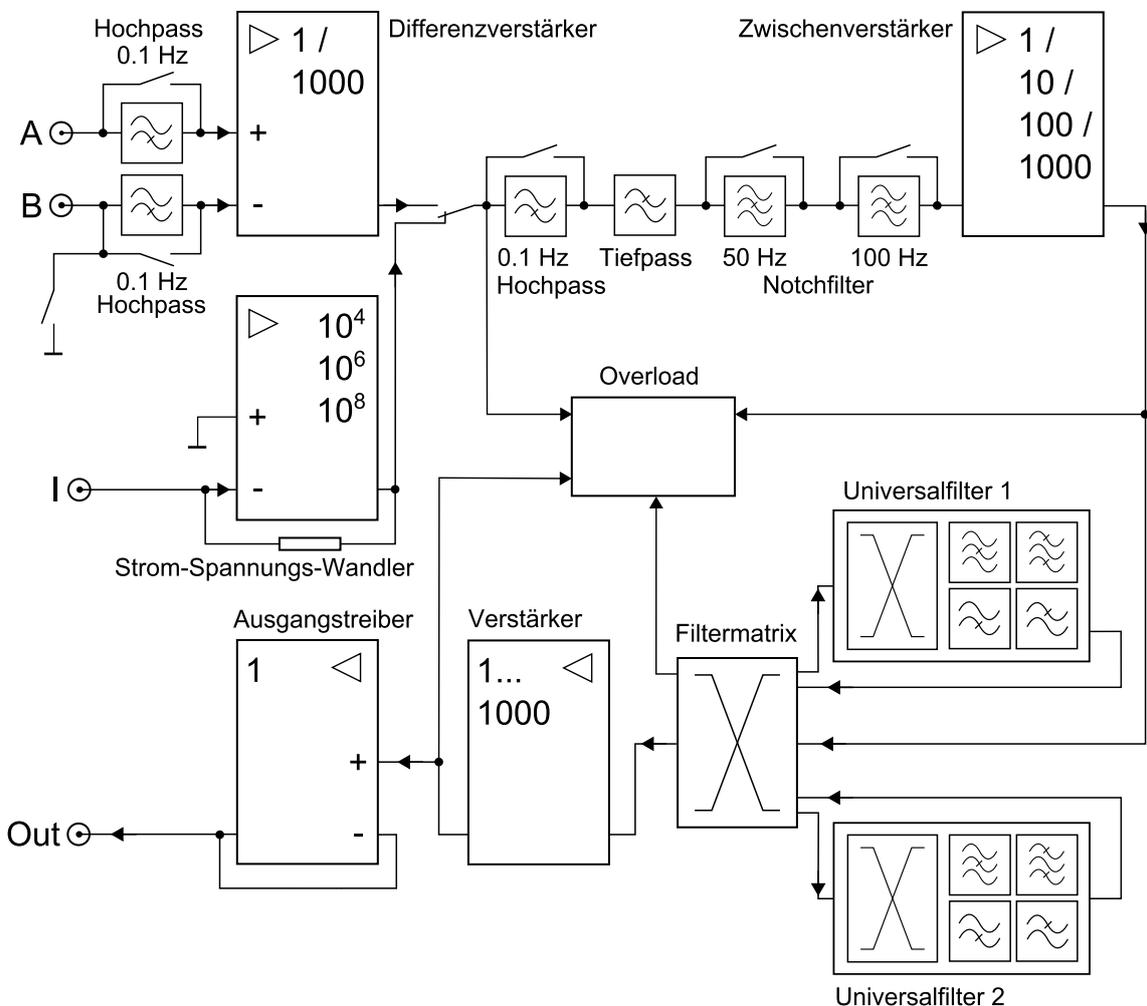


Bild 3.1: Blockschaltplan des Messsignal

Die Steuerung der analogen Baugruppe wird durch die digitale Baugruppe in Bild 3.2 realisiert. Sie steuert alle analogen Komponenten, übernimmt die Stromversorgung und bildet die Schnittstelle zur Kommunikation mit dem Messverstärker.

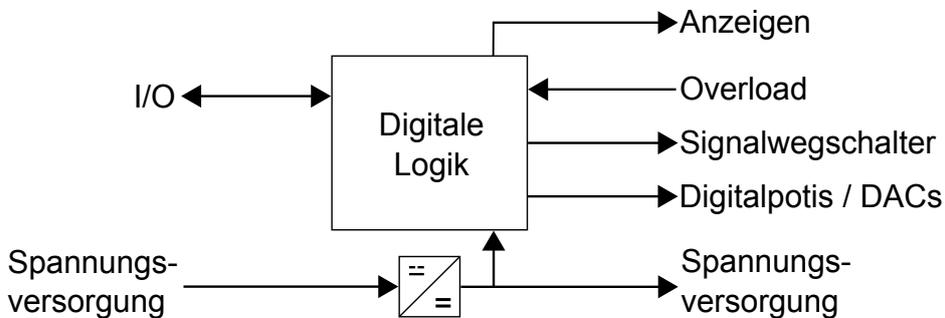


Bild 3.2: Digitale Steuerung und Stromversorgung

Die Trennung der Baugruppen soll auch bei der Umsetzung in Hardware erfolgen. Der räumliche Abstand der zwei Baugruppen sorgt dabei für geringere Einflüsse und Störungen auf das Messsignal. Gleichzeitig erleichtert die Trennmöglichkeit die Fehlersuche bei der Entwicklung erheblich. Auch sind Modifikationen und Erweiterungen der einzelnen Baugruppen unabhängig voneinander möglich.

3.1 Anforderungen

Die folgenden Parameter sind für die Entwicklung des Messverstärkers festgelegt und bilden die Grundlage für das Design:

- Rauscharme Eingangsverstärker
- Spannungs- und Differenzmessung
- Spannungsmessbereich 100 nV bis 1 V
- Strommessbereich 100 pA bis 1 mA
- Frequenzbereich DC bis 8 kHz
- Ausgangs-Aussteuerung möglichst bis auf ± 10 V
- Zuschaltbare Gleichspannungsunterdrückung
- Filter zur Unterdrückung von Netzstörungen

- Zwei flexible Universalfilter zweiter Ordnung als Hoch-, Tief-, Bandpass oder Bandsperrfilter
- Flexible Verstärkung bis zur Volllaststeuerung
- Modularer Einschub und paralleler Betrieb mehrerer Einschübe
- Statusanzeige am Frontpanel
- Digitale Schnittstelle zur PC-Steuerung

Wird der Messverstärker zusammen mit einem Analog-Digital-Umsetzer, engl. analog to digital converter (ADC), eingesetzt, soll das Ausgangssignal möglichst den gesamten Eingangsbereich des ADCs abdecken. Nur so kann Quantisierungsrauschen vermieden werden. Eine Verstärkung von 10^8 ermöglicht so die Volllaststeuerung von 10 V bei einer Eingangsspannung von 100 nV. Für einen Eingangsstrom von 100 pA ist ein Proportionalfaktor von 10^{11} V/A für eine Volllaststeuerung von 10 V möglich.

Die erforderliche Verstärkung teilt sich dabei auf mehrere Verstärkerblöcke auf. Bis auf den Ausgangsverstärker erfolgt diese dabei mit festen Faktoren. Am Ausgang erfolgt dann eine variable Verstärkung.

Nach den Eingangsverstärkern wird das Messsignal durch einen zuschaltbaren Hochpass und einen Tiefpass gefiltert. Zusätzlich können Netzstörungen vor der weiteren Verstärkung entfernt werden. Nach dem Zwischenverstärker erfolgt dann die eigentliche Filterung durch die Universalfilter. Für eine Lock-In-Messung wäre z.B. die Kopplung der beiden Universalfilter im Bandpass-Modus möglich. Hieraus entsteht ein schmalbandiger Bandpass vierter Ordnung mit der Messfrequenz als Resonanzfrequenz. Dies ermöglicht eine Filterung mit 80 dB, reduziert Störungen und verbessert das Signal-Rausch-Verhältnis.

Nach dieser Filterung erfolgt dann die letzte Verstärkung. Sie kann variabel erfolgen und ermöglicht so eine Volllaststeuerung. Sollte diese überschritten werden, meldet dies die Übersteuerungskontrolle, engl. Overload.

Die maximale Gesamtverstärkung liegt bei 10^9 für Spannungen und 10^{14} V/A für Ströme.

3.2 Analoge Komponenten

Die Eingänge des Messverstärkers bilden die Buchsen **A**, **B** und **I**. Messungen von Spannungsdifferenzen erfolgen über den positiven Eingang **A** und den negativen Eingang **B**. Eine Einzelspannung wird über dem positiven Eingang **A** gemessen, der negative Eingang **B** wird auf Eingangsbegrenzpotential geschaltet. Zuschaltbare Hochpassfilter mit der Grenzfrequenz

0,1 Hz an den beiden Eingängen ermöglichen eine gleichspannungsfreie Messung. Die Verstärkung des Differenzverstärkers ist zwischen den beiden Faktoren 1 und 1000 wählbar. Eine hohe Verstärkung ist hierbei für ein gutes Signal-Rausch-Verhältnis erforderlich. Für größere Spannungspegel am Eingang kann diese auf 1 reduziert werden.

Messung von Strömen erfolgt über die Buchse **I** mit einem Strom-Spannungs-Wandler. Als Proportionalfaktor stehen die Faktoren 10^4 V/A, 10^6 V/A und 10^8 V/A zur Verfügung. Der Faktor 10^8 V/A wandelt einen Eingangsstrom von 100 pA in eine Spannung von 10 mV. Der maximale Eingangsstrom von 1 mA wird mit dem Proportionalfaktor 10^4 V/A in eine Spannung von 10 V gewandelt.

Über einen Eingangsselektor wird der Spannungs- oder Strommessverstärker ausgewählt. Die anschließende Signalverarbeitung ist für beide Messungen identisch. Für eine gleichzeitige Messung von Strom und Spannung werden zwei Messverstärkern verwendet. Ein zuschaltbarer Hochpassfilter mit der Grenzfrequenz 0,1 Hz ermöglicht das gleichspannungsfreie Messen von Strömen.

Zur Reduzierung von Störungen und zur Verbesserung des Signal-Rausch-Verhältnisses folgt ein Tiefpassfilter zur Begrenzung der maximalen Messfrequenz des Messverstärkers. Eine Begrenzung der Frequenz bereits vor den Eingängen wäre ein erster Ansatz. Die für die Umsetzung erforderlichen Bauteile erhöhen aber das Eingangsauschen erheblich. Aus diesem Grund erfolgt eine Begrenzung erst nach den Eingangsstufen der Verstärker. Zwei Notchfilter zur Reduzierung von Störungen durch die 50 Hz Netzfrequenz und der ersten Oberwelle mit 100 Hz können zugeschaltet werden.

Das gefilterte Messsignal kann anschließend durch einen Zwischenverstärker im Pegel weiter angehoben werden. Wählbare Verstärkungsfaktoren sind 1, 10, 100 und 1000. Das verstärkte Messsignal wird anschließend über eine Matrix an zwei Universalfilter weitergeleitet. Über die Filtermatrix können die Filter in Reihe oder parallel geschaltet werden, und somit verschiedene Filterarten bilden.

Die Universalfilter stellen an ihren vier Ausgängen das Signal nach einer Hoch-, Tief-, Bandpass oder einer Bandsperrenfilterung bereit. Über einen Multiplexer kann die Filterart gewählt werden, diese wird dann wieder der Filtermatrix zugeführt. Die Resonanzfrequenz, Verstärkung und Güte des Filters sind dabei frei und unabhängig voneinander wählbar.

Nach der Filtermatrix erfolgt eine weitere Verstärkung des Messsignals. Diese Verstärkung soll im Bereich von 1 bis 1000 kontinuierlich einstellbar sein. Ein Ausgangstreiber entkoppelt das Messsignal anschließend vom Messverstärker und stellt es an der Buchse **Out** bereit.

Für die Überwachung der maximalen zulässigen Spannung des Messsignal ist die Übersteuerungskontrolle zuständig. Sie prüft am Eingangsselektor, nach dem Zwischenverstärker, an den Filterausgängen und am Ausgangsverstärker den Signalpegel. Wird der maxi-

male Pegel von $\pm 10\text{ V}$ überschritten, wird dieses über LEDs signalisiert und an die digitale Baugruppe gemeldet.

3.3 Digitale Steuerung und Stromversorgung

Die Steuerung der einzelnen analogen Komponenten kann auf verschiedene Arten realisiert werden:

- Parallele Einzelsteuerung
- Mikrocontroller mit Bus-Schnittstelle
- Speicherprogrammierbarer Logikbaustein mit Bus-Schnittstelle

Bei einer parallelen Einzelsteuerung werden alle Steuersignale über einen oder mehrere Stecker aus dem Messverstärker geführt. Vorteil bei dieser Lösung ist, dass die Anzahl aktiver digitaler Bauteile im Messverstärker auf ein Minimum reduziert werden kann. Das Protokoll kann unabhängig von der verbauten Hardware implementiert werden. Eine zusätzliche oder alternative Steuerung durch Schalter und Bedienelemente wäre möglich. Die Umsetzung erfordert aber zum einen viele Steckkontakte und bedeutet zum anderen lange Leitungswege. Auf diesen Wegen können so Störungen von außen direkt zu den analogen Komponenten gelangen.

Der Einsatz einer Bus-Schnittstelle ermöglicht die Reduzierung von Leitungen zur Kommunikation. Gleichzeitig ist eine Kapselung der analogen Komponenten von der externen Ansteuerung möglich. Zusammen mit einem Mikrocontroller kann dies einfach realisiert werden. Durch die Programmierung des Controllers können verschiedener Schnittstellen und Protokolle genutzt werden. Zusätzlich können weitere Funktionen direkt in den Mikrocontroller integriert werden. Entscheidender Nachteil bei der Anwendung ist der erforderliche Takt für den Prozessor. Dieser stellt eine starke Störquelle für den Messverstärker da. Das Abschalten des Taktes ist durch die Nutzung von Schlafzuständen möglich. Während dieser Zeit können aber keine Signale, z.B. von der Übersteuerungskontrolle, verarbeitet werden. Hierfür muss der Prozessor aber erst wieder aufwachen und seine Taktquelle starten.

Ein speicherprogrammierbarer Logikbaustein, engl. Complex Programmable Logic Device (CPLD) besteht aus getakteter und kombinatorischer Logik. Diese kann beliebig miteinander kombiniert werden, festgelegt durch die Programmierung des Bausteins. Dadurch lassen sich ebenfalls verschiedene Protokolle und Schnittstellen realisieren. Gegenüber einem Mikrocontroller benötigt der Baustein aber nicht unbedingt eine eigene Taktquelle. Der Takt für

die Datenübertragung zum Messverstärker kann dabei vom Sender kommen. Übertragungen vom Verstärker können umgesetzt durch kombinatorischer Logik so ohne eigenen Takt erfolgen.

Die Wahl für die zentrale Steuerungslogik fällt daher auf einen speicherprogrammierbarer Logikbaustein mit Bus-Schnittstelle. Ausschlaggebend ist die mögliche Verwendung ohne lokale Taktquelle im Messverstärker.

Zweite Aufgabe der digitalen Baugruppe ist die Stromverteilung und Versorgung aller Komponenten. Die Nutzung von Schaltreglern scheidet aus. Diese benötigen ebenfalls einen Takt zum Schalten. Stattdessen werden Längsregler eingesetzt. Diese regeln alle benötigten Spannungen für die Baugruppen. Zusätzlich soll für die Eingangsstufen eine eigene Stromversorgung erfolgen. Dies entkoppelt Sie zusätzlich von möglichen Störungen.

4 Design

Basierend auf dem Designentwurf beginnt die Umsetzung in einen Schaltplan mit den analogen Komponenten. Der Übersichtsschaltplan orientiert sich dabei an den Designzeichnungen Bild 3.1 und 3.2. Die Realisierung einzelner Blöcke erfolgt als jeweils eigenständige Baugruppe auf eigenen Schaltplänen. Alle Schaltpläne befinden sich zusätzlich im Anhang ab Seite 99.

4.1 Analoge Baugruppen

Der Hauptschaltplan in Bild 4.1 zeigt den Signalpfad des Messsignals von den Eingängen durch die einzelnen Baugruppen bis zum Ausgang.

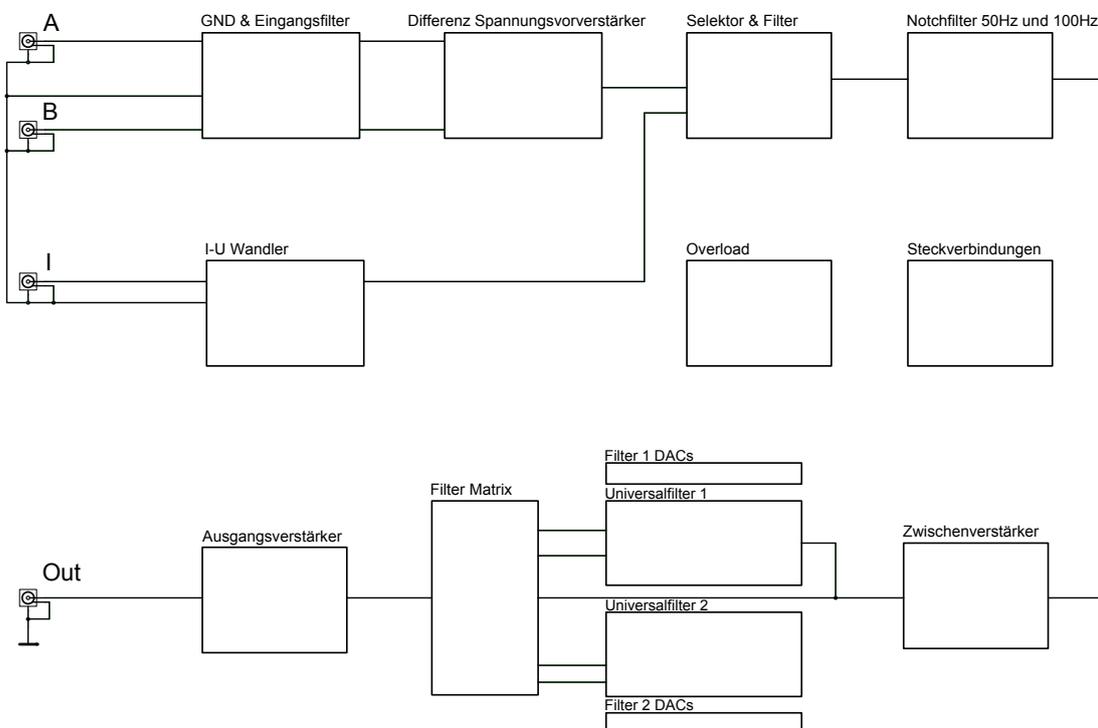


Bild 4.1: Übersichtsschaltplan der analogen Baugruppen

Die Spannungseingänge **A** und **B** sind verbunden mit den Eingangsfiltern und der Eingangs-Bezugsmasse im Modul (*GND & Eingangfilter*). Von dort gehen die Signale weiter zum Differenzverstärker Modul (*Differenz Spannungsvorverstärker*). Der Stromeingang **I** führt über das Strom-Spannungs-Wandler Modul (*I-U Wandler*) zum Selektor und Filter Modul (*Selektor & Filter*). Im Filterblock befindet sich der Eingangswähler zwischen Strom- und Spannungseingang. Das Ausgangssignal geht weiter zu den Notchfiltern Modul (*Notchfilter 50Hz und 100Hz*) und von dort zum Zwischenverstärker Modul (*Zwischenverstärker*). Das Matrix Modul (*Filter Matrix*) verbindet die beiden Universalfilter Module (*Universalfilter 1*) und (*Universalfilter 2*) miteinander. Das Ausgangssignal der Matrix gelangt anschließend zum Ausgangsverstärker Modul (*Ausgangsverstärker*) und von dort zur Ausgangsbuchse **Out**. Zu den beiden Universalfiltern gehört jeweils eine Gruppe von Digital- zu Analogwandlern im Modul (*Filter 1 DACs*) und (*Filter 2 DACs*). Das Überschreiten von Signalpegeln wird in der Übersteuerungsbaugruppe Modul (*Overload*) überwacht. Im Schaltplan Modul (*Steckverbindungen*) sind die Verbindungen der Platine zusammengefasst.

4.1.1 Differenz Spannungsvorverstärker

Zur Spannungsmessung soll ein Differenzverstärker [31] mit vorschaltbaren Hochpassfiltern eingesetzt werden. Der Messbereich erstreckt sich von ± 100 nV bis ± 1 V. Im 2-Kanalbetrieb wird die Differenz von Eingang A und Eingang B verstärkt. Im 1-Kanalbetrieb nur das Signal am Eingang A relativ zum Eingangs-Bezugspotential. Der Eingangsverstärkungsfaktor ist umschaltbar zwischen Verstärkung 1 und 1000.

Für den Differenzverstärker sind folgende Eigenschaften gefordert:

- Geringes Rauschen
- Großer Eingangswiderstand
- Hohe Gleichtaktunterdrückung, engl. common mode rejection ratio (CMRR)
- Geringe DC-Offsetspannung

Die Umsetzung kann entweder diskret aus einzelnen Operationsverstärkern (Bild 4.2) oder monolithisch durch einen integrierten Schaltkreis (IC) erfolgen. Bei einer diskreten Umsetzung kommt ein Subtrahierer **OV3** als Differenzverstärker zur Anwendung. Vorgeschaltete Spannungsfollower als Impedanzwandler sorgen dabei für einen hohen Eingangswiderstand und belasten nicht die Widerstände des Subtrahierers. Der Verstärkungsfaktor wird über die Widerstände R_1 und R_2 bestimmt.

$$U_a = \frac{R_2}{R_1}(U_2 - U_1) \quad (4.1)$$

Soll eine bessere Gleichtaktunterdrückung erzielt werden, muss die Spannungsverstärkung bereits in den Impedanzwandlern erfolgen. Die Schaltung aus Bild 4.2 wird durch zusätzliche Widerstände erweitert (Bild 4.3). Die Verstärkung des Subtrahierers **OV3** wird über die Widerstände (R_3) auf 1 gesetzt. Der Gesamtverstärkungsfaktor wird über den Widerstand R_1 festgelegt. Für $R_1 = \infty$ entspricht sie der vorherigen Schaltung mit einer Gesamtverstärkung von 1.

$$U_a = \left(1 + \frac{2R_2}{R_1}\right)(U_2 - U_1) \quad (4.2)$$

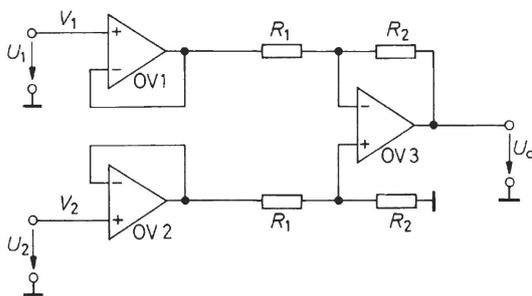


Bild 4.2: Differenzverstärker mit vorgeschalteten Impedanzwandlern [31]

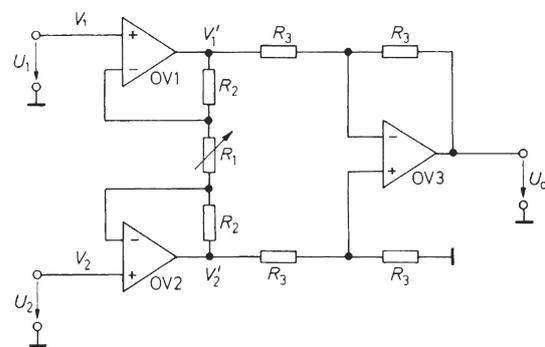


Bild 4.3: Instrumentenverstärker [31]

Diese Operationsverstärkerschaltung wird als Instrumentenverstärker bezeichnet und ist auch als integrierter Schaltkreis erhältlich. Die Industrie bietet diese mit integrierten und fertig abgeglichenen Widerständen an. Die kompakte Bauform und gute thermische Kopplung der einzelnen Bauelemente sorgt dabei für geringes Rauschen und eine hohe Gleichtaktunterdrückung. Es empfiehlt sich daher die Nutzung eines integrierten Schaltkreises.

Komponentenauswahl

Die Tabelle 4.1 zeigt eine Auswahl von Instrumentenverstärkern der Hersteller Analog Devices [6], Linear Technology [10] und Texas Instruments [22].

Bei einem Vergleich der verschiedenen Schaltkreise zeigt sich, dass es keinen Verstärker gibt, der niedrige Eingangsströme, Offsetspannung und Rauschspannung vereint. Der AD8429 ist mit einer Rauschspannung von $1 \text{ nV}/\sqrt{\text{Hz}}$ der rauschärmste Operationsverstärker, liegt aber mit einem Eingangsstrom von 150 pA nur im Mittelfeld. Die Verfügbarkeit des Bauteils ist trotz des Status „Produktion“ auf der Herstellerseite nicht gegeben. Es handelt sich um eine Neuentwicklung, dass Datenblatt ist von Mai 2011.

Typ	Hersteller	Verstärkung	Eingangsstrom I_B	Offsetspannung V_{OSI}	Eingangs-Rauschspannung e_{ni}
AD620	Analog D.	1...10000	500 pA	30 μ V	9 nV/ $\sqrt{\text{Hz}}$
AD8429	Analog D.	1...10000	150 nA	50 μ V	1 nV/ $\sqrt{\text{Hz}}$
LT1167	Linear T.	1...10000	90 pA	40 μ V	7,5 nV/ $\sqrt{\text{Hz}}$
LT1168	Linear T.	1...10000	40 pA	15 μ V	10 nV/ $\sqrt{\text{Hz}}$
LT1920	Linear T.	1...10000	500 pA	30 μ V	7,5 nV/ $\sqrt{\text{Hz}}$
INA101	Texas I.	1...10000	5 nA	110 μ V	13 nV/ $\sqrt{\text{Hz}}$
INA114	Texas I.	1...1000	500 pA	30 μ V	11 nV/ $\sqrt{\text{Hz}}$
INA116	Texas I.	1...1000	3 fA	1 mV	28 nV/ $\sqrt{\text{Hz}}$
INA121	Texas I.	1...1000	4 pA	400 μ V	20 nV/ $\sqrt{\text{Hz}}$
INA129	Texas I.	1...10000	2 nA	110 μ V	8 nV/ $\sqrt{\text{Hz}}$

Tabelle 4.1: Auswahl Instrumentenverstärker

Der LT1167 bietet hier mit einem Eingangsstrom von 90 pA, einer Offsetspannung von 40 μ V und einer Rauschspannung von 7,5 nV/ $\sqrt{\text{Hz}}$ einen guten Kompromiss. Seine Bandbreite beträgt bei einer Verstärkung von 1000 12 kHz. Die Verfügbarkeit ist durch verschiedene Lieferanten gewährleistet, (Stand 03.08.2011). Das IC wird vom Hersteller als oberflächenmontiertes Bauelement, engl. surface-mounted device (SMD), und zur Durchsteckmontage, engl. dual in-line package (DIL), gefertigt. Ein Tausch gegen den Pinkompatiblen LT1168 ist möglich. Dieser hat eine etwas höhere Rauschspannung und dafür einen geringeren Offset und Eingangsstrom. Seine Bandbreite ist aber auf 1 kHz bei einer Verstärkung von 1000 beschränkt.

Die Verwendung von steckbaren Schaltkreisen (DIL) zusammen mit hochwertigen IC-Sockeln macht ein Auswechseln des Differenzverstärkers einfach möglich. Für die Eingangsstufe (Schaltplan Bild 4.4) wird der LT1167A [9] Differenzverstärker in DIL Ausführung verwendet.

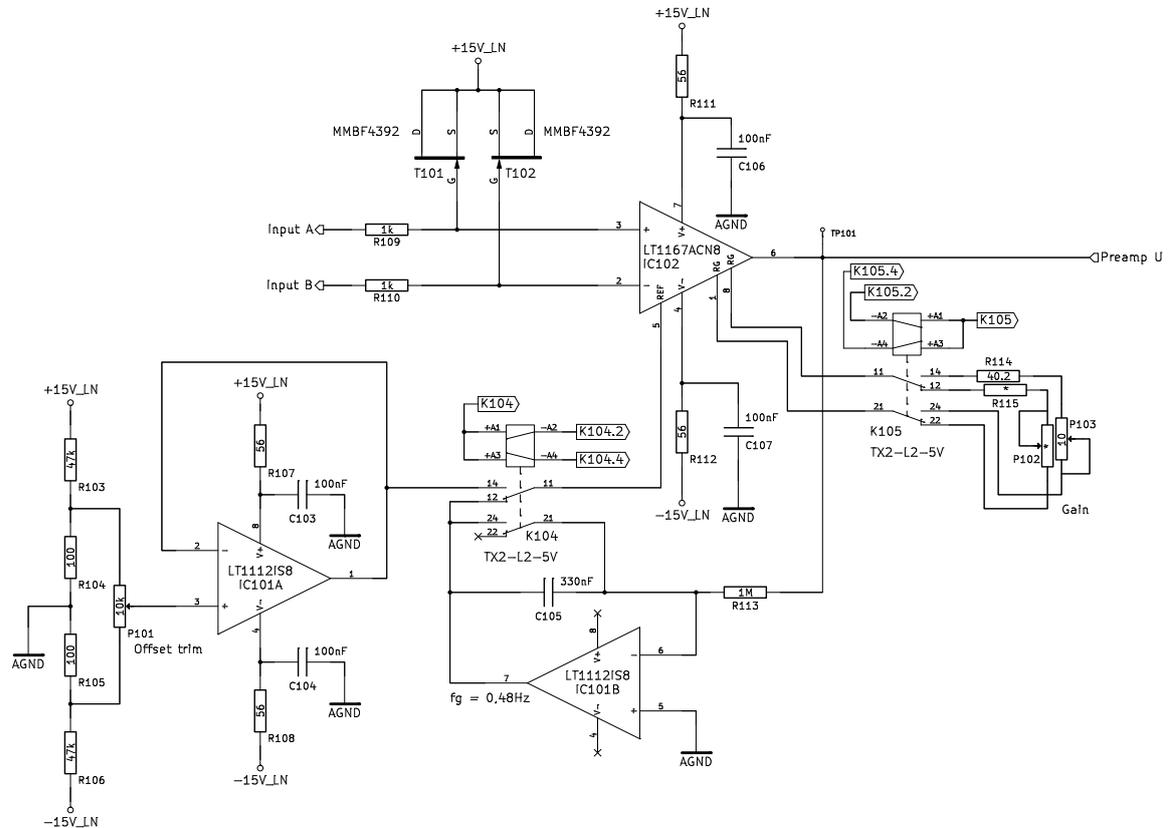


Bild 4.4: Schaltplan: *Differenz Spannungsvorverstärker*

Eingangsschutz

Zum Schutz des Differenzverstärkers vor Überspannung und elektrostatischen Entladungen, engl. electrostatic discharge (ESD) besitzt der LT1167 interne Schutzdioden (clamp diodes) an den Eingängen. Der Strom darf hierbei aber ± 20 mA nicht überschreiten. Dies würde zu einer Zerstörung der Dioden führen.

Der maximale Eingangsstrom muss mit einem Widerstand begrenzt werden. Dieser verursacht aber, abhängig von seinem Wert, zusätzliches Rauschen am Eingang. Zur Reduzierung des Widerstandwertes kann dieser mit einer externen Schutzdiode kombiniert werden. Durch den Einsatz eines Sperrschicht-Feldeffekttransistor (JFET) statt einer Diode können geringere Leckströme und Rauschenspannungen erreicht werden. Die Widerstände **R109** und **R110** bilden zusammen mit den Transistoren **T101** und **T102** die Eingangsschutzschaltung des Differenzverstärkers (Schaltplan Bild 4.4).

Eingangsfilter

Zur gleichspannungsfreien Messung kann jeweils ein Filter in die Eingänge geschaltet werden (Schaltplan Bild 4.5). Ein Kondensator blockt dazu den Gleichspannungsanteil und bildet zusammen mit einem Widerstand einen RC-Hochpassfilter. Dieser Widerstand liegt parallel zum Eingangswiderstand des Differenzverstärkers, dieser ist im Bereich $200\text{ G}\Omega$ bis $1000\text{ G}\Omega$ [9] und beeinflusst ihn somit nicht. Die Bauteilwerte für das Filter werden mit der Anwendung FilterPro Desktop [21] von Texas Instruments bestimmt. Das Ergebnis und eine Simulation des Filters befinden sich im Anhang auf Seite 91. Die Grenzfrequenz f_g des verwendeten Filters beträgt $0,16\text{ Hz}$. Das Relais **K102** schaltet den 100 nF Kondensator **C101** mit einem $10\text{ M}\Omega$ Widerstand **R101** in die Signalleitung von Eingang A. Eingang B nutzt Relais **K103**, Kondensator **C102** und Widerstand **R102**.

$$f_g = \frac{1}{2 \cdot \pi \cdot R \cdot C} \quad (4.3)$$

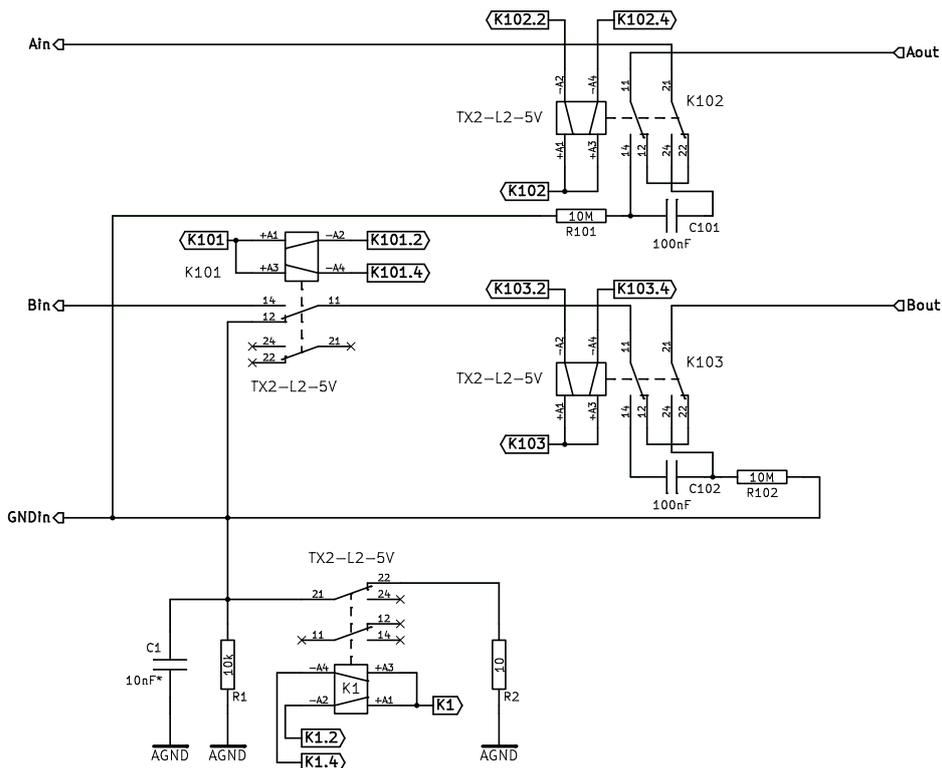


Bild 4.5: Schaltplan: GND & Eingangsfilter

Die Simulation in Bild 4.6 des Filters mit LTspice [11] zeigt ab 1 Hz einen annähernd linearen Frequenzgang.

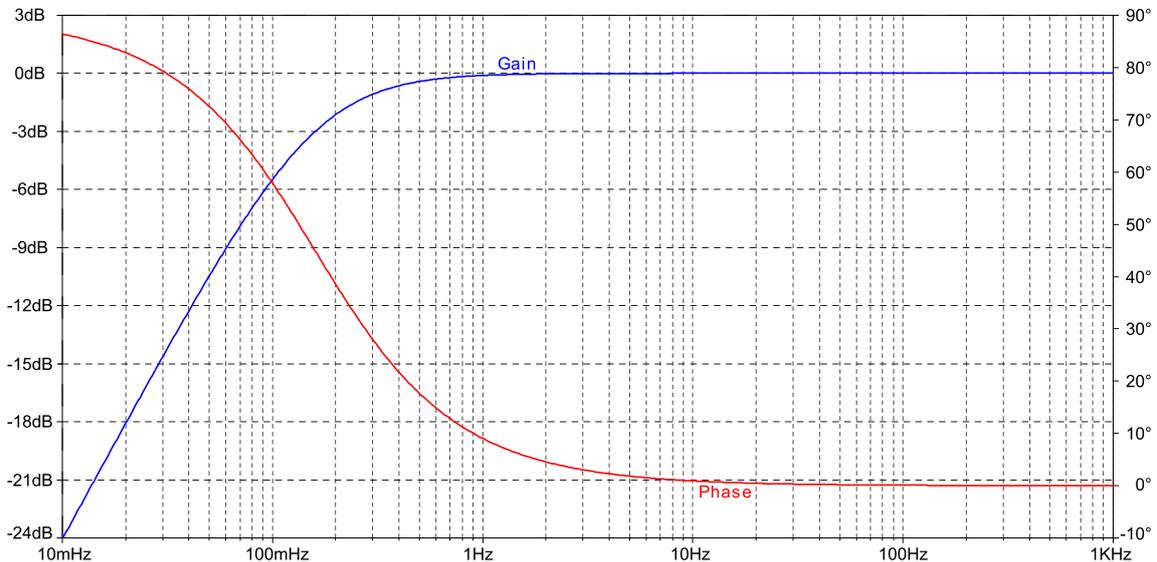


Bild 4.6: Frequenz- und Phasengang 0,16 Hz Hochpassfilter, simuliert mit LTspice [11]

Die Nutzung des Hochpassfilters am Eingang sollte abgewogen werden. Die Widerstände der Filter erzeugen zusätzliches Rauschen an den Eingängen. Zusätzlich entstehen durch die Biasströme des Differenzverstärkers Offsetspannungen an den Widerständen. Diese addieren sich dann zu den Messsignalen. Bedingt durch Bauteiltoleranzen sind diese für beide Eingänge unterschiedlich.

Eingangs-Bezugspotential

Die Verwendung eines Differenzverstärkers ermöglicht das potenzialfreie Messen von Spannungsdifferenzen. Bei einer Differenzmessung (2-Kanalbetrieb) wird der Unterschied zweier Spannungen bezogen auf ein gemeinsames Potential gemessen und verstärkt. Die Spannung am Verstärkerausgang bezieht sich auf Verstärkerpotential.

Im 1-Kanalbetrieb wird das Eingangspotential auf den negativen Eingang des Differenzverstärkers gelegt. Die Messung erfolgt so bezogen auf das anliegende Eingangspotential und nicht das am Ausgang anliegende Verstärkerpotential.

Der Differenzverstärker bildet somit einen Trennverstärker. Eine galvanische Trennung liegt dabei aber nicht vor. Beide Potentiale sind hochohmig über einen $10\text{ k}\Omega$ Widerstand **R1**

miteinander verbunden (Schaltplan Bild 4.5). Der parallele Kondensator **C1** wirkt hierbei für hochfrequente Störungen als niedrige Impedanz.

Eine Messung auf gleichem Potential ist möglich. Das Relais **K1** verbindet dafür beide Potentiale über einen $10\ \Omega$ Widerstand **R2** niederohmig miteinander.

Verstärkung

Die Verstärkung G des Differenzverstärkers wird über den Widerstand R_G an Pin 1 und 8 festgelegt. Sie berechnet sich laut Datenblatt [9]:

$$R_G = \frac{49,4\ \text{k}\Omega}{G - 1} \quad (4.4)$$

Für eine geforderte Verstärkung von 1000 beträgt R_G $49,45\ \Omega$, bei Verstärkung 1 bleibt R_G offen. Die Umschaltung der Verstärkung erfolgt durch ein bistabiles Relais **K105** (Schaltplan Bild 4.4). Statt einer Verstärkung von 1 ist auch ein anderer Wert durch Bestücken des Widerstandes **R115** und des Potentiometers **P102** möglich.

Für die Eingangsstufen werden bistabile Relais verwendet. Sie besitzen minimale Leckströme und sehr geringe Durchgangswiderstände. Das Relais besitzt zwei stabile Schaltzustände. Jeder Zustand verfügt über eine eigene Relaispule. Zum Wechsel wird nur ein kurzer Schaltimpuls an einer der beiden benötigt. Dadurch ist das Relais im Ruhezustand stromlos und beeinflusst das Messsignal nicht.

Offset

Die Offsetspannung eines Verstärkers entsteht zum einen durch fertigungstechnische Asymmetrien in den an sich symmetrisch aufgebauten Eingangsstufen. Zum anderen durch Biasströme, welche über die Eingangswiderstände abfließen.

Bei einem Differenzverstärker gibt es zwei Angaben für die Offsetspannung in den Eingangsstufen [9]. Der Gesamt-Eingangsoffset, engl. total offset voltage referred to the input (RTI), dominiert bei niedrigen Verstärkungen, bei großen überwiegt der Gesamt-Ausgangsoffset, engl. total offset voltage referred to the output (RTO).

$$RTI = V_{OSI} + \frac{V_{OSO}}{G} \quad (4.5)$$

$$RTO = V_{OSI} \cdot G + V_{OSO} \quad (4.6)$$

Für $G = 1$ beträgt der maximale Offset der Eingangsstufen $55 \mu\text{V}$, bei $G = 1000$ sind es $15,04 \text{ mV}$.

Die Nutzung des Hochpasses am Eingang führt zu weiteren Offsetspannungen an den Widerständen des Filters. Diese werden zu den vorhandene Offsetspannung des Filters addiert. Gleichzeitig blockiert der Filterkondensator den Abfluss des Biasstromes in Richtung des Messobjektes. Wird ohne Filter gemessen, fließt der Strom ungehindert zum Messobjekt. Am internen Widerstand entsteht eine Offsetspannung. Asymmetrische Eingangswiderstände sollten deshalb unbedingt vermieden werden.

Ein Abgleich des Offsets ist über den Referenzeingang an Pin 5 möglich. Dieser ist intern mit einem der vier Widerstände des Differenzverstärkers verbunden (Bild 4.3). Das Anlegen einer Spannung muss dabei sehr niederohmig erfolgen, um die Gleichtaktunterdrückung nicht zu verschlechtern. Die Zuführung der Spannung erfolgt über einen Impedanzwandler **IC101A** vom Abgleichpotentiometer **P101** (Schaltplan Bild 4.4).

Alternativ kann auf eine automatische Offsetkorrektur umgeschaltet werden. Diese besteht aus einem Regelkreis mit einem invertierenden Integrator **IC101B** (Schaltplan Bild 4.4). Dieser integriert kontinuierlich die Ausgangsspannung des Instrumentenverstärkers. Das Ergebnis des Integrators wird auf den Referenzeingang des Instrumentenverstärker zur Korrektur zurückgeführt. Die Umschaltung des Referenzeinganges erfolgt über das Relais **K104**. Widerstand **R113** und Kondensator **C105** bilden zusammen die Zeitkonstante $\tau = 0,33 \text{ s}$ des Integrators.

$$\tau = R \cdot C \quad (4.7)$$

Eingangsrauschen

Das Diagramm in Bild 4.7 zeigt das frequenz- und verstärkungsabhängige Eingangsrauschen des LT1167 Operationsverstärkers [9]. Die Höhe der Rauschspannung ist dabei abhängig von der Bandbreite des Rauschens.

Zur Berechnung des Eingangsrauschen der kompletten Eingangsstufe wird eine Simulation mit LTspice durchgeführt. Der Hersteller stellt für den LT1167 kein vollständiges Modell für eine Rauschanalyse bereit. Eine Nachfrage beim Hersteller ergab, dass dieser zur Zeit dabei ist neue Modelle zu erstellen. Die Lösung und Empfehlung des Herstellers ist deshalb die Erzeugung eines eigenen Rauschmodells des Verstärkers. Aus den Werten des Datenblattes und mit dem LTspice Modell *Universal Operationsverstärker Modell 2* wird ein Rauschmodell des LT1167 erstellt. Das Bild 4.8 zeigt den Aufbau des Simulationsmodells.

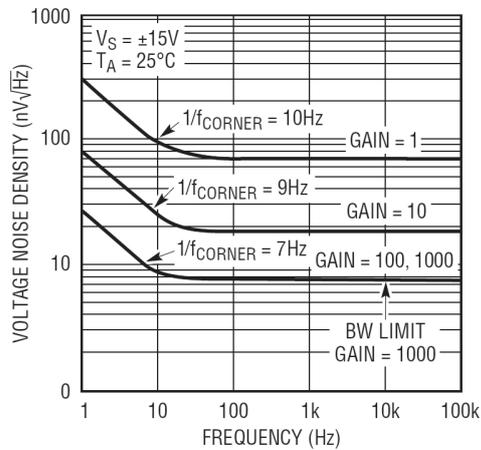


Bild 4.7: Eingangsruschen LT1167 [9]

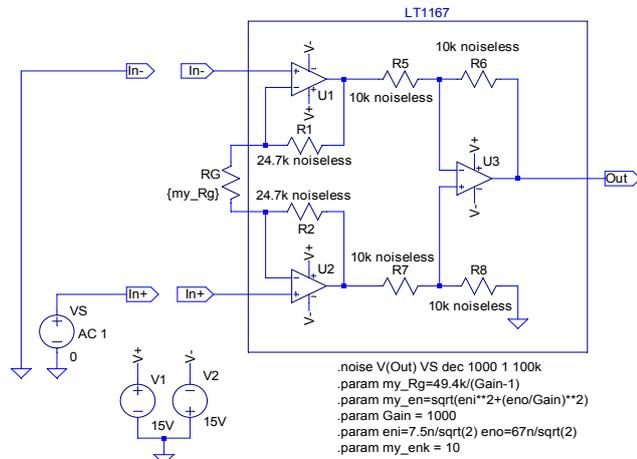


Bild 4.8: Schaltplan LT1167 Simulation mit LTspice [11]

Die Ergebnisse der Simulation zeigen die Bilder 4.9 für eine Verstärkung von 1 und 4.10 für eine Verstärkung von 1000. Die Simulation deckt sich dabei mit den Kurven und Werten des Datenblatts bis auf kleine Abweichungen im Kurvenverlauf im Bereich der Eckfrequenz (10 Hz). Die Kurve der Simulation besitzt in diesen Bereich eine höhere Rauschspannung. Für eine Betrachtung des Eingangsruschen im Bereich um 1 kHz stimmen die Werte vollständig mit denen des Datenblatts im Bild 4.7 überein.

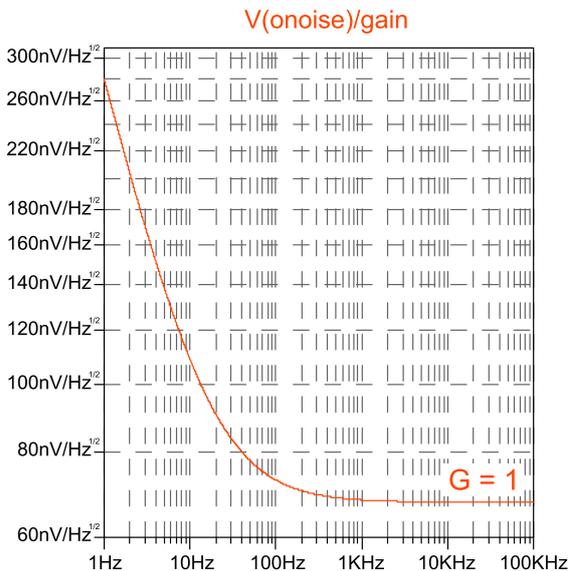


Bild 4.9: Eingangsruschen Modell LT1167 mit LTspice [11] für G = 1

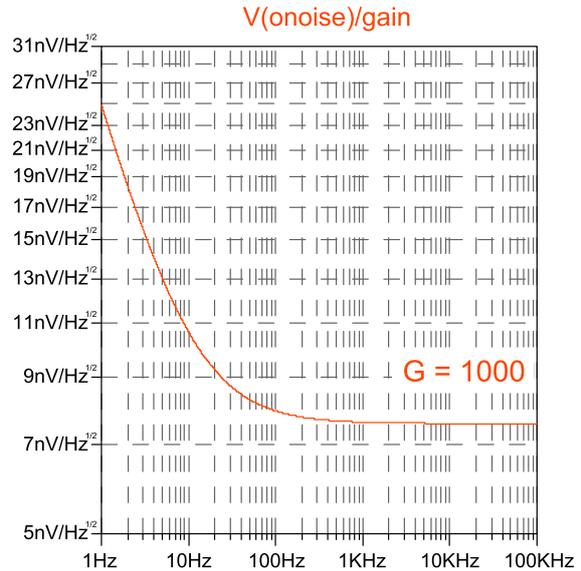


Bild 4.10: Eingangsruschen Modell LT1167 mit LTspice [11] für G = 1000

4 Design

Bild 4.11 zeigt das vollständige Simulationsmodell des Differenzverstärkers. Das Modell aus Bild 4.8 wurde mit Hochpassfiltern und Schutzmaßnahmen an den Eingängen erweitert. Diese Bauteile werden bei der Rauschanalyse mit einbezogen.

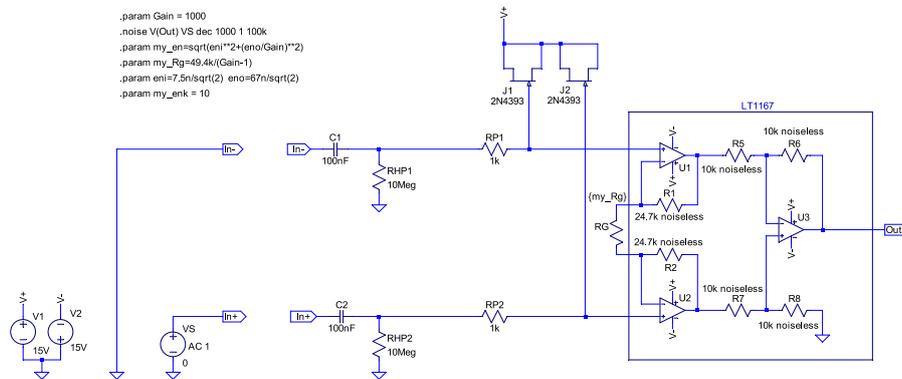


Bild 4.11: Simulationsmodell Differenzverstärker

Die Simulation in Bild 4.12 zeigt bei 1 kHz und ohne Verstärkung ein Eingangsrauschen von $68,2 \text{ nV}/\sqrt{\text{Hz}}$. Durch das Verstärkungs-Bandbreiteprodukt wird die Eingangsbandbreite dabei auf 1 MHz begrenzt. Bei einer Verstärkung von 1000 zeigt Bild 4.13 eine Reduzierung des Eingangsrauschen auf $9,6 \text{ nV}/\sqrt{\text{Hz}}$ bei einer Bandbreite von 12 kHz. Dies ergibt eine Rauschspannung $U_{n, \text{eff}}$ von 1,1 mV.

Der Lock-In Verstärker SR830 [16] hat zum Vergleich ein Eingangsrauschen von $6 \text{ nV}/\sqrt{\text{Hz}}$ bei einer Bandbreite von 100 kHz. Daraus resultiert eine Rauschspannung U_n von 2,7 mV.

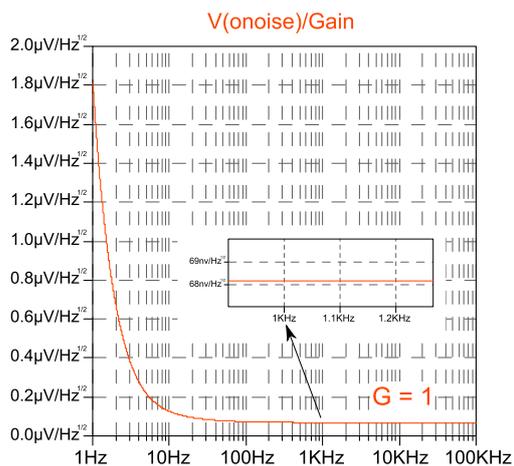


Bild 4.12: Eingangsrauschen
Differenzverstärker mit LTspice
[11] für $G = 1$

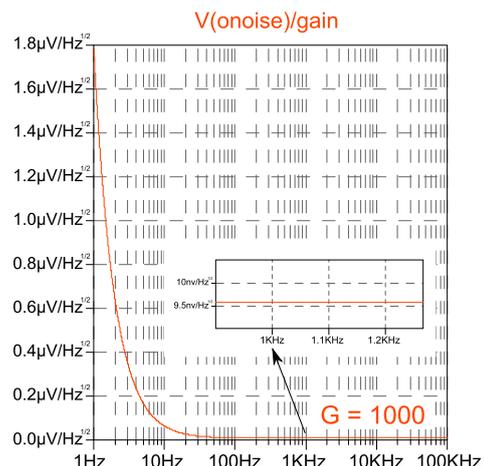


Bild 4.13: Eingangsrauschen
Differenzverstärker mit LTspice
[11] für $G = 1000$

4.1.2 Strom-Spannungs-Wandler

Kleine Ströme werden mit einem Strom-Spannungs-Wandler [27] gemessen. Dieser wandelt den Eingangsstrom I_{IN} in eine proportional invertierte Ausgangsspannung V_O (Schaltplan Bild 4.14).

$$V_O = -R_F \cdot I_{IN} \quad (4.8)$$

Der Proportionalfaktor zwischen Strom und Spannung wird durch den Widerstand R_F bestimmt. Für kleine Ströme wird dabei ein großer Widerstand im Rückkopplungszweig benötigt. Die maximale Größe von R_F wird durch das Stabilitätskriterium des Operationsverstärker festgelegt. Die Nutzung eines Spannungsteilers aus den Widerständen R_A und R_B macht eine Erhöhung der Verstärkung möglich (Schaltplan Bild 4.15).

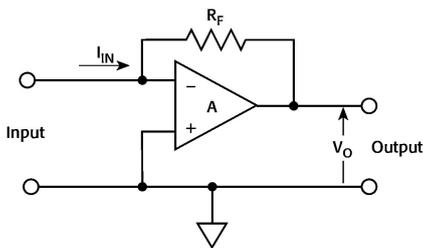


Bild 4.14: Strom-Spannungs-Wandler [27]

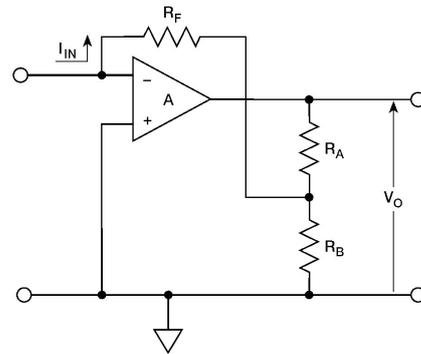


Bild 4.15: Strom-Spannungs-Wandler mit Spannungsteiler [27]

$$V_O = -R_F \cdot I_{IN} \cdot \left(1 + \frac{R_A}{R_B}\right) \quad (4.9)$$

Die Formel 4.9 ist nur gültig für den Fall $R_F = R_A$.

Der negative Eingang des Operationsverstärkers bildet in der Schaltung eine virtuelle Masse. Die Summe aller Ströme an diesem Punkt ist Null. Der zu messende Strom fließt im Idealfall vollständig über R_F . Gleichzeitig fließt aber ein Teil als Biasstrom in den negativen Eingang. Um diesen Einfluss gering zu halten, muss der Biasstrom des Operationsverstärkereingangs sehr klein gegenüber den zu messenden Strömen sein.

Komponentenauswahl

Tabelle 4.2 zeigt eine Auswahl von Operationsverstärkern mit geringen Biasströmen der Hersteller Analog Devices [7] und Texas Instruments [23].

Typ	Hersteller	Eingangsbiasstrom I_B	Offsetspannung V_{OSI}	Eingangs-Rauschspannungsdichte e_{ni}	Eingangs-Rauschstrom
AD549	Analog D.	40 fA	300 μ V	35 nV/ $\sqrt{\text{Hz}}$	0,11 fA/ $\sqrt{\text{Hz}}$
AD8627 ^[1]	Analog D.	250 fA	50 μ V	17,5 nV/ $\sqrt{\text{Hz}}$	0,4 fA/ $\sqrt{\text{Hz}}$
OPA129	Texas I.	30 fA	500 μ V	17 nV/ $\sqrt{\text{Hz}}$	0,10 fA/ $\sqrt{\text{Hz}}$

¹ maximale Versorgungsspannung ± 13 V

Tabelle 4.2: Auswahl Operationsverstärker mit kleinem Biasstrom

Die Liste zeigt, dass es nur eine beschränkte Auswahl an Operationsverstärkern mit kleinen Biasströmen gibt. Gegen den AD8627 spricht der große Eingangsbiasstrom und die maximale Betriebsspannung von nur ± 13 V. Die Entscheidung fällt deshalb auf den AD549 [2] von Analog Devices (Schaltplan Bild 4.16). Dieser verfügt gegenüber dem OPA129 von Texas Instruments zusätzlich über eine Möglichkeit zur Offsetkorrektur.

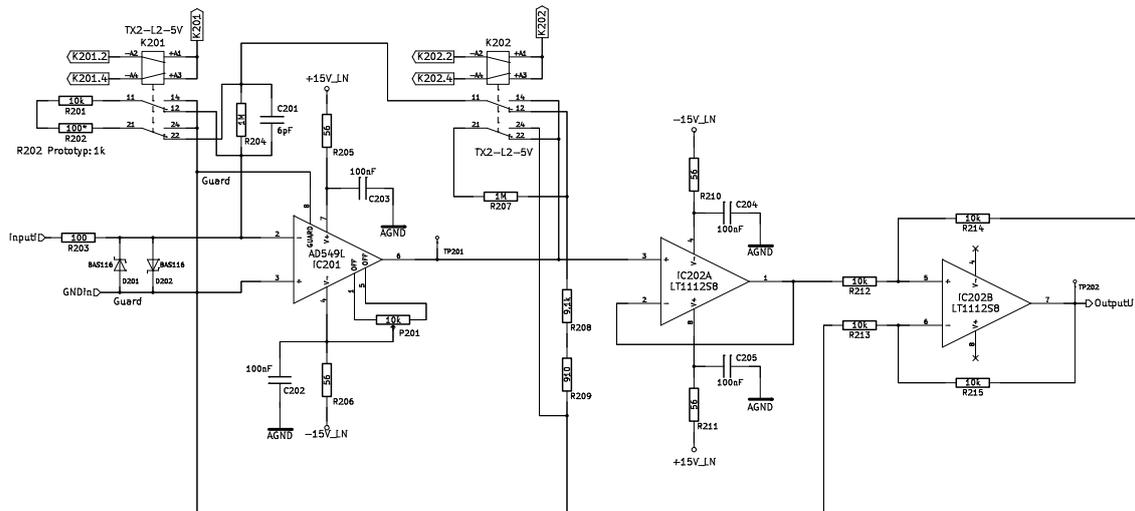


Bild 4.16: Schaltplan: Strom-Spannungswandler I-U Wandler

Eingangsschutz

Zum Schutz vor Zerstörung des Operationsverstärkers darf am Eingang die angelegte Spannung die Versorgungsspannung ± 15 V nicht überschreiten. Die Kombination aus den 100 Ω

Widerstand **R203** und der zwei dahinter antiparallel geschalteten Dioden begrenzt die maximale Spannung auf 1 V. Der Leckstrom der Dioden **D201** und **D202** beträgt maximal 3 pA (Schaltung Bild 4.16).

Proportionalfaktor

Das Relais **K201** kann parallel zum $1\text{ M}\Omega$ Widerstand **R204** die beiden in Serie liegenden Widerstände **R201** und **R202** schalten (Schaltung Bild 4.16). Die beiden Widerstände ergeben zusammen $10,1\text{ k}\Omega$. Die Parallelschaltung mit $1\text{ M}\Omega$ ergibt $9,999\text{ k}\Omega$.

Über das Relais **K202** kann zusätzlich auf einen Spannungsteiler; bestehend aus dem Widerstand **R207** und den Serienwiderständen **R208** und **R209**, umgeschaltet werden. Dieser multipliziert den Proportionalfaktor mit dem Faktor 100.

Durch das Widerstandsnetzwerk kann zwischen den Proportionalfaktoren $10^4 \frac{\text{V}}{\text{A}}$, $10^6 \frac{\text{V}}{\text{A}}$ und $10^8 \frac{\text{V}}{\text{A}}$ umgeschaltet werden.

Eingangs-Bezugspotential

Zum potenzialfreien Messen ist dem Strom-Spannungs-Wandler ein Instrumentenverstärker nachgeschaltet. Dieser wird gebildet aus dem Spannungsfolger **IC202A** und dem Differenzverstärker **IC202B**. Am negativen Eingang entfällt der Spannungsfolger. Dieser ist fest mit dem Eingangspotential verbunden.

Der Strom-Spannungs-Wandler und der Eingangs-Differenzverstärker liegen beide auf gleichem Eingangs-Bezugspotential.

Eingangsrauschen

Die Firma Analog Devices stellt für den AD549 [2] neben dem Datenblatt auch ein vollständiges Spice-Modell zur Verfügung. Der Hersteller baut den Operationsverstärker in verschiedenen Versionen. Die eingesetzte Variante des AD549L hat $0,11\text{ fA}/\sqrt{\text{Hz}}$ Stromrauschen. Das Modell hat ein Stromrauschen von $0,16\text{ fA}/\sqrt{\text{Hz}}$. Analog zum Modell für den Differenzverstärker wird deshalb ein Rauschmodell für den AD549L erzeugt. Die Simulation in Bild 4.17 zeigt das Herstellermodell (rot) und das generierte Modell (blau). Der Kurvenverlauf ist identisch bis zur Eckfrequenz von 10 Hz. Anschließend verläuft die blaue Kurve um $0,05\text{ fA}/\sqrt{\text{Hz}}$ nach unten verschoben.

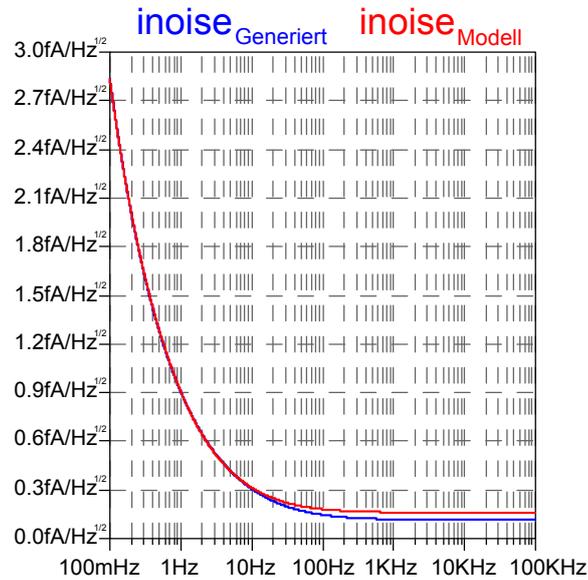


Bild 4.17: Simulation AD549 mit LTspice [11]

Die Simulation des Strom-Spannungswandlers wurde erweitert um den Eingangsschutz und zeigt das frequenzabhängige Stromrauschen. Für den Proportionalfaktor 10^4 V/A zeigt Bild 4.18 das Simulationsergebnis. Die Ergebnisse der Faktoren 10^6 V/A und 10^8 V/A sind in Bild 4.19 zusammengefasst.

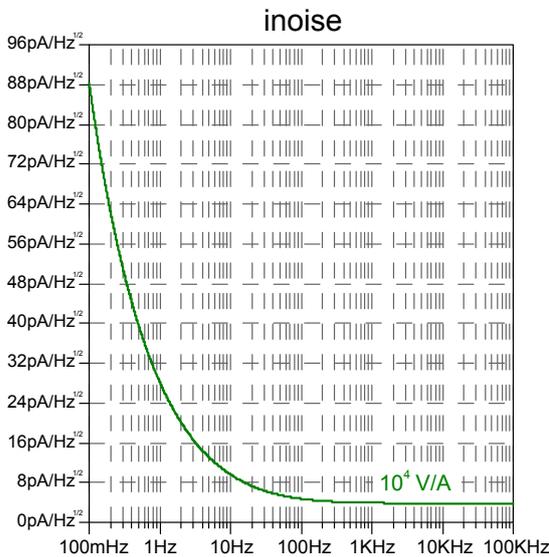


Bild 4.18: Simulation mit LTspice [11]
Eingangsstromrauschen für
 10^4 V/A

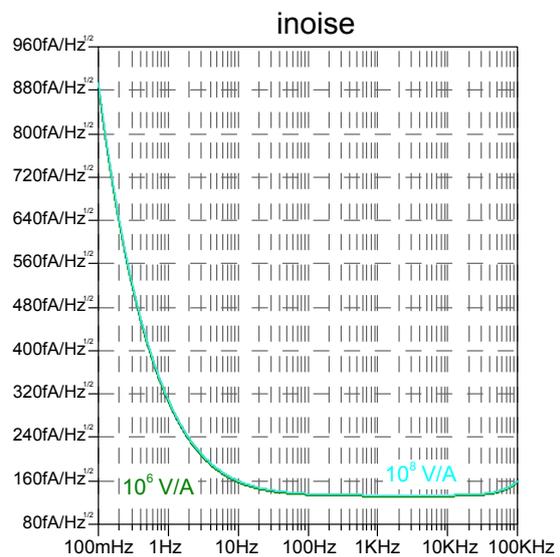


Bild 4.19: Simulation mit LTspice [11]
Eingangsstromrauschen für
 10^6 V/A und 10^8 V/A

Tabelle 4.3 fasst das Eingangsstromrauschen bei 1 kHz zusammen. Die maximale Eingangsbandbreite des Operationsverstärkers beträgt 1 MHz. Das Stromrauschen am Eingang reduziert sich mit steigendem Proportionalfaktor. Beim Faktor 10^8 V/A erfolgt keine Reduzierung. Der Widerstand R_F bleibt gleich und es wird zusätzlich ein Spannungsteiler mit R_A und R_B als Multiplikator verwendet.

Der Lock-In Verstärker SR830 [16] hat zum Vergleich ein Eingangsstromrauschen von $130 \text{ fA}/\sqrt{\text{Hz}}$ bei 1 kHz und einen Proportionalfaktor von 10^6 V/A.

Proportionalfaktor	Stromrauschen bei 1 kHz
10^4 V/A	$4 \text{ pA}/\sqrt{\text{Hz}}$
10^6 V/A	$134 \text{ fA}/\sqrt{\text{Hz}}$
10^8 V/A	$134 \text{ fA}/\sqrt{\text{Hz}}$

Tabelle 4.3: Eingangsstromrauschen

4.1.3 Selektor & Filter

Eingangsselektor

Die Umschaltung zwischen Spannungs- und Strommessung erfolgt über einen Analogschalter **IC301** (Schaltplan Bild 4.20). Dieser arbeitet schnell sowie prell- und verschleißfrei verglichen mit mechanischen Relais. Zusätzlich kann der benötigte Platzbedarf durch die Nutzung von oberflächenmontierten Versionen (SMD) reduziert werden. Der eingesetzte Schalter DG419 ist ein einpoliger Wechselschalter mit kleinen Leckströmen und Durchgangswiderstand. Er wird von verschiedenen Herstellern unter dieser Bezeichnung gefertigt. Zur Anwendung kommt eine Variante von Analog Devices mit der Herstellerbezeichnung ADG419 [4].

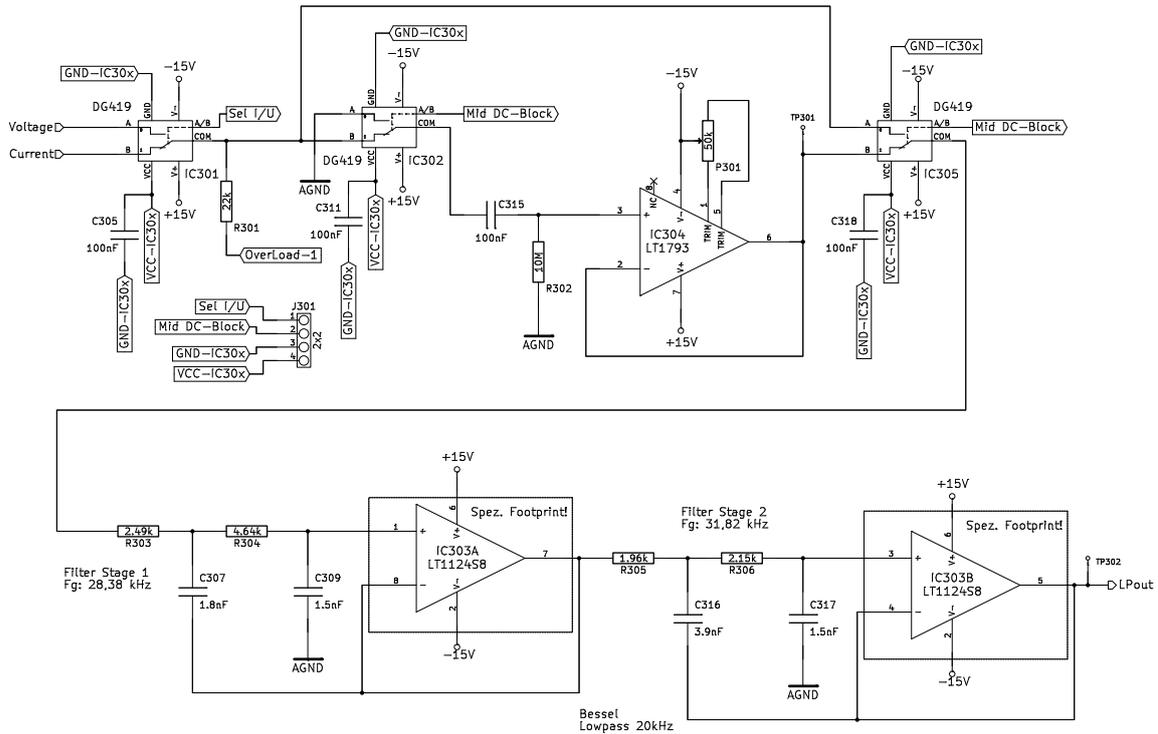


Bild 4.20: Schaltplan: Selektor & Filter

Hochpassfilter

Der Hochpass kann als Alternative oder zusätzlich zum Eingangs-Hochpass verwendet werden. Das CR-Filter aus Widerstand **R302** und Kondensator **C315** (Schaltplan Bild 4.20) ist identisch mit dem Eingangsfiler aus Bild 4.5 und seinem Frequenz- und Phasengang in Bild 4.6. Die Grenzfrequenz des Filters beträgt $f_g = 0,16$ Hz. Der Spannungsfolger **IC304** belastet das Filter nicht und hat einen geringen Biasstrom und niedriges Rauschen.

Bei Nutzung des Hochpassfilters verbindet der Analogschalter **IC302** das Messsignal mit dem Eingang des Filters. Der Ausgang wird über den Analogschalter **IC305** verbunden. Bei Messung ohne Hochpass erfolgt eine Umgehung des Filters. Dabei wird zur Reduzierung von Störungen der Filtereingang auf Masse geschaltet **IC302**. Der Analogschalter **IC305** schaltet vom Ausgang des Filters auf die Umgehung um.

Tiefpassfilter

Zur Verbesserung des Signal/Rausch-Verhältnis zwischen Messsignalsspannung und Rauschspannung wird die Bandbreite des Signals begrenzt. Ein Tiefpass vierter Ord-

nung mit der Grenzfrequenz $f_g = 20\text{ kHz}$ schränkt die Bandbreite ein. Zur Auswahl für die Realisierung stehen verschiedene Filtertypen zur Verfügung. Bei einem Bessel-Filter ist der Amplitudenverlauf nicht so steil wie bei einem Filter vom Typ Butterworth oder Tschebyscheff. Dafür besitzt es aber gegenüber den anderen Filtern die zwei wichtigen Eigenschaften: einen linearen Phasengang und eine konstante Gruppenlaufzeit im Durchlassbereich.

Die Umsetzung des Filters erfolgt mit zwei aktiven Sallen-Key-Filtern zweiter Ordnung. Diese Filterart benötigt nur wenige Bauteile bei der Umsetzung und ist dabei relativ stabil gegenüber Bauteiltoleranzen. Die erreichbare Filtergüte hängt hierbei von der Genauigkeit der Bauelemente ab.

Die zur Filterberechnung benötigten Formeln befinden sich zusammen mit Parametern der verschiedenen Filtertypen als Tabellen [31]. Alternativ kann zur Berechnung die Anwendung FilterPro Desktop [21] verwendet werden. Das Ergebnis der Simulation, der Filterreport, befindet sich im Anhang auf Seite 93. Die gewonnenen Filterparameter werden anschließend in LTspice zur Simulation übernommen.

Die erste Filterstufe **IC303A** besitzt eine Grenzfrequenz von $f_g = 28,38\text{ kHz}$, die zweite Stufe **IC303B** $f_g = 31,82\text{ kHz}$ (Schaltplan Bild 4.20). Das komplette Filter hat die Grenzfrequenz 20 kHz .

Bild 4.21 zeigt den Frequenz- und Phasengang des Filters mit einer Grenzfrequenz von $f_g = 20\text{ kHz}$. Diese wurde mit 20 kHz um 12 kHz höher gewählt als die maximale Messfrequenz von 8 kHz . Die Dämpfung des Filters im Messbereich liegt dadurch bei annähernd 0 dB und es wird eine maximale Phasenverschiebung von 45° nicht überschritten.

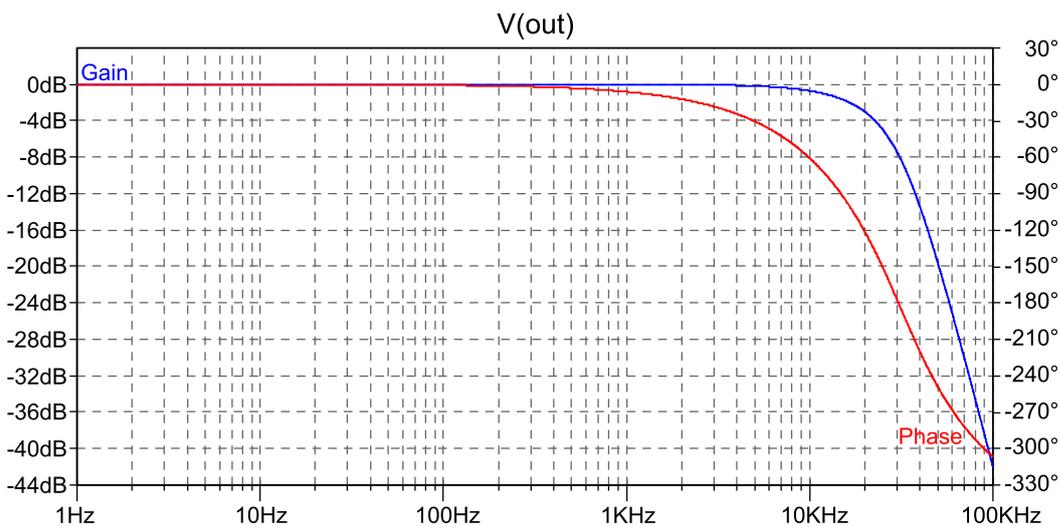


Bild 4.21: Frequenz- und Phasengang 20 kHz Tiefpassfilter, simuliert mit LTspice [11]

4.1.4 Notchfilter 50Hz und 100Hz

Zur Reduzierung von Störungen durch die Netzfrequenz gibt es zwei unabhängig von einander zuschaltbare Filter. Diese Bandsperrefilter unterdrücken mit 50 Hz und 100 Hz Störungen durch die Netzfrequenz und der ersten Oberwelle.

Die Filterung soll möglichst schmalbandig auf die Resonanzfrequenz f_c erfolgen. Die Bandbreite B ist dabei von der Güte Q des Filters abhängig. f_2 ist die obere und f_1 ist die untere Grenzfrequenz der Bandsperre. Das Filter wird deshalb auch als Kerbfilter bezeichnet.

$$Q = \frac{f_c}{B} \quad (4.10)$$

$$B = f_2 - f_1 \quad (4.11)$$

Für die Realisierung existieren verschiedene Filterschaltungen [31]. Alternativ kann ein Bandpassfilter in eine Bandsperre gewandelt werden. Hierfür wird das Ausgangssignal des Bandpassfilters vom Eingangssignal abgezogen (Schaltung Bild 4.22).

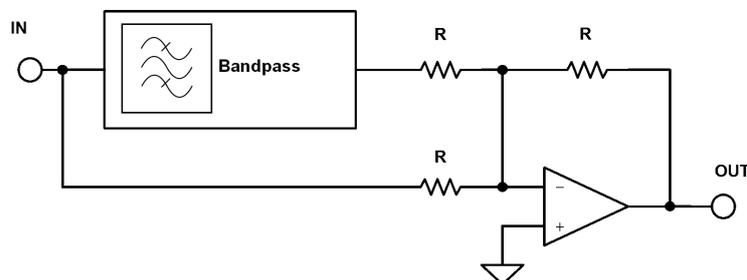


Bild 4.22: "1 - Bandpass" Bandsperrefilter [32]

Wird ein Bandpassfilter zweiter Ordnung verwendet, ist das Ausgangssignal um 180° phasenverschoben und damit invertiert, wie in Bild 4.23 dargestellt.

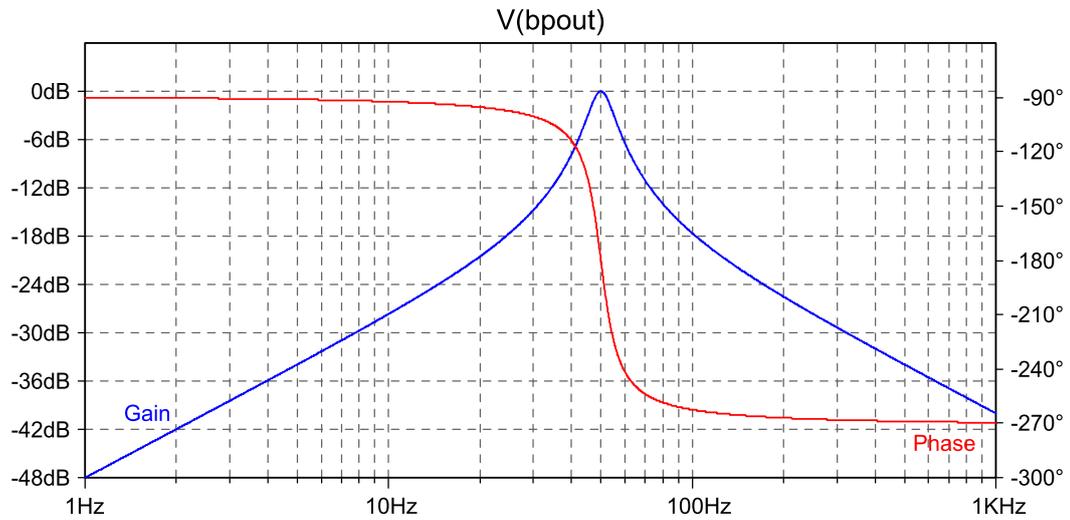


Bild 4.23: Frequenz- und Phasengang 50 Hz Bandpassfilter, simuliert mit LTspice [11]

Die Subtraktion des Bandpasses vom Eingangssignal wird so zu einer Addition der beiden beiden Signale. Das Ergebnis ist dann um weitere 180° verschoben. Das Ausgangssignal ist damit wieder in gleicher Phasenlage wie das Eingangssignal des Notchfilters. Bild 4.24 zeigt das Bode-Diagramm des kompletten Filters. Die Parameter des Bandpasses wurden mit der Software FilterPro Desktop [21] erstellt und mit LTspice [11] simuliert. Der FilterPro Design Report des Filters befindet sich im Anhang auf Seite 95.

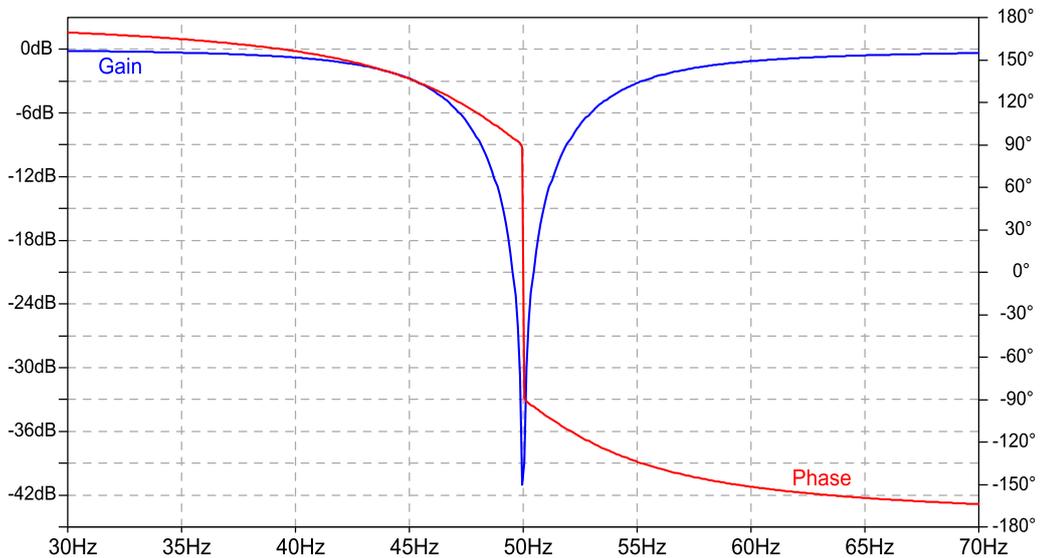


Bild 4.24: Frequenz- und Phasengang 50 Hz Notchfilter, simuliert mit LTspice [11]

4 Design

Die Realisierung erfolgt mit einem mehrfach gegengekoppelten Filter, engl. multiple feedback filter (MFB) [28]. Dieses ermöglicht gegenüber einem Sallen-Key-Filters eine höhere Güte und damit die geforderte schmale Bandbreite.

Über die Anlogschalter **IC401** und **IC404** wird das 50 Hz Bandpassfilter **IC402A** dem Ad-dierer **IC402B** zugeschaltet (Schaltplan Bild 4.25). Der Abgleich der Resonanzfrequenz des Bandpasses erfolgt über das Potentiometer **P401**. Der Abgleich des Kerbfilters anschließend über **P402**. Die Gesamtverstärkung des Filters kann hierbei mit **P403** beeinflusst werden.

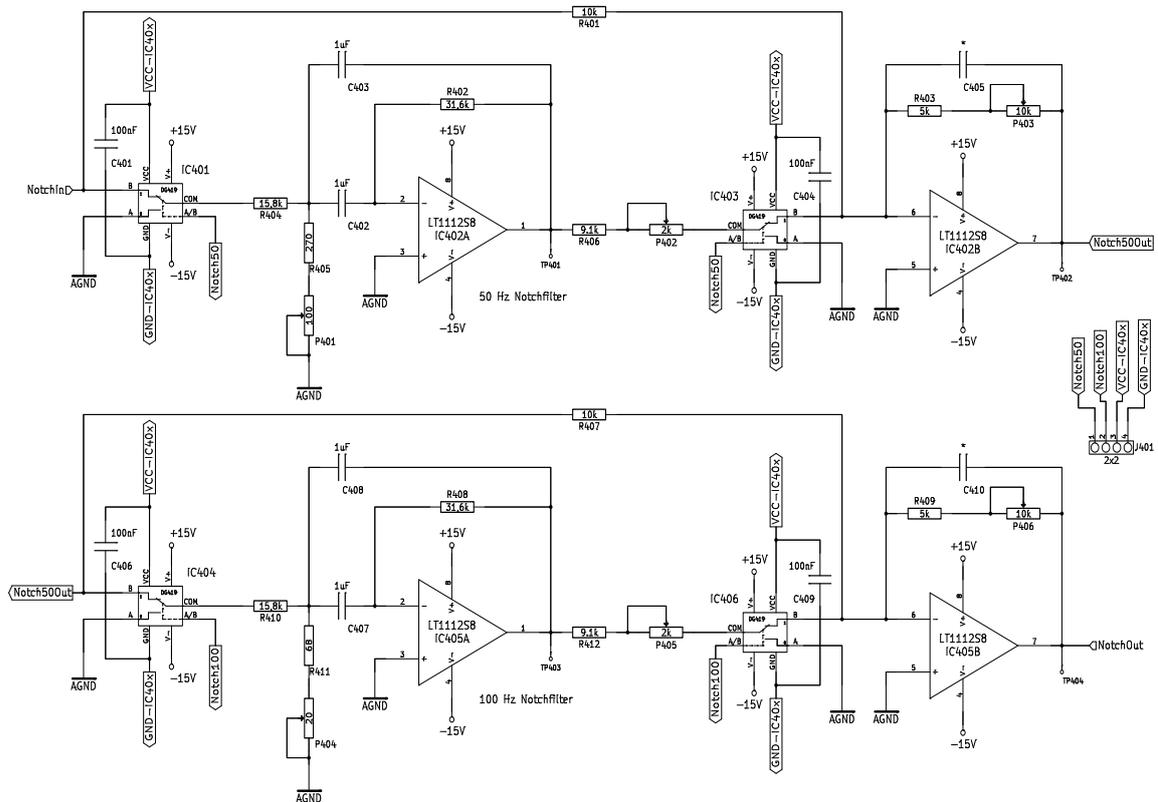


Bild 4.25: Schaltplan: Notchfilter 50Hz und 100Hz

Das 100 Hz Filter ist dem ersten nachgeschaltet und vom Aufbau identisch ausgeführt (Ta-belle 4.4). Der FilterPro Design Report des Bandpass-Filters befindet sich im Anhang auf Seite 97.

Frequenz	Bandbreite	Güte	Dämpfung der Sperrfrequenz
50 Hz	10 Hz	5	49 dB
100 Hz	10 Hz	10	46 dB

Tabelle 4.4: Notchfilter

Das Bode-Diagramm in Bild 4.26 zeigt die Filterkombination aus 50 Hz und 100 Hz Notchfiltern. Die Phasenlage wird durch die Notchfilter nur im Bereich 50 Hz bis 100 Hz beeinflusst. Durch Phasenverschiebung von -90° bis 90° sollten in diesem Bereich von 50 Hz bis 100 Hz Messung zusammen mit den Notchfiltern vermieden werden.

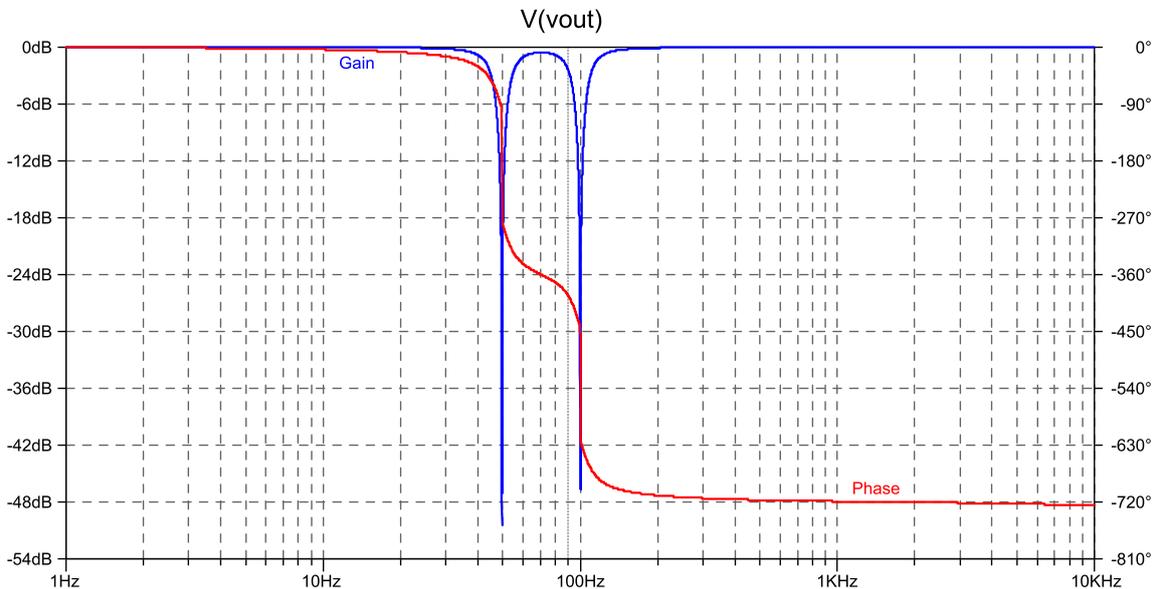


Bild 4.26: 50 Hz und 100 Hz Notchfilter Frequenz- und Phasengang, Simulation LTspice [11]

4.1.5 Zwischenverstärker

Die gefilterten Signale können zur Erhöhung des Signalpegels verstärkt werden. Das Signal wird dann anschließend über eine Matrix den Universalfilter zugeführt. Verwendet wird dafür ein nichtinvertierender Verstärker (Bild 4.27).

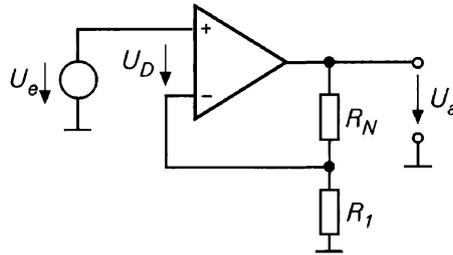


Bild 4.27: Nichtinvertierender Verstärker [31]

Die Verstärkung und Ausgangsspannung berechnen sich folgendermaßen:

$$A = 1 + \frac{R_N}{R_1} \quad (4.12)$$

$$U_a = U_e \cdot A \quad (4.13)$$

Die wählbare Verstärkung beträgt 10, 100 oder 1000. Soll keine Verstärkung erfolgen, ist eine Umgehung des Verstärkers über einen Bypass möglich. Die Umschaltung erfolgt über die Analogschalter IC501 und IC502 (Schaltplan Bild 4.28). Als Operationsverstärker IC503 wird der rauscharme LT1128 eingesetzt [8].

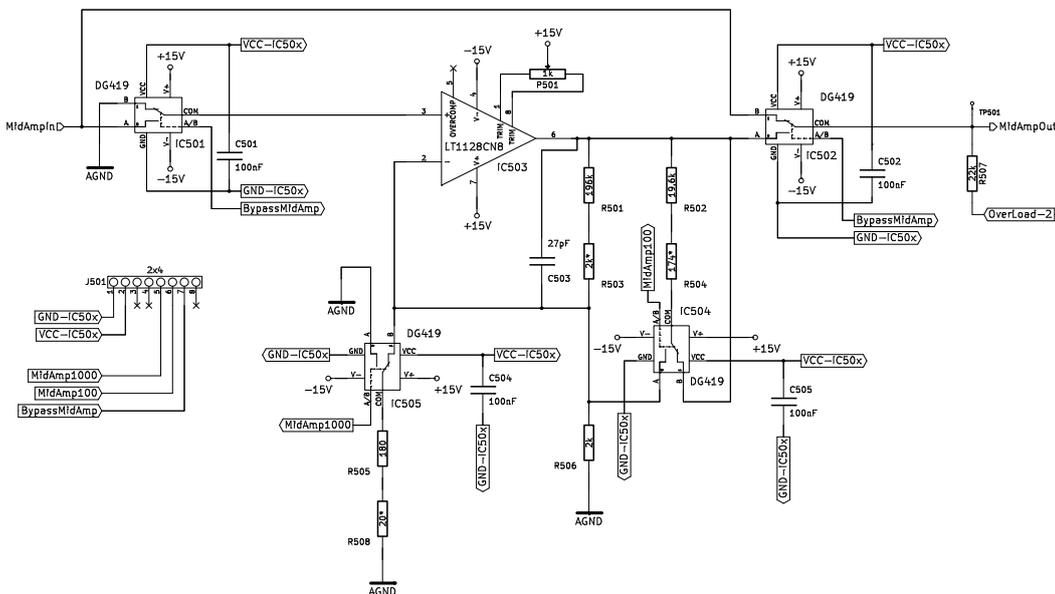


Bild 4.28: Schaltplan: Zwischenverstärker

Das Verhältnis des Spannungsteilers aus den Widerständen des Verstärkers legt die Verstärkung fest. Über Analogschalter können aus einem Netzwerk aus Widerständen vier verschiedene Kombinationen ausgewählt werden. Der Durchgangswiderstand der Analogschalter DG419 [4] von 25Ω ist bei der Berechnung des Netzwerkes berücksichtigt worden. Tabelle 4.5 zeigt die möglichen Kombinationen und daraus resultierenden Verstärkungen.

Verst.	Verhältnis	R_N	R_1	IC504	IC505
10	$1 + \frac{9}{1}$	$198 \text{ k}\Omega \parallel 19,8 \text{ k}\Omega = 18 \text{ k}\Omega$	$2 \text{ k}\Omega$	ein	aus
100	$1 + \frac{99}{1}$	$198 \text{ k}\Omega \parallel 19,8 \text{ k}\Omega = 18 \text{ k}\Omega$	$2 \text{ k}\Omega \parallel 225 \Omega = 200 \Omega$	ein	ein
100	$1 + \frac{99}{1}$	$198 \text{ k}\Omega$	$2 \text{ k}\Omega$	aus	aus
1000	$1 + \frac{999}{1}$	$198 \text{ k}\Omega$	$2 \text{ k}\Omega \parallel 225 \Omega = 200 \Omega$	aus	ein

Tabelle 4.5: Widerstandsnetzwerk Verstärkung

4.1.6 Universalfilter

Das Universalfilter zweiter Ordnung mit einstellbaren Parametern ermöglicht das unabhängige Einstellen der Resonanzfrequenz, Verstärkung und Güte. Mit diesen Parametern stehen an den vier Ausgängen parallel ein Hoch-, ein Tief-, ein Bandpass und eine Bandsperre zur Verfügung.

Bild 4.29 zeigt einen Entwurf eines Universalfilters zweiter Ordnung nach [31]. Die Resonanzfrequenz f_g des Filters wird durch den Widerständen \mathbf{R} und Kondensatoren \mathbf{C} bestimmt.

$$RC = \frac{1}{2\pi f_g} \quad (4.14)$$

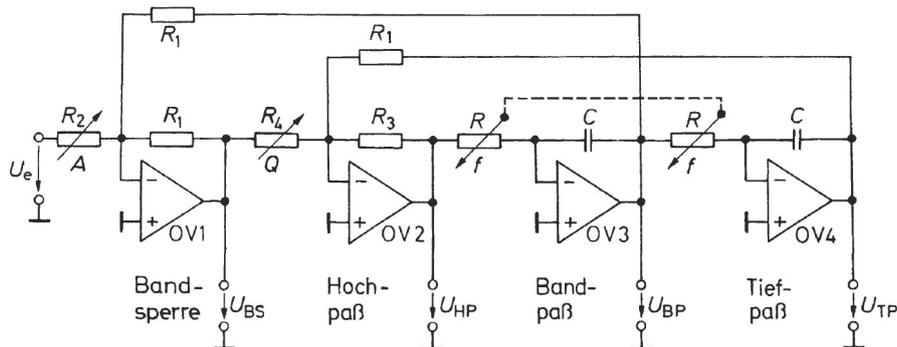


Bild 4.29: Universalfilter zweiter Ordnung [31]

Durch Vorgabe des Widerstandes R_1 , des Filtertypes, der Verstärkung A und Güte Q leiten sich alle weiteren Widerstände nach Tabelle 4.6 ab. Widerstand R_1 sollte im Bereich von $2\text{ k}\Omega$ bis $100\text{ k}\Omega$ liegen. Ein zu kleiner Wert führt dabei über R_2 zu einem geringen Eingangswiderstand des Filters. Ein zu hoher Wert reduziert über R_4 die maximal mögliche Güte eines Bandpasses oder einer Bandsperre.

Die Filterkoeffizienten a_i und b_i bestimmen die Filtercharakteristik des Filters. Die einzelnen Werte können Koeffiziententabellen entnommen werden [31].

Filterkoeffizienten eines Butterworth-Filter zweiter Ordnung:

- $a_1 = 1.4142$
- $b_1 = 1.0000$
- $Q_1 = 0.71$

Tiefpass	Hochpass	Bandpass und Sperre
$R_2 = R_1 a_i / A_0$	$R_2 = R_1 a_i / A_\infty$	$R_2 = -R_1 / A$
$R_3 = R_1 / b_i$	$R_3 = R_1 b_i$	$R_3 = R_1$
$R_4 = R_1 / a_i$	$R_4 = R_1 b_i / a_i$	$R_4 = R_1 Q$

Tabelle 4.6: Widerstände Universalfilter nach [31]

Zur Steuerung des Universalfilters müssen die beiden Widerstände R_2 , R_3 und R_4 durch elektronisch steuerbare Widerstände ersetzt werden. Die Nutzung eines Butterworth-Filters reduziert die Anzahl der zu steuernden Widerstände auf vier. Der Koeffizient b_1 hat bei diesem Filtertyp den Wert 1. Daraus resultiert, dass $R_3 = R_1$ für alle vier Filterarten ist.

Elektronische Steuerung der Filterparameter

Eine Möglichkeit der Steuerung ist die Nutzung eines digitalen Potentiometers. Dies ist als fertig integrierte Lösung erhältlich. Aktuelle Versionen von verschiedenen Herstellern bieten eine maximale Auflösung von 10 Bit (Stand August 2011) [5] [12]. Dies entspricht 1024 Einzelschritten. Höhere Auflösungen sind nur durch zusätzlichen Hardwareaufwand und weitere digitale Potentiometer möglich.

Größere Auflösungen als integrierte Lösung bieten Digital-Analog-Umsetzer Schaltkreise. Ein Digital-Analog-Umsetzer besitzt einen Referenzeingang und einen Spannungs- oder Stromausgang. Der direkte Einsatz als Widerstand ist aufgrund von Fertigungstoleranzen

der internen Widerstände nicht sinnvoll. Die Kombination des Widerstandsnetzwerkes mit einem Operationsverstärker als Strom-Spannungswandler beseitigt dieses Problem (Schaltung Bild 4.30). Ein im Schaltkreisgehäuse enthaltener Widerstand R_{FB} wird dabei für die Rückkopplung verwendet. Die Spannung am Referenzeingang U_{ref} liegt "über den Umsetzer digital steuerbar" invertiert am Ausgang U_a des Operationsverstärkers an. Digital-Analog-Umsetzer existieren zur Zeit mit einer maximalen Auflösung Z von 24 Bits.

$$U_a = U_{ref} \frac{Z}{Z_{max} + 1} \quad (4.15)$$

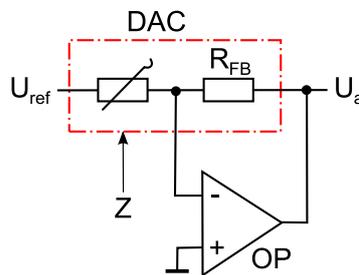


Bild 4.30: Digital-Analog-Umsetzer mit Operationsverstärker

Die Nutzung von Digital-Analog-Umsetzern ermöglicht eine hohe Auflösung der Filterparameter. Ein Nachteil bei der Anwendung ist, dass die invertierte Ausgangsspannung noch einmal invertiert werden muss. Alternativ kann die Filterschaltung angepasst werden. Der Schaltplan 4.31 zeigt ein modifiziertes Universalfilter. Durch Änderung der Filterreihenfolge und der Rückkopplungen braucht keine zusätzlich Rück-Invertierung erfolgen. Aus dem Bandpass wird wie beim Notchfilter, siehe Bild 4.22, die fehlende Bandsperre gebildet.

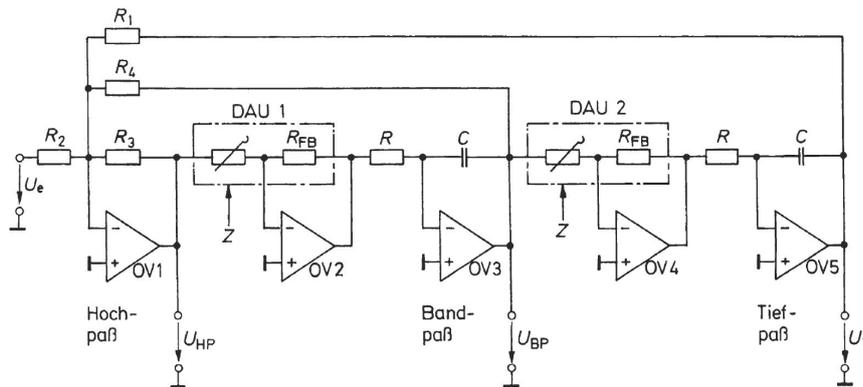


Bild 4.31: Universalfilter 2. Ordnung mit DACs [31]

4 Design

Die Änderung der Rückkopplungen führt bei dieser Filterschaltung aber zu einer Abhängigkeit der Verstärkung von der Güte des Bandpasses und der Bandsperre. Mit Änderung der Güte muss hierbei also auch die Verstärkung angepasst werden.

Die Firma Texas Instruments bietet mit dem Universal Active Filter UAF42 (Bild 4.32) [20] eine komplette Umsetzung der Filterschaltung aus Bild 4.31 an. Zur Realisierung eines vollständigen Universalfilters mit fester Frequenz, Verstärkung und Güte werden nur sieben Widerstände benötigt.

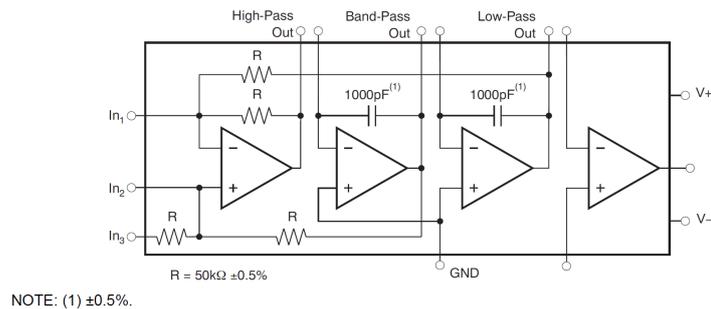


Bild 4.32: Universal Active Filter UAF42 von Texas Instruments [20]

Passend zum Datenblatt [20] des UAF42 existiert ein Anwendungsbeispiel (Application Bulletin) von Texas Instruments [29] eines digital programmierbaren Filters (Schaltung 4.33).

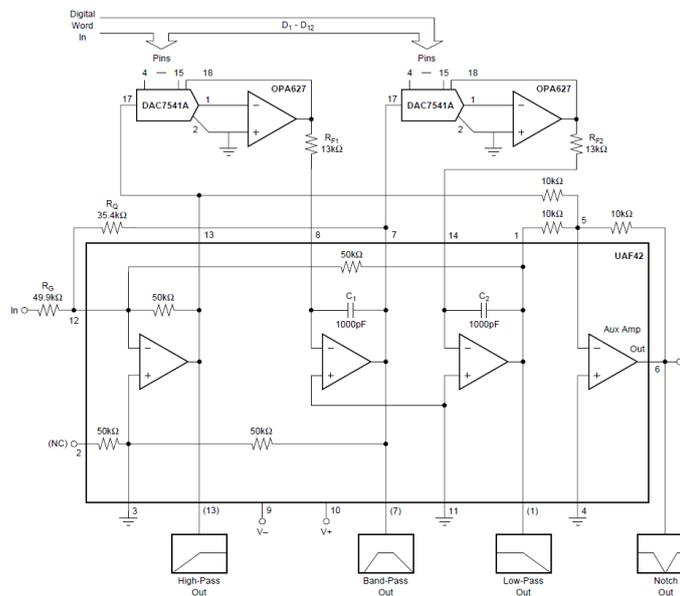


Bild 4.33: Application Bulletin - Digital programmierbares Filter Texas Instruments [29]

Im Schaltungsbeispiel werden zwei Digital-Analog-Umsetzer zur Veränderung der Resonanzfrequenz des Filters verwendet. Auch bei dieser Filterschaltung sind die Verstärkung und die Güte voneinander abhängig.

Universalfilter

Damit die Filterparameter vollständig unabhängig voneinander konfiguriert werden können, erfolgt die Umsetzung der zwei Universalfilter im Messverstärker diskret. Beide Filterschaltungen sind dabei nach Bild 4.34 identisch aufgebaut. Zusätzlich verfügt das Universalfilter 1 über einen invertierten Filterausgang **IC604B**. Dadurch ist eine Kombination der beiden Filter in gleicher Phasenlage möglich.

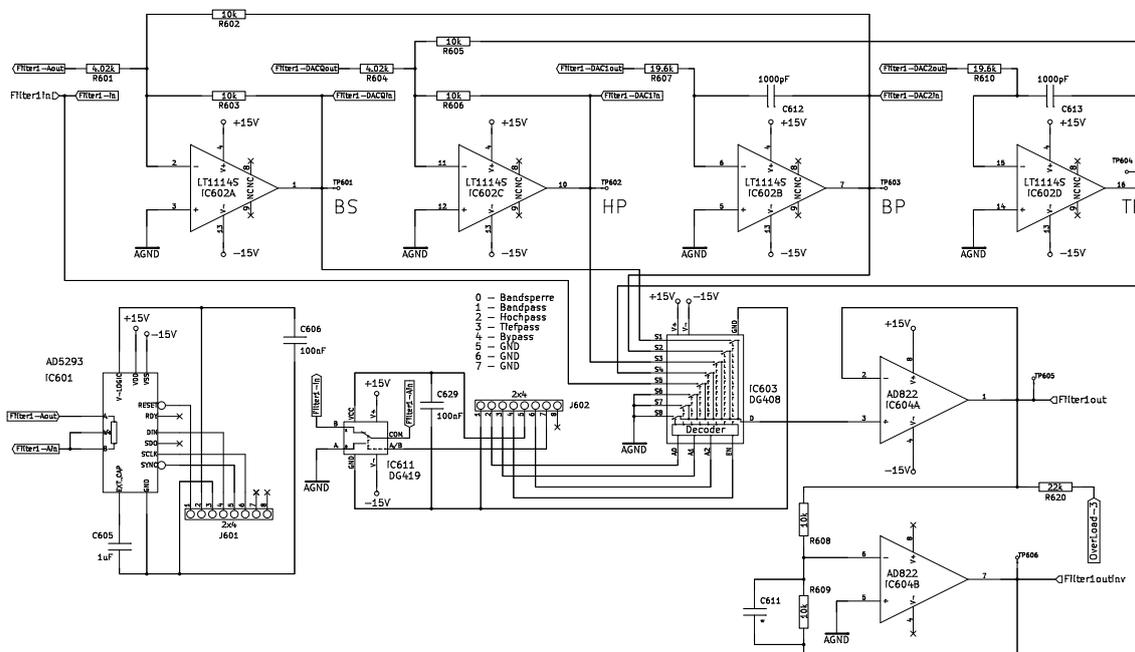


Bild 4.34: Schaltplan: *Universalfilter 1*

Der Eingang des Filters kann über einen Analogschalter **IC611** auf Masse geschaltet werden.

Zur Realisierung eines Filters zweiter Ordnung oder eines kombinierten Filters vierter Ordnung sind Verstärkungen im Bereich 0.5 bis 1.5 nach der Koeffiziententabelle [31] erforderlich. Zur einfachen Realisierung dieses Wertebereichs wird ein digitales Potentiometer AD5293 [1] mit 10 Bit Auflösungsvermögen verwendet. Die Reihenschaltung aus 4,02 k Ω

Festwiderstand und $20\text{ k}\Omega$ digitalen Potentiometer ergibt eine Verstärkung von 0.4 bis 2.4 in 1024 Schritten.

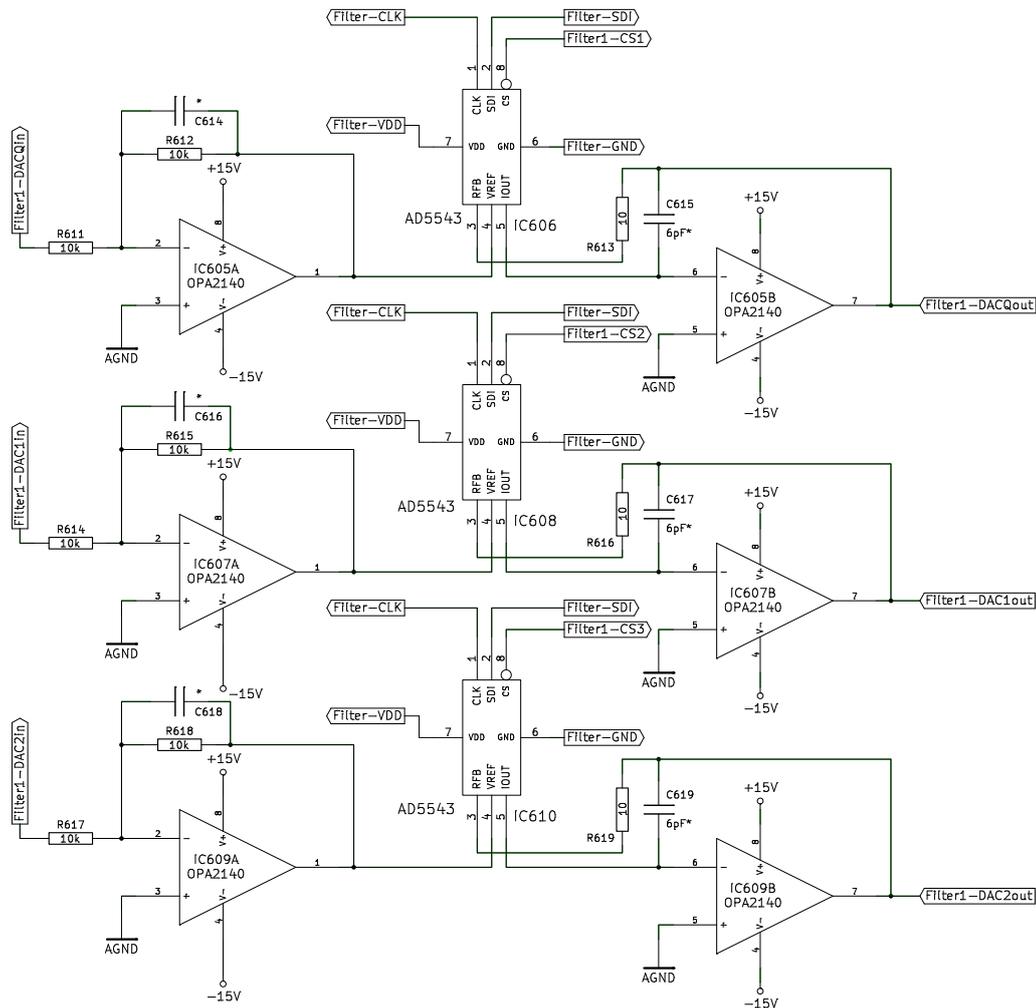
Für die Güte ist eine feinere Auflösung erforderlich. Die Realisierung erfolgt mit einem Digital-Analog-Umsetzer AD5543 [3]. Dieser befindet sich auf einen extra Schaltplan, in Bild 4.35 dargestellt. Die minimale Filtergüte Q ist über den Widerstand **R604** auf 0.4 festgelegt. Stabile Filterungen sind bis ca. 400 möglich. Das theoretische Maximum liegt bei ∞ . Die Auflösung beträgt 16 Bit, dies entspricht 65536 Schritten.

Die Resonanzfrequenz des Universalfilters wird über zwei steuerbare Widerstände eingestellt. Auch hier ist eine möglichst hohe Auflösung der einstellbaren Frequenz erforderlich. Zur Anwendung kommen deshalb zwei AD5543 Digital-Analog-Umsetzer, die zusammengefasst auf einem extra Schaltplan in Bild 4.35 abgebildet sind. Die maximale Resonanzfrequenz des Filters liegt bei 8120 Hz. Sie ist begrenzt durch die Kondensator- und Widerstandskombination **R607 C612** und **R610 C613**. Eine Änderung der maximalen Resonanzfrequenz ist durch anpassen der Bauteile mögliche.

Am 1:8 Multiplexer **IC603** aus Analogschaltern erfolgt die Auswahl zwischen Eingangssignal und den vier Filterausgängen. Das selektierte Signal wird durch einen Impedanzwandler **IC604A** entkoppelt und gelangt zur Filtermatrix. Die zusätzliche Signalinvertierung des Universalfilters 1 erfolgt im Baustein **IC604B**.

Digital-Analog-Umsetzer

Die drei Digital-Analog-Umsetzer für die Güte und Filterfrequenz sind auf einem eigenen Schaltplan in Bild 4.35 zusammengefasst. Das Messsignal wird invertiert und anschließend auf den Referenzeingang des Digital-Analog-Umsetzers AD5543 [3] geführt. Der Ausgang und der interne Widerstand sind dann mit dem zugehörigen Strom-Spannungswandler verbunden. Dieser besitzt am Ausgang einen Offset. Die Höhe der Offsetspannung ist dabei abhängig vom gewählten Wert des Digital-Analog-Umsetzers und entsteht am internen geschalteten Widerstandsnetzwerk des Bausteins. Die diskrete Realisierung ermöglicht hierbei gegenüber Umsetzern mit integrierten Strom-Spannungs-Wandler eine freie Wahl des verwendeten Operationsverstärkers. Ein Offsetabgleich ist durch die sich wechselnden Widerstandsverhältnisse nicht möglich.

Bild 4.35: Schaltplan: *Filter 1 DACs*

Zur Reduzierung des Offsets muss der eingesetzte Operationsverstärker zwei wichtige Eigenschaften erfüllen: Einen geringen Biasstrom und einen sehr kleinen Offset. Texas Instruments verwendet in seiner Application Bulletin [29] einen OPA627 [19] als Strom-Spannungswandler. Dieser Typ vereinigt die Eigenschaften eines geringen Biasstromes von 5 pA mit einem minimalen Offset von 100 μV .

Der Operationsverstärker OPA2140 [18] mit einem Biasstrom von 10 pA und einem minimalen Offset von 120 μV ist dagegen als Dual-Version mit zwei integrierten Operationsverstärker erhältlich. Dieser bildet eine gute Alternative und ermöglicht die Nutzung eines OPA2140 und AD5543 zur Bildung eines steuerbaren Widerstand für das Filter.

4.1.7 Filtermatrix

Die Filtermatrix verschaltet die beiden Universalfilter miteinander. Die Steuerung erfolgt über zwei 1:4 Multiplexer **IC803** aus Analogschaltern (Schaltplan Bild 4.36).

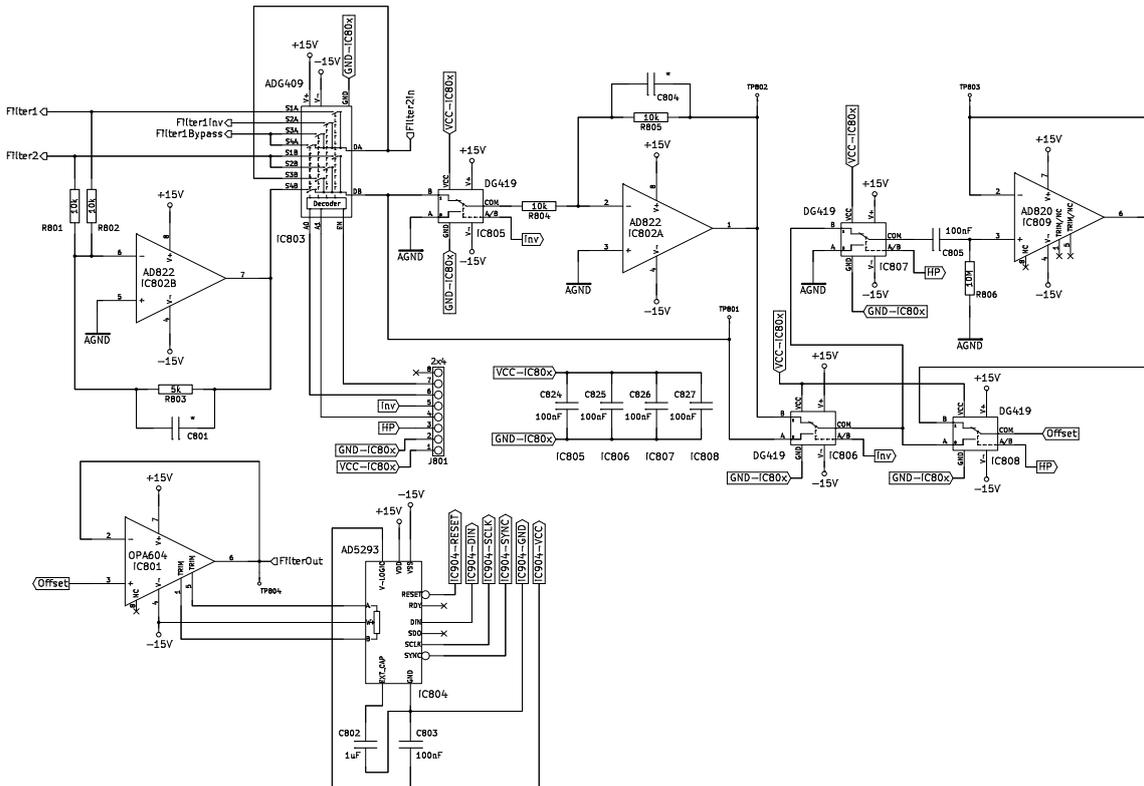


Bild 4.36: Schaltplan: *Filter Matrix*

Das Ausgangssignal der Filtermatrix kann anschließend zusätzlich über einen Inverter **IC802A** geführt werden. Ein zuschaltbares Hochpassfilter **IC809** kann am Ausgang zur Gleichspannungsunterdrückung verwendet werden. Ein Offsetabgleich des Messsignals kann über den Impedanzwandler **IC801** vorgenommen werden. Das digitale Potentiometer **IC804** ist hierzu direkt mit den Trimeingängen des Operationsverstärkers verbunden.

Die vier möglichen Kombinationen der Filter durch die Matrix zeigt Tabelle 4.7.

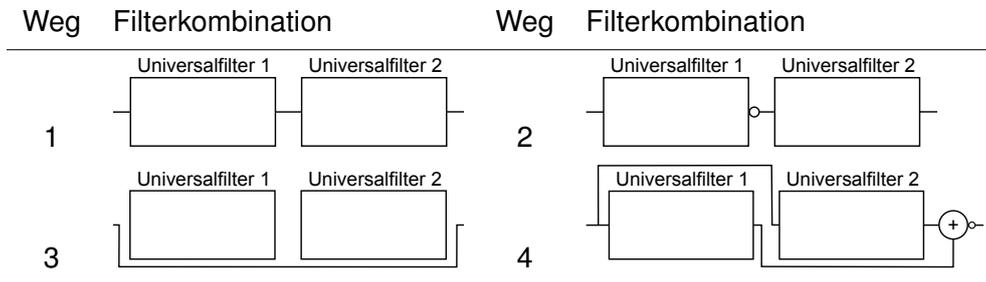


Tabelle 4.7: Filterkombinationen

Durch die Kopplung der beiden Universalfilter lassen sich unterschiedliche Filterungen vornehmen:

- Filter vierter Ordnung
- Bandpass oder Bandsperre mit großer Bandbreite aus Hoch- und Tiefpass
- Bandsperre für zwei Frequenzen
- Bandpass für zwei Frequenzen

4.1.8 Ausgangsverstärker

Der Ausgangsverstärker nutzt wie der in Kapitel 4.1.5 beschriebene Zwischenverstärker einen nicht invertierenden Verstärker **IC903** (Schaltplan 4.37). Der Spannungsteiler zur Einstellung der Verstärkung wird durch ein digitales Potentiometer **IC904** und einen Widerstand nach Masse gebildet. Zu diesem $1\text{ k}\Omega$ Widerstand **R903** kann ein zweiter Widerstand **R901** mit $84,5\ \Omega$ über einen Analogschalter **IC902** parallel geschaltet werden. Der Gesamtwiderstand der Reihenschaltung aus Widerstand und Analogschalter beträgt $110\ \Omega$, parallel geschaltet zu $1\text{ k}\Omega$ ergibt sich ein Widerstand von $100\ \Omega$. Der Widerstand des digitalen Potentiometers beträgt $100\text{ k}\Omega$ bei einer 10 Bit Auflösung. Zur Strombegrenzung liegt in Reihe ein $1\text{ k}\Omega$ Widerstand **R902**.

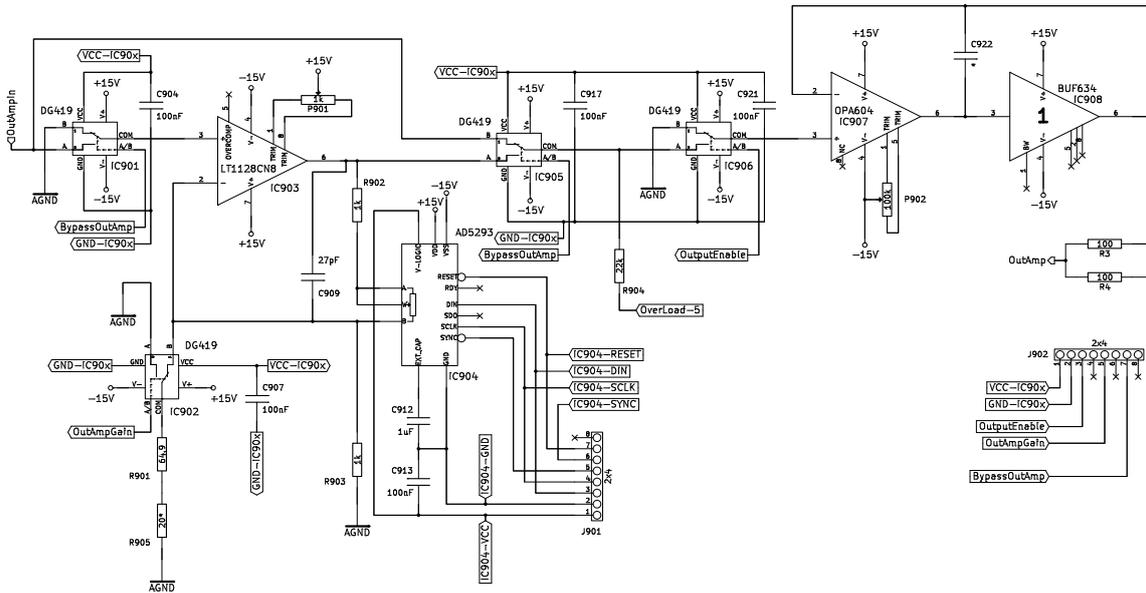


Bild 4.37: Schaltplan: Ausgangsverstärker

Soll keine Verstärkung erfolgen, wird der Verstärker über einen Bypass **IC901** und **IC905** umgangen. Die minimale Verstärkung liegt beim Faktor 2, vorgegeben durch den Sicherheitswiderstand **R902** in Kombination mit **R901** bzw. **R903**. Der fehlende Verstärkerbereich wird aber durch die Universalfilter abgedeckt. Diese ermöglichen jeweils eine Verstärkung im Bereich von 0.4 bis 2.4.

Tabelle 4.8 zeigt die zwei Verstärkungen und die Schrittweiten.

Verstärkung	Verhältnis	Schrittweite
2 - 102	$1 + \frac{101 \text{ k}\Omega}{1 \text{ k}\Omega}$	1.098
11 - 1011	$1 + \frac{101 \text{ k}\Omega}{0,1 \text{ k}\Omega}$	10.987

Tabelle 4.8: Widerstandsnetzwerk Verstärkung

Der Operationsverstärker **IC908** BUF634 [17] bildet zusammen mit **IC907** einen Spannungsfolger als Ausgangstreiber. Der OPA604 **IC907** wird dabei nur zum Offsetabgleich gebraucht. Als Ausgangstreiber mit einer Verstärkung von 1 arbeitet der BUF634. Der maximal lieferbare Ausgangsstrom beträgt 250 mA. Eine interne Strombegrenzung und ein Schutz vor thermischer Überbeanspruchung schützen den Treiber vor Zerstörung. Am Ausgang sind zwei

parallel geschalteten $100\ \Omega$ - $3\ W$ Widerstände, **R3** und **R4**. Sie erzeugen einen Widerstand von $50\ \Omega$ zur Impedanzanpassung des Ausganges.

4.1.9 Overload

Zum Schutz der Operationsverstärker vor Übersteuerung und um ein Abschneiden von Signalspitzen zu vermeiden, gibt es eine Übersteuerungskontrolle. Diese überwacht an fünf Punkten den Signalpegel auf Überschreitung:

- Ausgang des Eingangsselektors, Bild 4.20
- Ausgang des Zwischenverstärkers, Bild 4.28
- Ausgang von Universalfilter 1, Bild 4.34
- Ausgang von Universalfilter 2, Bild 4.34
- Eingang des Ausgangstreiber, Bild 4.37

Die Kontrolle der Signalpegel erfolgt pro Messpunkt mit zwei Komparatoren. Diese vergleichen das Signal jeweils mit einer positiven und einer negativen Spannung. Eingestellt werden über die Potentiometer **P1001** die maximale negative und über **P1002** die maximale positive Spannungen (Schaltplan 4.38). Die Ausgänge der Komparatoren sind Open-Collector-Ausgänge. Im Low-Zustand wird der Ausgang auf Masse-Potential gezogen, im High-Zustand ist der Ausgang ohne Bezug und offen. Dies ermöglicht den Anschluss an höhere Spannungspotentiale und gleichzeitig die Verknüpfung von mehreren Ausgängen zu einem Bus-System. Eine Kombination der beiden Komparatorausgänge ermöglicht so die gleichzeitige negative und positive Pegelüberwachung eines Messpunktes. Wird einer der beiden zulässigen Pegel überschritten wird der Overloadausgang auf Masse gezogen. Dies signalisiert der digitalen Baugruppe, dass eine Übersteuerung am Messpunkt vorliegt.

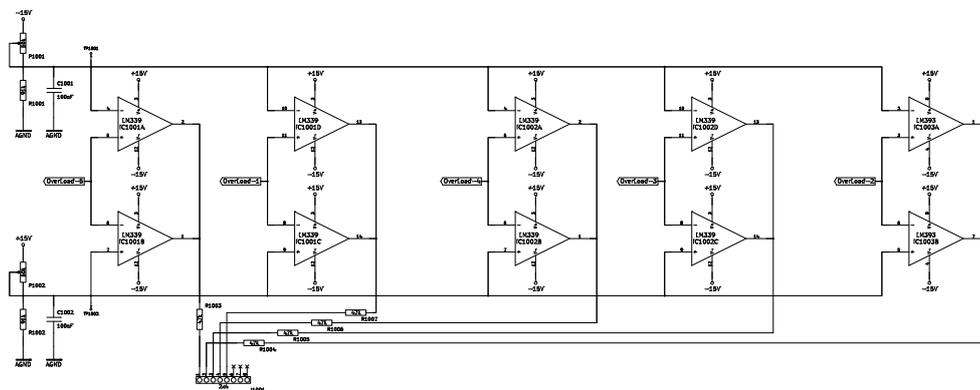


Bild 4.38: Schaltplan: Übersteuerungskontrolle *Overload*

4.1.10 Steckverbindungen

Im Schaltplan Steckverbindungen, Bild 4.39, sind alle Anschlüsse der Relais mit den Steckern **J5**, **J6** und **J7** verbunden. Alle Verbindung der weiteren digitalen Baugruppen befinden sich im jeweiligen Schaltplan.

Die Stromversorgung erfolgt ebenfalls über Steckverbindungen von der digitalen Baugruppe. Diese ist getrennt in zwei Systeme: Eine rauscharme Versorgung für die Eingangsstufen **J9** und eine weitere für die restliche Komponenten **J8**.

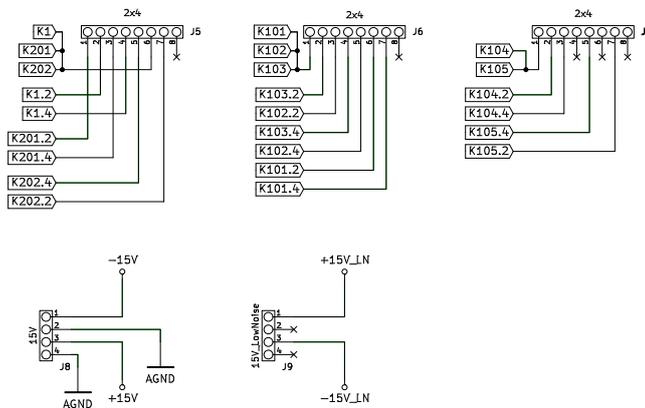


Bild 4.39: Schaltplan: Steckverbindungen

4.2 Digitale Baugruppen

Die digitale Baugruppe in Bild 4.40 steuert alle analogen Komponenten des Messverstärkers. Ein zentraler Logikbaustein steuert dabei die gesamte Kommunikation. Zusätzlich stellt sie alle benötigten Spannungen zur Stromversorgung bereit.

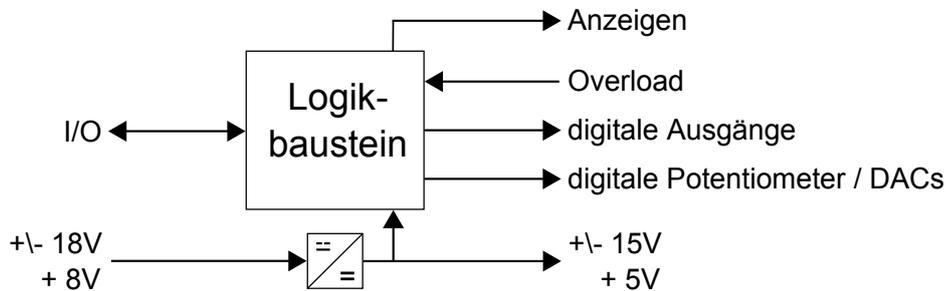


Bild 4.40: Aufbau digitale Baugruppen

4.2.1 Stromversorgung

Für die Stromversorgung der Operationsverstärker wird eine symmetrische Spannungsversorgung von $\pm 15\text{ V}$ benötigt. Relais und Analogschalter benötigen 5 V , Digital-Analog-Wandler, digitale Potentiometer und der Logikbaustein brauchen $3,3\text{ V}$.

Die Spannungen werden durch eigene Spannungsregler aus drei Eingangsspannungen erzeugt. Hierdurch wird eine zusätzliche Entkopplung des Messverstärkers von einer Gesamtstromversorgung erreicht. Zum Einsatz kommen lineare Längsregler als fertig integrierte Schaltkreise. Zur Reduzierung der Verluste und der daraus resultierenden Wärme kommen Low-Drop-Regler, engl. low drop-out (LDO), zum Einsatz. Diese erfordern eine geringere Differenz zwischen Ein- und Ausgangsspannung.

Die $\pm 15\text{ V}$ Stromversorgung erfolgt getrennt für die positive **IC2** und negative **IC11** Versorgungsspannung (Schaltplan Bild 4.41). Die Dioden **D14** und **D15** fungieren als Schutz der Spannungsregler.

Die Eingangsstufen, Differenzverstärker und Strom-Spannungswandler, haben eine eigene Stromversorgung. Diese ist ebenfalls getrennt für die positive **IC12** und negative **IC13** aufgebaut. Die RC-Glieder **R19 C24** und **R20 C25** sorgen für eine zusätzliche Siebung und Unterdrückung von hochfrequenten Störungen. Die Eingangsspannung der Spannungsregler sollte mindestens $\pm 16\text{ V}$ betragen, die vorgesehene Versorgungsspannung beträgt $\pm 18\text{ V}$.

Die 5 V Spannungsversorgung wird durch den Regler **IC10** erzeugt. Aus dieser wird anschließend mit dem Längsregler **IC1** die $3,3\text{ V}$ Versorgungsspannung erzeugt. Die Eingangsspannung der Spannungsregler sollte mindestens 6 V betragen, die vorgesehene Versorgungsspannung beträgt 8 V .

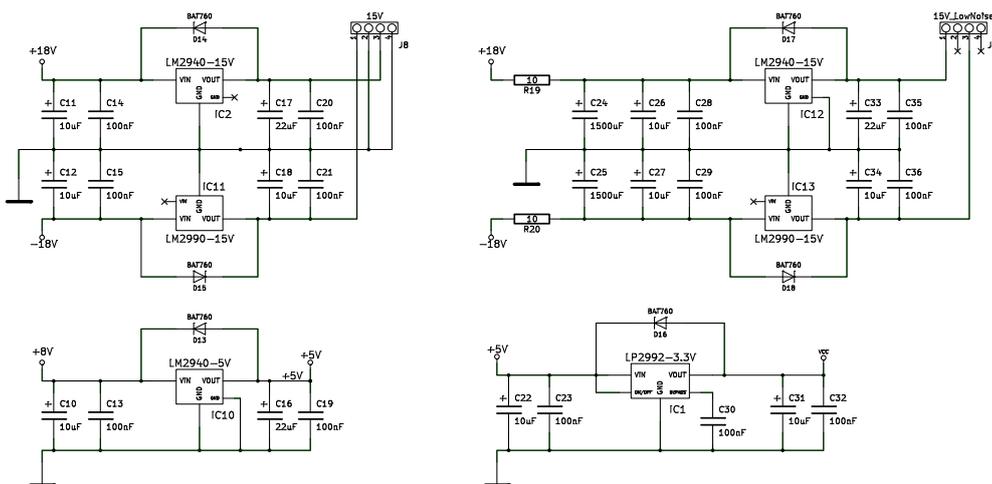


Bild 4.41: Schaltplan: Stromversorgung

4.2.2 Logikbaustein

Zentrales Element der Kommunikation ist der speicherprogrammierbare Logikbaustein **IC3** (CPLD) XC95144XL [25] der Firma Xilinx (Schaltplan Bild 4.42). Der Baustein verfügt über 144 Macrozellen, 3200 Logikgatter und 81 Ein- und Ausgangspins mit Logikpegeln. Jede Macrozelle enthält kombinatorische Logik und ein FlipFlop als 1-Bit Register. Die Verbindungen der einzelnen Zellen, Logikgatter und Ein- und Ausgänge erfolgt über eine Schalt-Matrix.

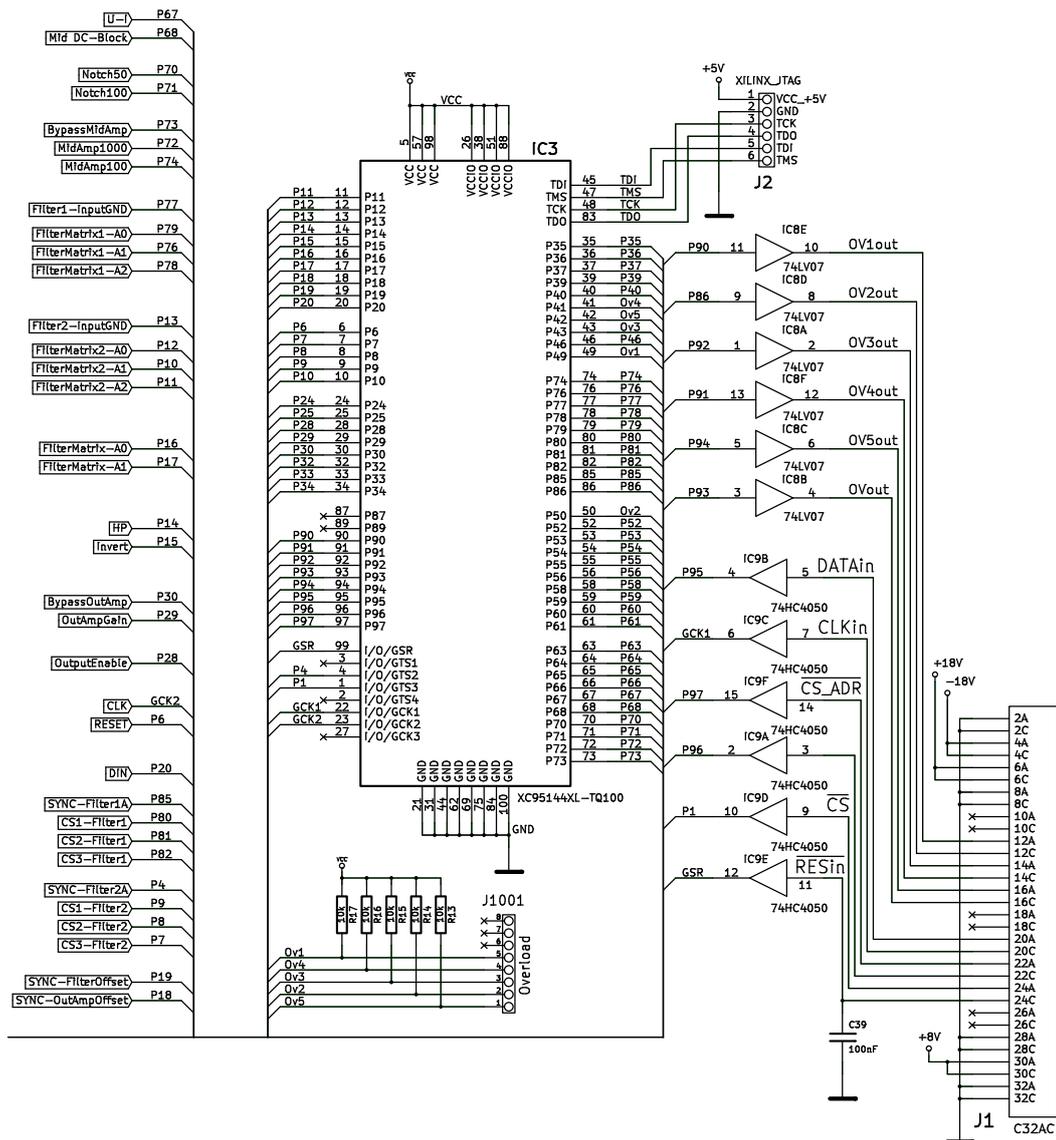


Bild 4.42: Hauptschaltplan: digitale Baugruppe (rechte Hälfte)

Die Programmierung der Matrix-Verknüpfungen ist in einem nichtflüchtigen Speicherbaustein im CPLD abgelegt. Diese kann über die JTAG-Schnittstelle **J2**, engl. joint test action group, im eingebauten Zustand geändert werden. Die Erstellung der Matrix erfolgt mit Hilfe der Hardwarebeschreibungssprache VHDL, engl. very high speed integrated circuit hardware description language. Sie beschreibt hierbei das gewünschte Verhalten der Schaltung nicht durch einzelne elektronische Bauteile, sondern erfolgt über die Modellierung auf einer höheren Abstraktionsebene, vergleichbar mit einer Programmiersprache. Der Programmcode befindet sich im Anhang ab Seite 136.

4.2.3 Schnittstellen

Die Ansteuerung der einzelnen analogen Baugruppen des Messverstärkers, wie in Bild 4.43 dargestellt, erfolgt auf drei verschiedene Arten.

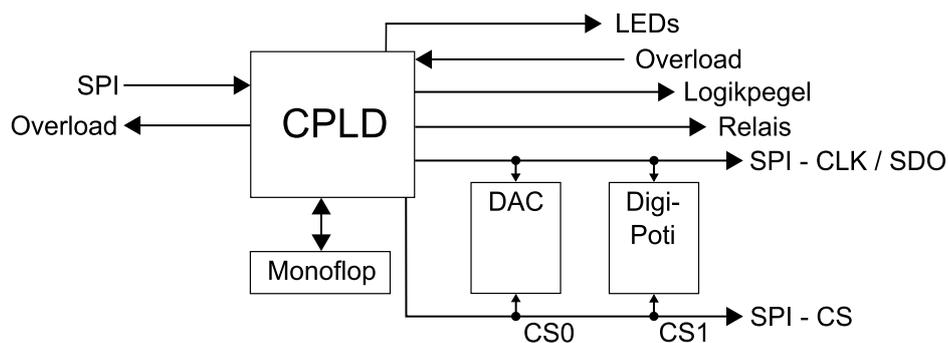


Bild 4.43: Steuerungslogik mit Schnittstellen

Analogschalter und Multiplexer benötigen konstante und definierte Logikzustände. Sie dienen der Auswahl eines Signalweges. Für Low-Pegel maximal 0,8 V, für High-Pegel mindestens 2,4 V. Die Anbindung erfolgt direkt an den Ausgängen des Logikbausteins.

Bistabile Relais benötigen einen kurzen 5 V Impuls an einer der beiden Spulen. Anlegen einer permanenten Spannung zum schalten führt zu einer Zerstörung. Es darf immer nur eine Spule zur selben Zeit angeregt werden. Zur Bereitstellung eines höheren Stromes werden die einzelnen Spulen über Treiber-ICs, **IC4**, **IC5** und **IC7**, angesteuert (Schaltplan Bild 4.44). Diese haben notwendige Schutzdioden für induktive Lasten bereits fest integriert.

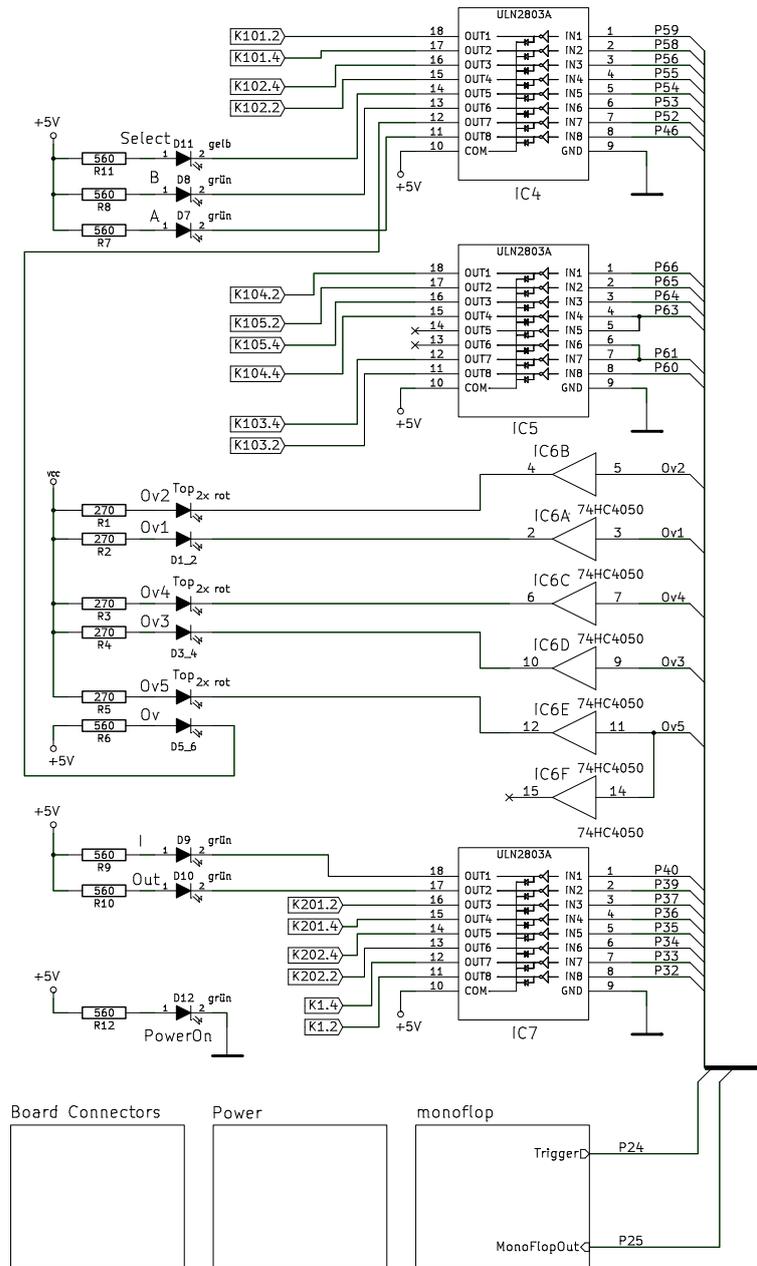


Bild 4.44: Hauptschaltplan: digitale Baugruppe (linke Hälfte)

Digitale Potentiometer und Digital-Analog-Umsetzer besitzen eine serielle Schnittstelle, engl. serial peripheral interface (SPI). Der Datenbus arbeitet nach dem Master-Slave Prinzip. Zwischen zwei Teilnehmern werden mindestens vier Leitungen für eine serielle voll duplex Kommunikation benötigt: Für jede Datenrichtung wird eine Leitung zur seriellen Kommunikation benötigt. Dazu kommt eine Taktleitung zur Synchronisation der Übertragung, diese wird im-

mer vom Master vorgegeben. Die Select-Leitung ist die vierte Leitung, mit ihr wird der Slave-Teilnehmern ausgewählt. Sie ist nur bei mehr als zwei Teilnehmern am Bus erforderlich. Bei zwei Teilnehmern kann der Slave auch dauerhaft ausgewählt werden und die Leitung kann entfallen. Bei mehreren Bus-Teilnehmern benötigt jeder seine eigene Select-Leitung vom Master.

Für die vier Leitungen der Kommunikation gibt es unterschiedliche Bezeichnungen, die im weiteren verwendeten Abkürzungen sind unterstrichen:

- Serial Data Out (SDO) / Master out Slave in (MOSI)
- Serial Data In (SDI) / Master in Slave out (MISO)
- Serial Clock (SCK) / (SCLK)
- Chip select (CS) / (SS)

Die Kommunikation mit den digitalen Potentiometern und Digital-Analog-Umsetzern erfolgt nur einseitig vom Master zu den Slaves. Alle Bausteine sind gemeinsam mit der Taktleitung (SCK) und der Datenleitung (SDO) des Logikbausteins verbunden. Die Anbindung der Auswahlleitung (CS) erfolgt für jeden Baustein einzeln. Die Leitung (SDI) zur Kommunikation der Bus-Teilnehmer mit dem Master entfällt.

Die fünf Ausgänge der Übersteuerungskontrolle werden über Pullup-Widerstände **R13 - R17** auf definierte High-Pegel gebracht. Sie sind direkt mit den Eingängen des Logikbausteins verbunden. Eine Übersteuerung wird durch Low-Pegel signalisiert. Zusätzlich sind die Leitungen über einen Treiber **IC6** direkt mit den roten LEDs der Frontanzeige verbunden (Schaltplan Bild 4.44).

Die weiteren LEDs der Frontanzeige nutzen die gleichen Treiber der Relais, **IC4** und **IC7**, zur Statusanzeige.

Die Verbindung zum Messverstärker-Einschub wird über die 32-polige Steckverbindung **J1** hergestellt (Schaltplan Bild 4.42). Es stehen sechs Ein- und sechs Ausgänge zur Kommunikation bereit. Die Eingangssignale werden über einen Pegelwandler **IC9** mit dem Logikbaustein **IC3** verbunden. Dieser erlaubt die Verwendung von 5 V Signalpegeln an einem mit 3,3 V versorgten Baustein. Die Ausgänge werden über Pegelwandler **IC8** in Open-Collector-Ausgänge gewandelt. So können mehrere Messverstärker-Einschübe zu einem Bus-System zusammengefasst werden.

Zur Ansteuerung der bistabilen Relais mit einem Schaltimpuls definierter Länge wird ein Monoflop verwendet. Der Kondensator **C38** wird über Widerstand **R22** geladen (Schaltplan Bild 4.45). Das Schmitt Trigger IC hat seinen Umschaltzeitpunkt bei einer Spannung von ca. 2 V. Dieser Punkt ist nach ca. 0,22 s erreicht und entspricht nach Formel 4.7 genau 1τ . Die

Auslösung des Monoflops erfolgt durch Kurzschließen und Entladen des Kondensators **C38** durch Transistor **Tr1**.

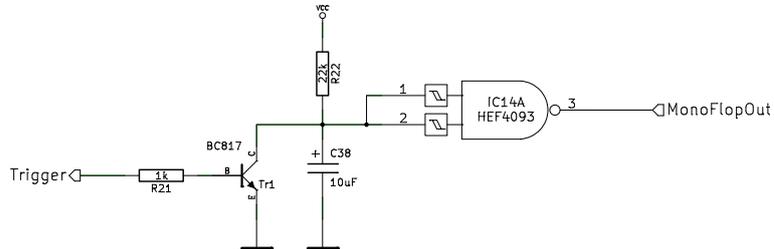


Bild 4.45: Schaltplan: *Monoflop*

Die Zuordnungsdatei, das User Constraint File (UCF), für die Portpins des Logikbaustein befindet sich im Anhang ab Seite 141.

4.2.4 Protokoll

Der eingesetzte Logikbaustein kann zur softwareseitigen Implementierung verschiedener Hardwareschnittstellen und Protokolle verwendet werden. Das Protokoll und die Hardwareschnittstelle zur Kommunikation mit den Digital-Analog-Umsetzern und den digitalen Potentiometern ist dabei durch die verwendete Hardware vorgegeben.

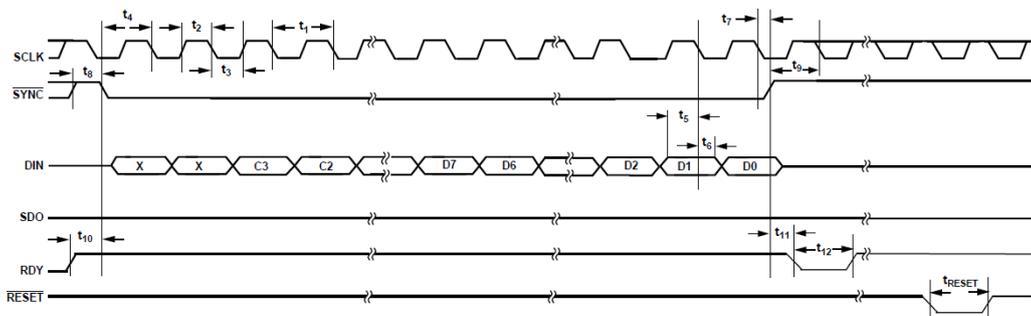


Bild 4.46: Timing Diagramm AD5293 - CPOL=0 CPHA=1[1]

Beide Bausteine nutzen hardwareseitig die gleiche Schnittstelle. Die Übertragungsparameter der beiden sind aber unterschiedlich. Das Timing Diagramm des AD5293 in Bild 4.46 zeigt den zeitlichen Ablauf einer Datenübertragung. Die Datenübernahme vom seriellen Eingang (DIN) erfolgt mit fallender Flanke der Taktleitung (SCLK).

Der AD5543, Timing Diagramm in Bild 4.47, nutzt stattdessen die steigende Flanke der Taktleitung (CLK) zur Datenübernahme vom Eingang (SDI).

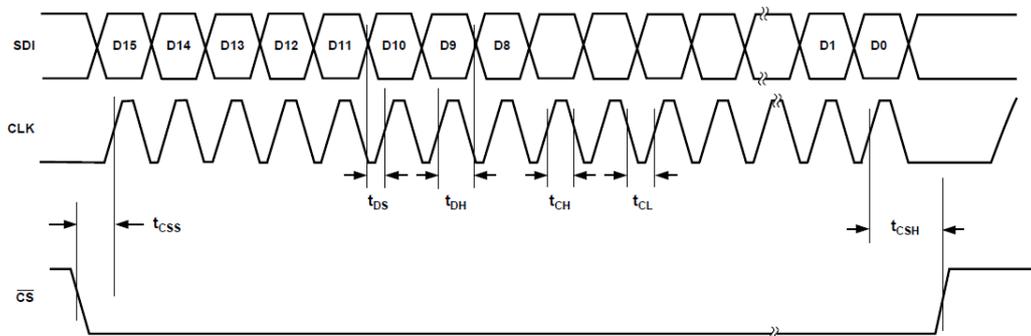


Bild 4.47: Timing Diagramm AD5543 - CPOL=0 CPHA=0 [3]

Der Parameter Clock Phase (CPHA) beschreibt das Verhalten der SPI-Schnittstelle. Bei CPHA=0 wird beim ersten Pegelwechsel der Taktleitung das Signal übernommen, bei CPHA=1 erst beim zweiten Wechsel. Der Ruhe- und Startzustand der Taktleitung wird dabei über den Parameter Clock Polarity (CPOL) festgelegt. Bei CPOL=0 ist die Taktleitung im Ruhezustand Low, bei CPOL=1 ist sie auf High-Pegel. Beide Bausteine erwarten im Ruhezustand Low Pegel auf der Taktleitung.

Die Kommunikation des Messverstärker-Einschub mit einem Controller erfolgt ebenfalls über die SPI-Schnittstelle. Die Wahl der Schnittstelle vermeidet dabei ein aufwendige Umsetzung auf ein anderes Protokoll zur Kommunikation mit den SPI-Bausteinen auf der Messverstärkerplatine. Auch der notwendige Bedarf an Hardwareressourcen, Macrozellen und Logikgatter, im Logikbaustein wird reduziert. Gleichzeitig können mehrere Messverstärker-Einschübe an einen gemeinsamen Bus betrieben werden.

Ein weiterer Übertragungsparameter ist die Länge eines Datenwortes bei der Kommunikation zwischen zwei Teilnehmern. Für die eingesetzten Bausteine beträgt sie zwei Bytes, auch als word bezeichnet. Zur Auswahl der einzelnen Busteilnehmer wird jedem Datenwort eine Adresse zur Selektierung vorangestellt. Als Länge für die Adresse wird ebenfalls ein word verwendet. Bild 4.48 zeigt einen kompletten Datenframe zur Kommunikation. Genutzt werden die ersten vier Bits **A0** bis **A3** des ersten Word als Adresse. Im zweiten Word werden die Datenbits **D0** bis **D15** an den selektierten Baustein übertragen.

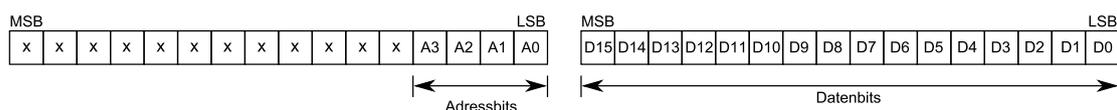


Bild 4.48: Aufbau eines Datenframes des Messverstärker

Die Programmierung erzeugt im Logikbaustein, Bild 4.49, ein Adress-Register mit Dekoder und drei Datenregistern. Alle Register sind als Schieberegister mit einer Breite von 16 Bits deklariert. Mit jedem Takt an **CLKin** werden die Daten vom Eingang **DATAin** übernommen. Der Eingang **CS_ADR** wählt bei Low-Pegel als Ziel der Daten das Adressregister. Wechselt der Pegel am Eingang **CS_ADR** auf High, wird die Adresse aus dem Register durch den Adressdecoder übernommen. Dieser selektiert dann das Ziel der nachfolgenden Datenübertragung. Dabei kann es sich um eines der drei Datenregister oder einen externen Busteilnehmer handeln.

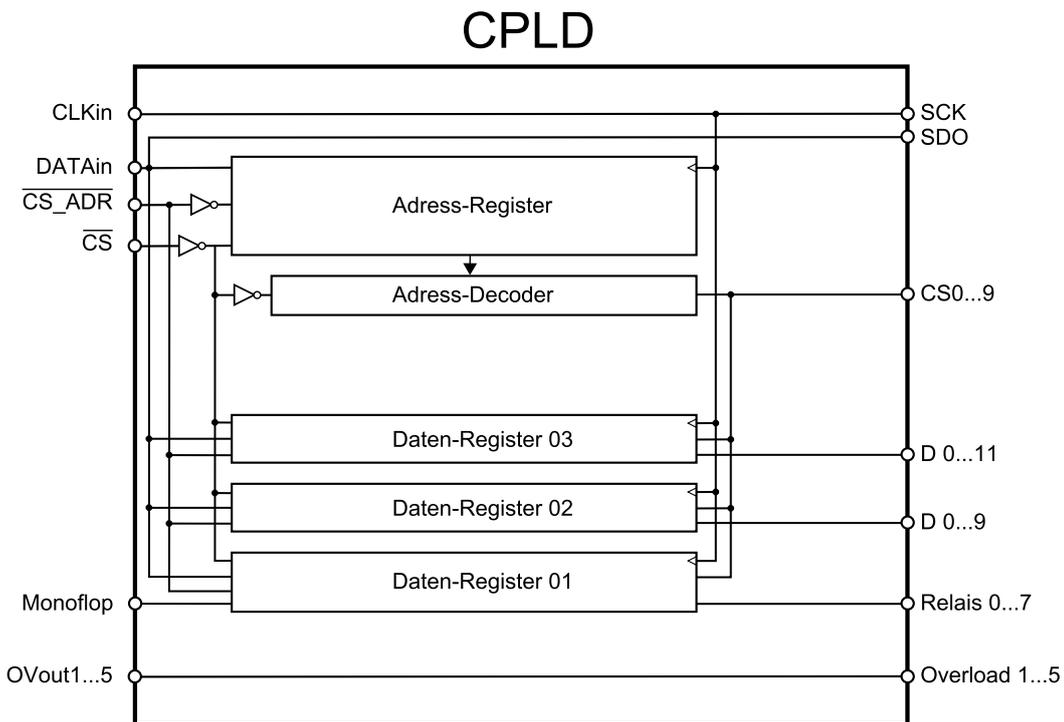


Bild 4.49: Aufbau Logikbaustein

Bild 4.50 zeigt das Timing Diagramm der SPI Schnittstelle des Messverstärkers. Die Parameter für Clock Phase und Clock Polarity, CPOL=0 CPHA=0, sind identisch mit denen des Digital-Analog-Wandlers AD5543. Ist das gewählte Ziel ein digitales Potentiometer AD5293, muss nach dem senden der Adresse das Übertragungsverfahren geändert werden. Das Datenwort muss dann mit den Parametern, CPOL=0 CPHA=1, gesendet werden. Die erste Datenübertragung an den Baustein besteht aus zwei Teilen: Einem ersten word, 0x1802, für die Freigabe der Programmierung und einem zweiten word für die Daten. Das Datenwort besteht aus zwei unbenutzten Bits am Anfang, vier nachfolgenden Kontroll-Bits **C0** - **C3** und 10 Datenbits. Kontroll-Bit **C0** muss für eine Übertragung eins sein, die restlichen sind Null.

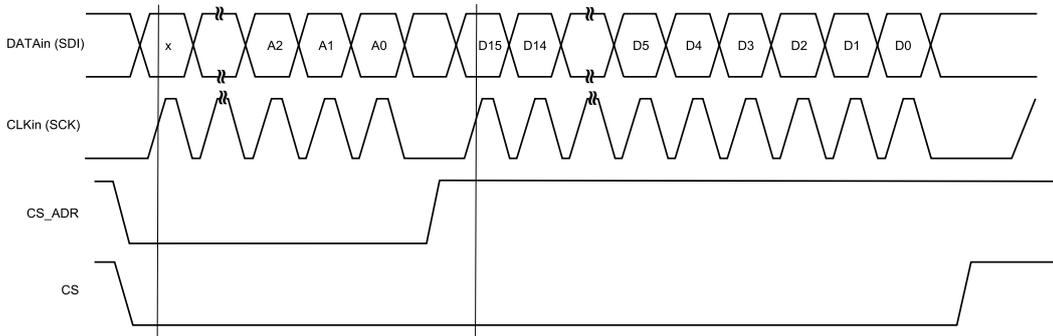


Bild 4.50: Timing Diagramm Messverstärker Schnittstelle - CPOL=0 CPHA=0

Tabelle 4.9 zeigt die Adressen, Übersicht 4.51 zeigt die zugehörige Bitverteilung.

Adresse	Ziel	Type
0x0001	Eingangsstufen	Register
0x0002	Messverstärker Parameter	Register
0x0003	Universalfilter Parameter	Register
0x0004	Universalfilter 1 - Verstärkung	DigiPoti
0x0005	Universalfilter 1 - Güte	DAC
0x0006	Universalfilter 1 - Frequenz 1	DAC
0x0007	Universalfilter 1 - Frequenz 2	DAC
0x0008	Universalfilter 2 - Verstärkung	DigiPoti
0x0009	Universalfilter 2 - Güte	DAC
0x000A	Universalfilter 2 - Frequenz 1	DAC
0x000B	Universalfilter 2 - Frequenz 2	DAC
0x000C	Offset	DigiPoti
0x000D	Ausgangsverstärker	DigiPoti

Tabelle 4.9: Adressen Messverstärker

4 Design

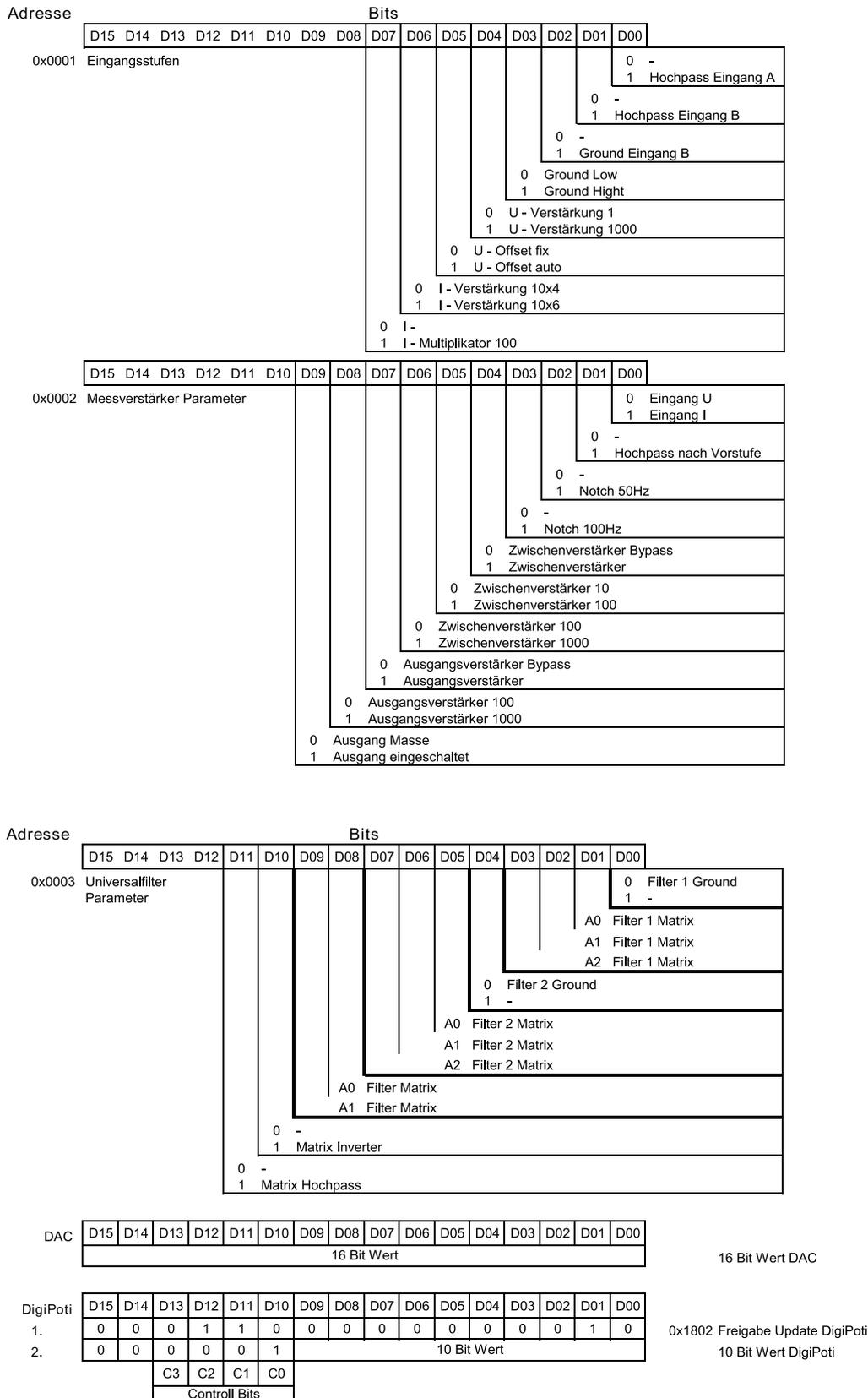


Bild 4.51: Bitverteilung Register

5 Realisierung

Aus den Schaltplänen der analogen und der digitalen Baugruppen wird das Layout für die Leiterplatten erstellt. Vor der Umsetzung müssen die Bauteile, die Gehäuseabmessungen und erforderliche Kühlmaßnahmen festgelegt werden. Die Inbetriebnahme und der Abgleich des Messverstärkers sind die letzten Schritte der Fertigung. Messungen schließen die Realisierung ab.

5.1 Layout

5.1.1 Bauteile

Die Schaltpläne der analogen und der digitalen Baugruppen dienen als Grundlage zur Erzeugung der Layouts für die Leiterplatten. Wichtiger Zwischenschritt ist davor die Zuordnung der gewünschten Bauform (engl. Footprint) für jedes Bauteil im Schaltplan.

Aus der Bauteilform resultiert der benötigte Platzbedarf auf der Leiterplatte. Passive Komponenten, z.B. Widerstände und Kondensatoren, stehen als bedrahtete und oberflächenmontierbare Bauelemente zur Verfügung. Bei integrierten Schaltkreisen geht der Trend zur ausschließlichen Fertigung in SMD Bauweise. [1][3].

Der Einsatz von SMD-Bauteilen bietet zwei entscheidende Vorteile: Geringerer Platzbedarf und eine beidseitige Bestückung der Leiterplatte. Der Nachteil der kleineren Bauform ist eine schlechtere Wärmeabführung durch die reduzierte Oberfläche. Auch ein Austausch defekter oder beschädigter Bauteile ist aufwendiger. Dazu steigt die Anzahl benötigter Durchkontaktierung, engl. vertical interconnect access (VIA).

Bei der Umsetzung werden beide Bauformen verwendet. Für die Ein- und Ausgangsbaugruppen werden bedrahtete integrierte Schaltkreise verbaut. Diese werden zusätzlich noch wartungsfreundlich gesockelt. Alle weiteren Bauteile werden als SMD Ausführung verwendet.

Für die BNC-Buchsen der Eingangsstufen müssen isolierte Kunststoffbuchsen verwendet werden. Nicht isolierte Buchsen würden einen Kurzschluss zwischen Eingangspotential und dem Gehäuse herstellen. Diese liegt zur Abschirmung auf Verstärkerpotential.

5.1.2 Gehäuse

Der Einschub des Messverstärkers in einen 19“-Geräteträger kann entweder direkt als Platine mit einer Frontplatte erfolgen oder als Einbau in ein geschlossenes Kassetteneinschubgehäuse.

Vorteile eines offenen Einbaus als Platine sind der geringe Platzbedarf und eine gute Abführung der Wärme. Gleichzeitig resultiert daraus aber nur eine geringe Abschirmung gegen Störungen. Die Verwendung einer 19“-Einschubkassette bietet dagegen einen hohen Grad an Abschirmung. Kühlrippen am Gehäuse sorgen dabei für eine gute Wärmeabführung.

Die Firma Schroff bietet 19“-Einschubkassetten in vielen Ausführungen an. Verwendet wird das Gehäuse 20809-537, Bild 5.1, zur Aufnahme einer Eurokarte mit einer Tiefe von 220 mm, einer Gehäusebreite von 10 Teilungseinheiten (TE) (50,8 mm) bei einer Höhe von 3 Höheneinheiten (HE) (133,35 mm).

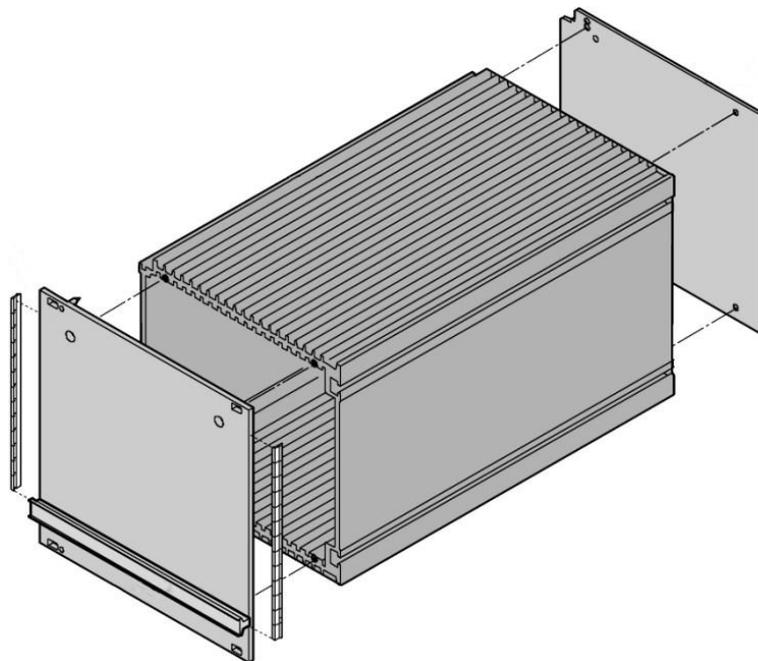


Bild 5.1: Gehäuse - Schroff 20809-537 [14]

Die Frontplatte erhält Bohrungen für Status-LEDs und BNC-Buchsen. Die Rückseite eine Ausfräsung für die Steckverbindung. Diese dient zur Kommunikation und Versorgung des Einschubes im Geräteträger.

5.1.3 Kühlkörper

Die Nutzung von Linearreglern zur Stromversorgung hat zur Folge das die anfallende Verlustleistung am Bauteil vollständig in Wärme umgesetzt wird. Diese kann direkt an die Luft, über Kühlflächen auf der Leiterplatte oder Kühlkörper abgeführt werden. Die erforderliche Maßnahme ist dabei abhängig von der anfallenden Verlustleistung P_D . Diese errechnet sich als Spannungsdifferenz zwischen Ein- und Ausgangsspannung ($V_{IN} - V_{OUT}$) multipliziert mit dem fließenden Laststrom I_L .

$$P_D = (V_{IN} - V_{OUT})I_L \quad (5.1)$$

Die angenommene Differenz zwischen Ein- und Ausgangsspannung beträgt für alle Spannungen 3 V. Davon unabhängig ist die Erzeugung der 3,3 V Versorgungsspannung. Diese wird aus der 5 V Spannungsversorgung erzeugt. Die Differenz beträgt damit konstant 1,7 V. Tabelle 5.1 zeigt die Strom- und Leistungsaufnahme mit einer Sicherheitsreserve von 10%.

Spannung	Verbraucher	Stromaufnahme	Leistungsaufnahme
3,3 V	Digitale Komponenten	0,15 mA	0,26 W
5 V	Digitale Komponenten	0,35 mA	1,1 W
±15 V	Low Noise Eingangsstufe	0,01 mA	0,03 W
±15 V	Messverstärker	0,25 mA	0,75 W
±15 V	Spitzenlast Messverstärker	0,6 mA	1,8 W

Tabelle 5.1: Strom- und Leistungsaufnahme Messverstärkerkomponenten

Die maximale Temperatur $T_{R(MAX)}$ errechnet sich aus der maximal zulässigen Sperrschichttemperatur $T_{J(MAX)}$ reduziert um die maximale Umgebungstemperatur $T_{A(MAX)}$.

$$T_{R(MAX)} = T_{J(MAX)} - T_{A(MAX)} \quad (5.2)$$

Die Sperrschichttemperatur beträgt 125 °C, die Umgebungstemperatur wird auf 50 °C festgelegt. Die Temperatur für $T_{R(MAX)}$ beträgt 75 °C.

Der maximale thermische Widerstand zwischen Gehäuse und Umgebung θ_{JA} kann aus der Verlustleistung P_D und der maximalen Temperatur $T_{R(MAX)}$ berechnet werden.

$$\theta_{JA} = T_{R(MAX)} / P_D \quad (5.3)$$

Der maximal zulässige thermische Widerstand ist von der verwendeten Gehäuseform abhängig. Wird er unterschritten ist ein Kühlkörper erforderlich.

Thermischer Widerstand für Gehäuse nach Datenblatt LM2940 [13]:

- $\theta_{JA} = \text{TO-220 } 53 \text{ °C/W}$
- $\theta_{JA} = \text{TO-263 } 80 \text{ °C/W}$
- $\theta_{JA} = \text{SOT-23 } 282 \text{ °C/W}$

Tabelle 5.2 zeigt die thermischen Widerstände aller eingesetzten Spannungsregler.

Spannung	Verbraucher	Thermischer Widerstand
3,3 V	Digitale Komponenten	294 °C/W
5 V	Digitale Komponenten	71 °C/W
±15 V	Low Noise Eingangsstufe	2500 °C/W
±15 V	Messverstärker	100 °C/W
±15 V	Spitzenlast Messverstärker	41,7 °C/W

Tabelle 5.2: Thermische Widerstände Spannungsregler

Für die 3,3 V Versorgung wird ein SOT-23 Gehäuse für den Spannungsregler eingesetzt. Für die 5 V Spannung wird die Gehäuseform TO-263 verwendet. Zur Verringerung des thermischen Widerstandes wird auf der Leiterplatte eine Kühlfläche unter den Spannungsregler angelegt. Diese hat eine Größe von 1 cm². Der thermische Widerstand verringert sich dadurch auf 60 °C/W [13]. Die Spannungsregler für die Eingangsstufen erhalten die gleiche Gehäuseform mit Kühlflächen auf der Leiterplatte.

Für die Spannungsregler der ±15 V Versorgung wird der Gehäusetyp TO-220 verwendet. Erst bei maximaler Stromaufnahme ist ein Kühlkörper erforderlich. Dieser verbessert auch

gleichzeitig die Abführung der regulären Verlustwärme. Der thermische Widerstand des eingesetzten Kühlkörpers beträgt $12\text{ }^{\circ}\text{C/W}$. Er ist geringer als die geforderten $41,7\text{ }^{\circ}\text{C/W}$ und bietet damit ausreichend Reserve.

Zur Verringerung der Verlustleistungen der Linearregler kann die Eingangsspannung reduziert werden. Eine Halbierung der Eingangsdifferenz auf $1,5\text{ V}$ reduziert die Verlustleistung auf die Hälfte. Die minimale Differenz am Eingang wird als Dropout Voltage bezeichnet und sollte für einen sicheren Betrieb 1 V nicht unterschreiten [13].

5.1.4 Leiterplatte

Nach Festlegung der Bauteile, Kühlkörper und des Gehäuses erfolgt die Umsetzung der Schaltpläne in Layouts für die Leiterplatten. Die Umsetzung erfolgt als doppelseitige Leiterplatten. Dies ermöglicht für die Prototypenentwicklung eine einfache Herstellung. Bei der Eigenfertigung der Leiterplatten kann keine Auftragung von Schutzlack erfolgen. Dafür ist ein Messen oder Ändern von Leiterbahnen ohne Einschränkung möglich.

Als Basismaterial für die Leiterplatte wird Epoxidharz mit der Materialbezeichnungen FR4 verwendet. Das Datenblatt des AD549[2] empfiehlt als Basismaterial Teflon für einen Strom-Spannungswandler. Dies besitzt einen höheren Isolationswiderstand als Epoxidharz und verringert dadurch Leckströme über das Basismaterial. Die Nutzung von Schutzflächen (engl. Guarding) rund um die Leiterbahn des Einganges ermöglicht alternativ die Verwendung von Epoxidharz. Die Flächen liegen auf Eingangsbetugspotential und sind mit dem Guard-Pin des Operationsverstärkers verbunden. Der geringe Spannungsunterschied zwischen Eingangssignal und Potential der Guardflächen führt zu einer Reduzierung von Leckströmen. Auch wird die Eingangskapazität hierdurch verkleinert und die Stabilität des Wandlers erhöht.

Die Trennung der Messsignale von der Versorgungsspannung und den digitalen Datenleitungen vermindert auch den Einfluss von Störungen. Die Messsignale werden auf der Oberseite der Analog-Platine geführt, Bild 5.2. Die Unterseite, Bild 5.3, führt alle Versorgungsspannungs- und Datenleitungen. Freie Bereiche werden mit Masseflächen zur Abschirmung und Erhöhung der Signaltrennung ausgefüllt.

Bei der digitalen Platine erfolgt die Aufteilung in Versorgungsspannungs- und Datenleitungslayer. Die Oberseite, Bild 5.4, beinhaltet alle Datenleitung, den Logikbaustein und alle Treiber-ICs. Die Spannungsregler und Kühlkörper sitzen getrennt auf der Unterseite, Bild 5.5. Freie Flächen der Platine werden auch mit Masseflächen ausgefüllt.

Wird statt eines Layouts mit zwei Seiten auf ein vierlagiges lagiges Platinenlayout gewechselt ist eine noch größere Schirmung und Trennung möglich. Ein mögliche Aufteilung wäre dann in Signal-, Masse-, Versorgungsspannungs- und Datenleitungslayer. Das Masselayer würde

dabei die Schirmung zur Betriebsspannung und den Datenleitungen erhöhen. Die Fertigung der Leiterplatten ist aber nur noch durch Fachfirmen möglich.

Wird das zweiseitige Layout professionell gefertigt durch einen Leiterplattenhersteller, so sollte auf die Benutzung von Schutzlack im Bereich des Strom-Spannungswandlers unbedingt verzichtet werden. Dieser führt, wie auch Verschmutzungen durch Dreck und Staub, zu weiteren unerwünschten Leckströmen.

Die Platinenlayouts befinden sich im Anhang ab Seite 118. Die zugehörigen Bestückungslisten der Platinen sind ab Seite 126 abgelegt, die Bestückungspläne folgen ab den Seiten 122 im Anhang.

Die Bilder 5.2, 5.3, 5.4 und 5.5 zeigen 3D-Zeichnungen der beiden Leiterplatten.

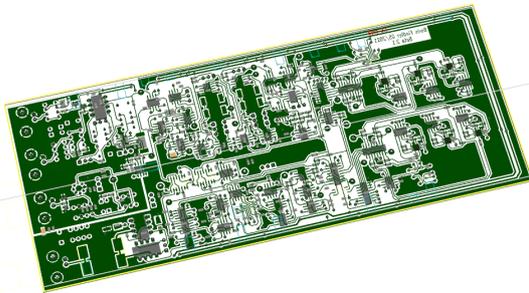


Bild 5.2: Oberseite analog Platine

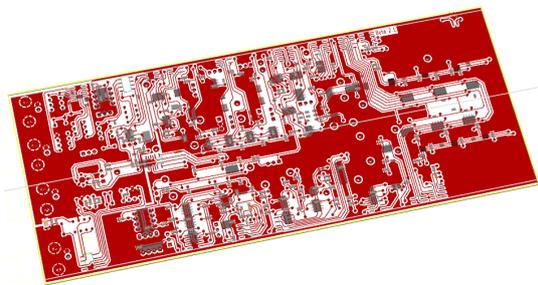


Bild 5.3: Unterseite analog Platine

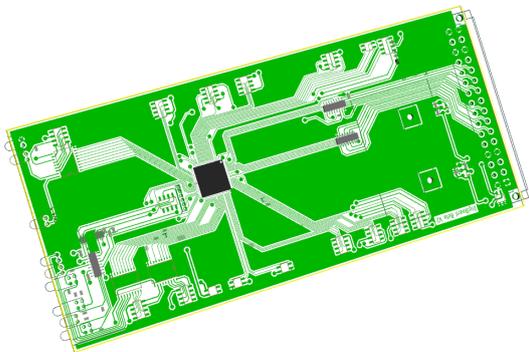


Bild 5.4: Oberseite digital Platine

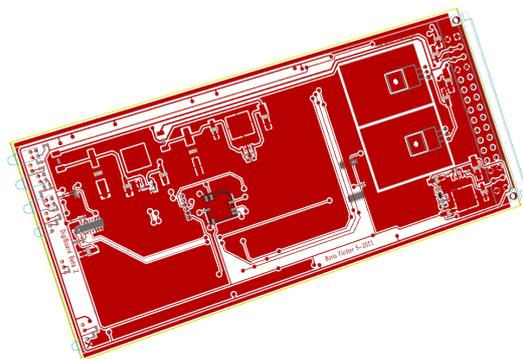


Bild 5.5: Unterseite digital Platine

5.2 Abgleich

Die Messverstärkerkarte besitzt zum Abgleich 16 Potentiometer auf der analogen Baugruppe. Diese ermöglichen das Einstellen von Offsets, Frequenzen und Verstärkungen der ver-

schiedenen Komponenten. Bild 5.6 zeigt eine Übersicht der Potentiometer auf der analogen Platine. Die einzelnen Testpunkte dienen dabei zum Abgreifen des Messsignals beim Abgleichvorgang.

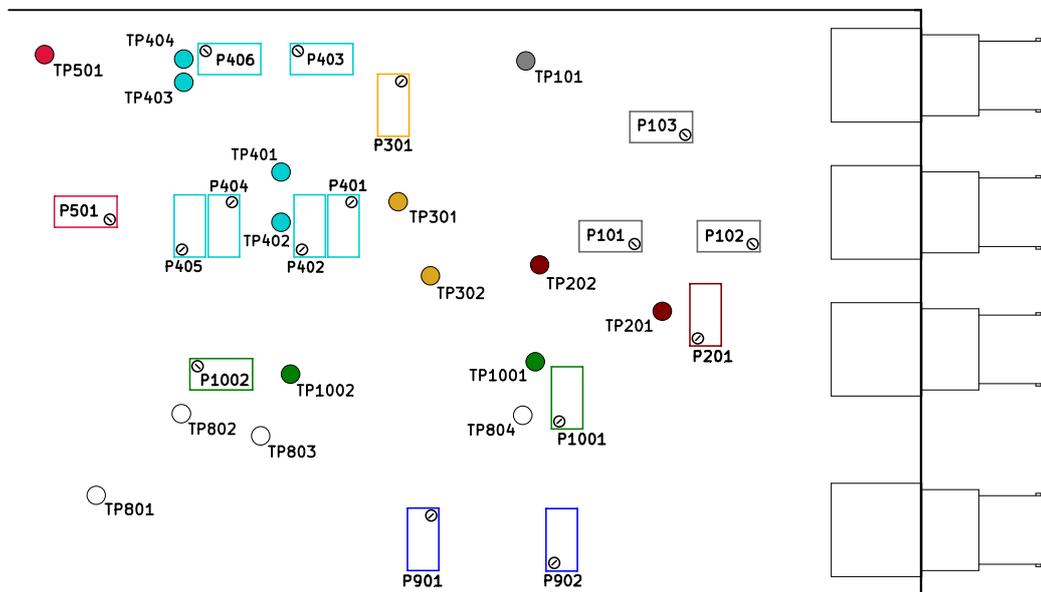


Bild 5.6: Potentiometer und Testpunkte Oberseite analoge Leiterplatte

Für den Abgleich der Messverstärkerkarte wird ein Funktionsgenerators benötigt. Die wählbare Ausgangsspannung sollte im Bereich zwischen 10 mV und 1 V liegen. Kleinere Spannungen können über Spannungsteiler aus Messwiderständen erzeugt werden. Als Abgleichfrequenz wird ein Sinus mit 1 kHz gewählt.

Die Potentiometer **P101**, **P102** und **P103** sind zum Abgleich der Verstärkung und des Offsets des Differenzverstärkers. Das Einstellen der Verstärkung für den Faktor 1000 erfolgt über das Potentiometer **P103**; das verstärkte Signal liegt dabei an Testpunkt **TP101** bereit. Für den Vorgang wird ein Spannungsteiler mit Faktor 1000 an den Eingang **A** angeschlossen. Auf einem Oszilloskop werden das Referenzsignal vom Funktionsgenerator und das Messsignal vom Testpunkt **TP101** gleichzeitig angezeigt. Ein Abgleich der Verstärkung ist erreicht, wenn das Messsignal deckungsgleich mit dem Referenzsignal ist. Gleichzeitig kann der Abgleich der Offsetspannung des Differenzverstärkers über Potentiometer **P101** erfolgen.

Bei einer anderen Verstärkung als Faktor 1 für den Differenzverstärker wird dann das Potentiometer **P102** zum Abgleich verwendet.

Das Abgleichen der Offsetspannung des Strom-Spannungs-Wandlers erfolgt über das Potentiometer **P201**. Das direkte Ausgangssignal des Wandlers, bezogen auf das Eingangsbezugspotential, liegt an Testpunkt **TP201** an. Am Messpunkt **TP202** steht das Signal bezogen

auf Verstärkerpotential zur Verfügung. Für den Abgleich wird der Funktionsgenerator auf 1 V eingestellt. Das Referenzsignal wird über einen 1 M Ω Messwiderstand mit dem Eingang des Strom-Spannungs-Wandlers verbunden. Als Proportionalfaktor wird $10^6 \frac{V}{A}$ verwendet. Das Referenzsignal und das Messsignal vom Testpunkt **TP202** werden auf dem Oszilloskop dargestellt. Der Abgleich ist erfolgt, wenn beide Signale deckungsgleich dargestellt werden.

Das zuschaltbare Hochpassfilters nach den Eingangsstufen verfügt über ein Potentiometer **P301** zum Abgleich der Offsetspannung des Filters. Für den Abgleichvorgang wird am Differenzverstärker-Eingang ein Sinus von 10 mV mit der Frequenz 1 kHz angelegt. Das Referenzsignal wird am Testpunkt **TP101** abgegriffen, das Ausgangssignal des Filters liegt am Testpunkt **TP301** an. Beide Signale werden auf dem Oszilloskop angezeigt. Der Offsetabgleich ist erfolgt, wenn beide Signale deckungsgleich dargestellt werden. Am Messpunkt **TP302** steht das Signal zusätzlich 20 kHz tiefpassgefiltert zur Verfügung.

Für das Einstellen des 50 Hz Notchfilters wird der Funktionsgenerator auf 3 V und 50 Hz eingestellt (Bild 5.7). Über das Potentiometer **P401** wird die Frequenz des Bandpassfilters auf 50 Hz abgeglichen. Am Testpunkt **TP401** liegt das gefilterte Signal zur Kontrolle an. Anschließend wird das komplette Notchfilter über den Messpunkt **TP402** abgeglichen. Potentiometer **P402** stellt den Anteil des Bandpasses bei der Addition ein, die Gesamtverstärkung des Filters wird über **P403** bestimmt.

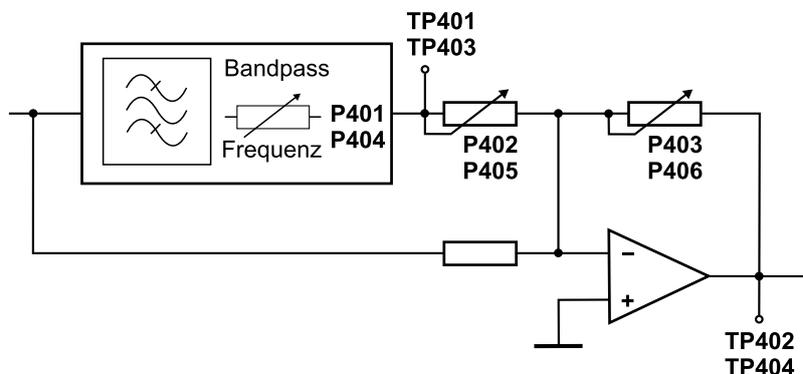


Bild 5.7: Abgleichpotentiometer Notchfilter

Der Filterabgleich muss so erfolgen, dass das Ausgangssignals an **TP402** um 180° phasenverschoben anliegt. Die Dämpfung der Sperrfrequenz beträgt laut Simulation 49 dB, dies entspricht einem Faktor von 282. Bei 3000 mV Eingangsspannung am Filter soll am Ausgang eine reduzierte Spannung von 10,6 mV anliegen. Bild 5.8 zeigt das gefilterte Messsignal (rot) an Testpunkt **TP402**. Die gemessene Spannung beträgt 4 mV, dies entspricht einer Sperrdämpfung 58 dB und ist damit größer als der simulierte Wert.

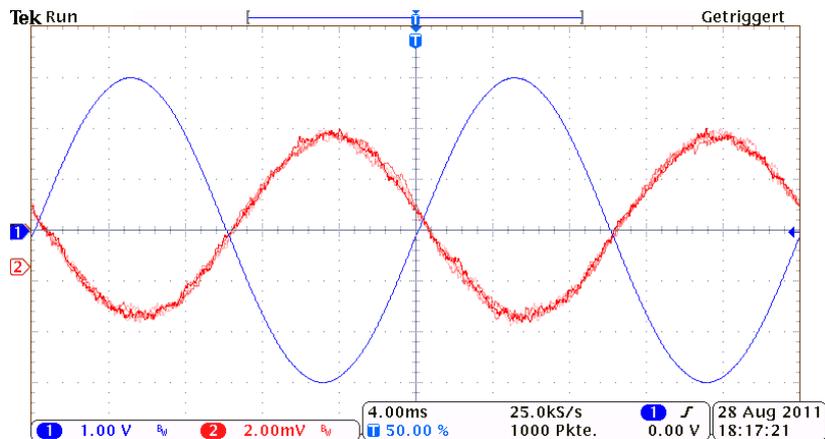


Bild 5.8: Oszilloskopbild 50 Hz Notchfilter

Das 100 Hz Notchfilter wird analog zum 50 Hz Filter abgeglichen. Der Vorgang erfolgt über die Potentiometer **P404**, **P405** und **P406** an den Testpunkten **TP403** und **TP404** (Bild 5.7).

Potentiometer **P501** ermöglicht den Offsetabgleich des Zwischenverstärkers. Der Vorgang erfolgt analog zum Abgleich des Offset vom Differenzverstärker am Eingang. Als Verstärkung wird Faktor 1000 für den Vorgang verwendet. Das verstärkte Signal liegt an Testpunkt **TP501** an.

Der Offsetabgleich des Ausgangsverstärkers erfolgt über das Potentiometer **P901** bei der größten Verstärkung. Das Ausgangssignal liegt zur Kontrolle an Pin 3 des Ausgangstreiber **IC907** an (Schaltplan Bild 4.37). Der Abgleich des Offsets des Ausgangstreiber erfolgt über das Potentiometer **P902**. An der Ausgangsbuchse **Out** liegt das verstärkte Signal an.

Die maximal zulässigen Spannungen für die Übersteuerungskontrolle werden über die Potentiometer **P1001** und **P1002** eingestellt. Die negative Spannung wird über **P1001** eingestellt. Sie liegt an Testpunkt **TP1001** an. Potentiometer **P1002** und Testpunkt **TP1002** sind für die positive Spannung zuständig.

Weitere Testpunkte ermöglichen Kontrollmessungen an verschiedenen Punkten des Messverstärkers. Am Testpunkt **TP801** steht das Ausgangssignal der Filtermatrix **IC803** zur Verfügung (Schaltplan Bild 4.36). Messpunkt **TP802** ist der Ausgang des Inverters **IC802**, **TP803** ist das Signal nach dem Hochpassfilter **IC809**. An Testpunkt **TP804** liegt das Signal nach dem einstellbaren Offsetabgleich **IC801** vor.

An den Testpunkten **TP601** bis **TP606** können Messungen am Universalfilter 1 vorgenommen werden (Schaltplan Bild 4.34), die Messpunkte **TP701** bis **TP705** sind für Universalfilter 2. Tabelle 5.3 zeigt eine Übersicht der Testpunkte, Bild 5.9 die Position auf der Leiterplatte.

Universalfilter 1	Universalfilter 2	Ausgangssignal
TP601	TP701	Bandsperr
TP602	TP702	Hochpass
TP603	TP703	Bandpass
TP604	TP704	Tiefpass
TP605	TP705	Matrixsignal
TP606	-	Invertiertes Matrixsignal

Tabelle 5.3: Übersicht Testpunkte Universalfilter

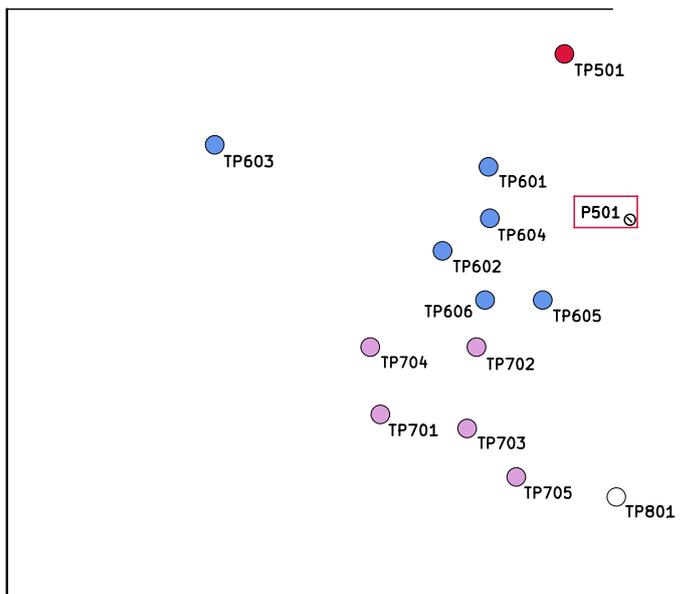


Bild 5.9: Testpunkte Universalfilter Oberseite analoge Leiterplatte

Bauteile mit Sternchen und ohne Wertangabe sind zur nachträglichen Kompensation der eingesetzten Operationsverstärker vorgesehen. Sie können bei Bedarf zusätzlich bestückt werden.

In den Schaltplänen vorhandene Bauteile mit einem zusätzlichen Sternchen bei der Wertangabe sind für Anpassungen vorgesehen. Sie bilden zusammen mit einem zweiten und größeren Widerstand als Kombination den erforderlichen Widerstandswert. Eine Anpassung kann

hierbei auf Grund von Bauteil- oder Fertigungstoleranzen erforderlich werden. Die Anpassung des kleineren Widerstandes der Kombination erfordert aber keinen variablen Abgleich mit einem Potentiometer.

Die Widerstände **R201** und **R202** legen zusammen parallel zum Widerstand **R204** den Proportionalfaktor für $10^4 \frac{V}{A}$ fest. Der berechnete Wert für die Kombination **R201** und **R202** beim Prototypen führte bei den Messungen aber zu einem geringeren Faktor. Durch Vergrößerung des Widerstandes **R201** konnte dieser Fehler jedoch ausgeglichen werden.

Beim Zwischenverstärker können Toleranzen durch Änderungen der Widerstände **R503**, **R504** und **R508** zusätzlich angepasst werden (Schaltplan Bild 4.28).

Am Ausgangsverstärker kann über den Widerstand **R905** eine Anpassung der Gesamtverstärkung für den Bereich 11 - 1011, wenn erforderlich, vorgenommen werden (Schaltplan Bild 4.37).

5.3 Messungen

Nach der Inbetriebnahme und den Abgleich des Messverstärkers erfolgen Messung der Eingangsstufen und der kompletten Verstärkerkarte. Die Messungen erfolgen ohne Schutzgehäuse gegen äußere Störungen (Bild 5.10). Nur so können auch Messungen an den Testpunkten vorgenommen werden. Im geschirmten Betrieb sollten teilweise noch bessere Resultate erzielt werden.

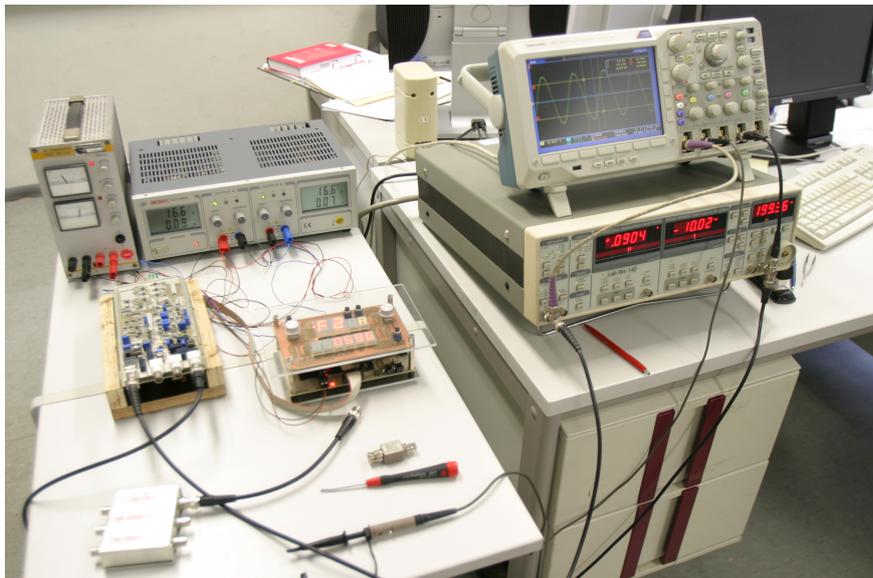


Bild 5.10: Aufbau zur Messung der Karte

5.3.1 Messung Differenzverstärker

Für die Messung des Differenzverstärkers wird ein Funktionsgenerator mit einer Sinusfrequenz von 1 kHz verwendet. Das Ausgangssignal wird über einen Spannungsteiler von 10.000:1 auf einen $10\text{ k}\Omega$ Messwiderstand geführt. Die über den Widerstand abfallende Spannung wird an den Punkten **A** und **B** als Differenzspannungsmessung erfasst. Bild 5.11 zeigt den Aufbau der Messung.

Für die erste Messung wird eine Generatorspannung (blau) mit einer Amplitude von 300 mV verwendet. Am Messwiderstand liegt eine Spannung von $30\text{ }\mu\text{V}$ an. Als Verstärkungsfaktors des Differenzverstärkers ist 1000 eingestellt. Bild 5.12 zeigt das Ausgangssignal am Testpunkt **TP101** des Verstärkers (rot). Das Signal ist deutlich von Rauschen überlagert, die Signalform ist jedoch noch klar erkennbar.

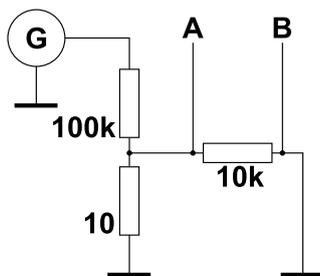


Bild 5.11: Aufbau Messanordnung Spannungsmessung

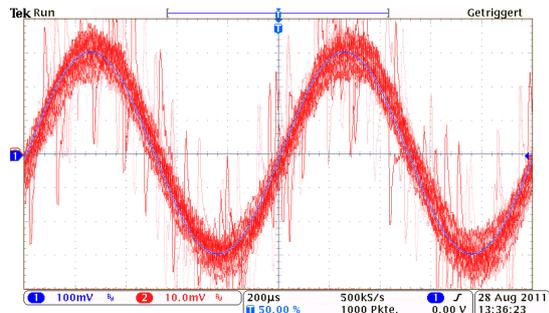


Bild 5.12: Spannung Messwiderstand $30\text{ }\mu\text{V}$
Verstärkung 1000

Durch Mittelung des Messsignals lässt sich das Rauschen deutlich reduzieren. Bild 5.13 zeigt die Messung aus Bild 5.12 über 16 Perioden gemittelt. Das Rauschen des Messsignals (rot) ist jetzt in seinem Umfang deutlich reduziert. Bild 5.14 zeigt eine Messung über 16 Perioden gemittelt mit einer Generatorspannung (blau) von 30 mV. Am Messwiderstand liegt eine Spannung von $3\text{ }\mu\text{V}$ an, die Verstärkung beträgt 1000. Ein Darstellung ohne Mittelung des Messsignals (rot) zeigt nur noch vollständiges Rauschen und lässt die Signalform nicht mehr erkennen.

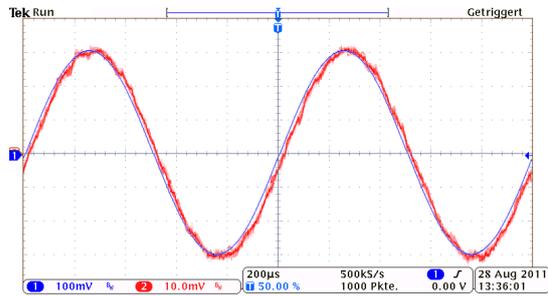


Bild 5.13: Spannung Messwiderstand
30 μV Verstärkung 1000
Mittelwert 16 Perioden

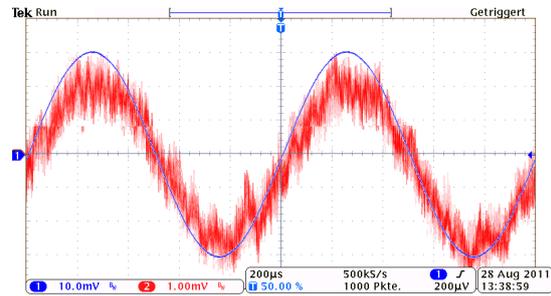


Bild 5.14: Spannung Messwiderstand
3 μV Verstärkung 1000
Mittelwert 16 Perioden

5.3.2 Messung Strom-Spannungs-Wandler

Die Messung des Strom-Spannungs-Wandler erfolgt mit einem Funktionsgenerator und einer Sinus-Frequenz von 1 kHz. Der Ausgang des Generators wird über einen Messwiderstand mit dem Strom-Eingang des Messverstärkers verbunden. Bild 5.15 zeigt den Aufbau der Messanordnung.

Bei der Messung mit dem Strom-Spannungs-Wandler bildet dieser ein virtuelle Masse an seinem Eingang. Somit fällt die gesamte Generatorspannung am Widerstand ab und begrenzt den maximalen Strom für die Messung. Bild 5.16 zeigt die Generatorspannung (blau) 1 V und die Ausgangsspannung des Strom-Spannungs-Wandlers an Testpunkt **TP201** (rot). Der eingepreßte Strom beträgt 1 nA, die Spannung am Ausgang des Strom-Spannungs-Wandlers beträgt 100 mV.

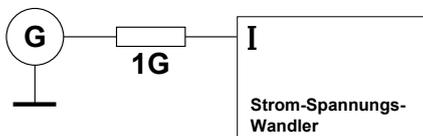


Bild 5.15: Aufbau Messanordnung
Strommessung

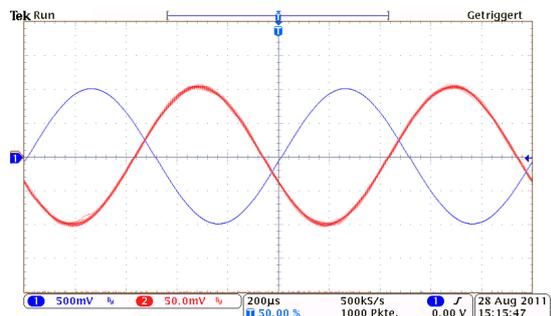


Bild 5.16: Generator 1 V - Strom 1 nA
Proportionalfaktor $10^8 \frac{\text{V}}{\text{A}}$

5 Realisierung

Eine Reduzierung der Generatorspannung verringert gleichzeitig den zu messenden Strom in der Messanordnung. Bild 5.17 zeigt das leicht verrauschte Ausgangssignal bei einem Strom von 100 pA. Wird der Strom weiter verkleinert nimmt das Rauschen deutlich zu. Bild 5.18 zeigt das stark von Rauschen überlagerte Messsignal bei einem Strom von 20 pA. Trotzdem ist die Signalform noch sehr gut und deutlich zu erkennen.

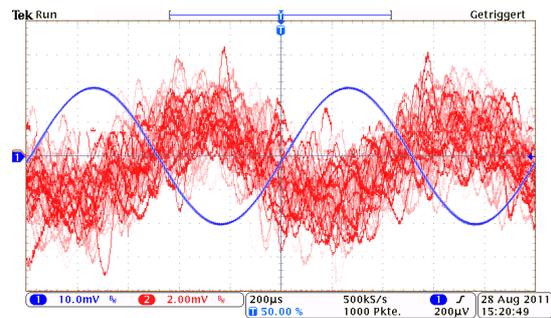
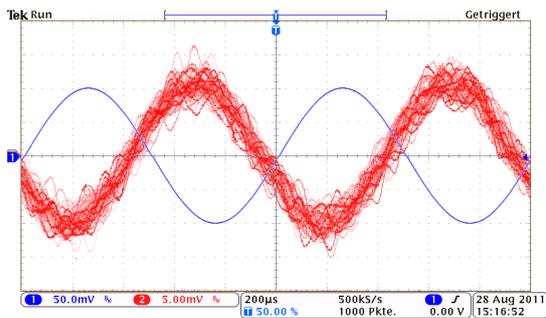


Bild 5.17: Generator 100 mV - Strom 100 pA Proportionalfaktor $10^8 \frac{\text{V}}{\text{A}}$ Bild 5.18: Generator 20 mV - Strom 20 pA Proportionalfaktor $10^8 \frac{\text{V}}{\text{A}}$

Durch Mittelung des Messsignal kann das stochastisch auftretenden Rauschen reduziert und das Signal-Rausch-Verhältnis vergrößert werden. Bei einer Mittelung über 16 Perioden n erhöht sich das Signal-Rausch-Verhältnis um 12 dB, was einen Faktor von 4 entspricht. Der Lock-In-Verstärker verwendet für die Mittelung einen Tiefpassfilter (Bild 2.3).

$$SNR = 20 \lg \sqrt{n} \quad (5.4)$$

Die Bilder 5.19 und 5.20 zeigen über 16 Perioden gemittelte Messungen.

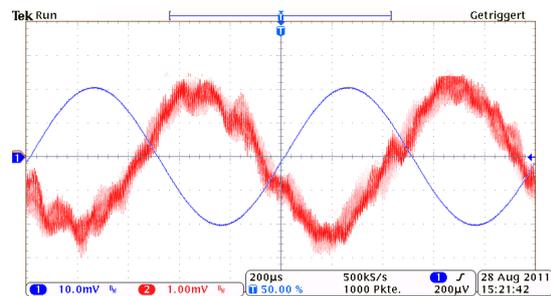
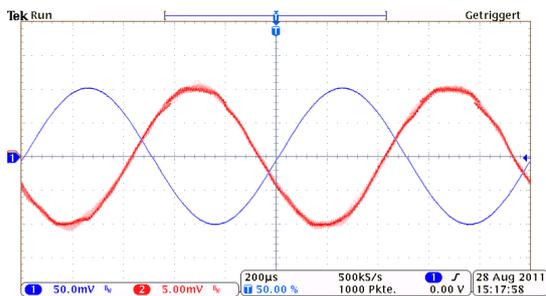


Bild 5.19: Generator 100 mV - Strom 100 pA Proportionalfaktor $10^8 \frac{\text{V}}{\text{A}}$ Bild 5.20: Generator 20 mV - Strom 20 pA Proportionalfaktor $10^8 \frac{\text{V}}{\text{A}}$

5.3.3 Messung Notchfilter

Bei einer Generatorfrequenz (blau) von 50 Hz und einer Spannung von 3 V beträgt die Ausgangsspannung am Testpunkt **TP402** des 50 Hz Notchfilters 4 mV. Dies entspricht einer Sperrdämpfung von 58 dB.

Für die Messung des 100 Hz Notchfilters wird die Generatorfrequenz dementsprechend angepasst. Am Ausgang des Filters am Testpunkt **TP404** liegt eine Spannung von 5 mV an. Dies entspricht einer Sperrdämpfung von 56 dB.

Die erzielte Sperrwirkung der beiden Filter ist damit um ca. 10 dB besser gegenüber den Simulationen.

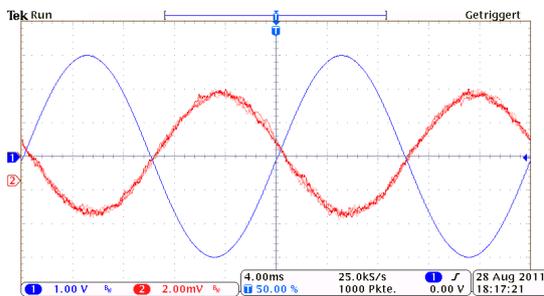


Bild 5.21: Messung 50 Hz Notchfilter
Testpunkt **TP402**

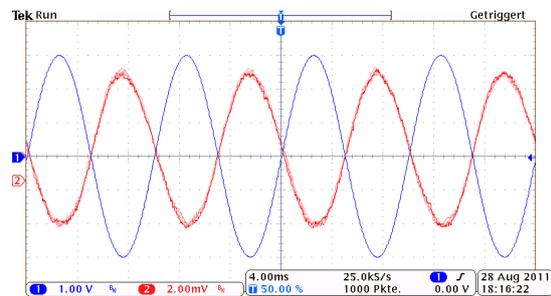


Bild 5.22: Messung 100 Hz Notchfilter
Testpunkt **TP404**

5.3.4 Messung Lock-In-Verstärker

Die Messungen erfolgen mit einem SR830 Lock-In-Verstärker der Firma Stanford Research Systems [16]. Die Messwerte werden mit einem Computer aufgezeichnet und anschließend als Diagramm mit Betrag und Phase dargestellt. Für die Messungen wird der Generator des Lock-In-Verstärkers verwendet.

Bild 5.23 zeigt den Frequenz- und Phasengang des Messverstärkers bei einer Verstärkung von 1. Die Generatorspannung beträgt 1 V bei einer Eingangsempfindlichkeit von 1 V des Lock-In-Verstärkers. Die Messung erfolgt über Eingang **A** als ein-kanalige Spannungsmessung. Bei 8 kHz beträgt die Dämpfung des Messverstärkers 0,5 dB bei einer Phasenverschiebung von 51° . Die Verschiebung der Phase kommt vom 20 kHz Tiefpassfilter zur Reduzierung von höherfrequenten Störungen. Ein Vergleich mit der Simulation des Filters in Bild 4.21 zeigt eine um ca. 6° größere Phasenverschiebung.

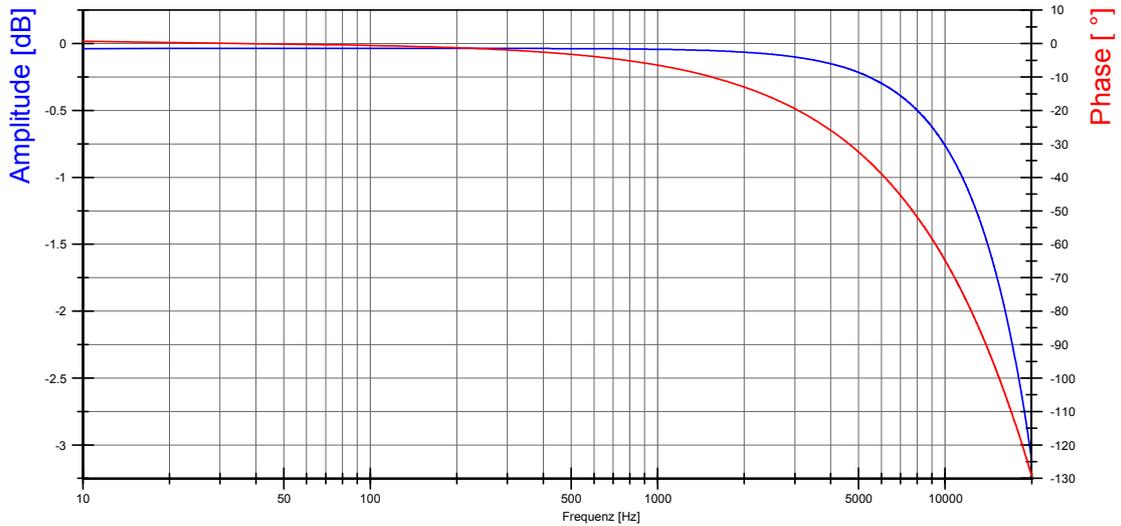


Bild 5.23: Frequenz- und Phasengang Messverstärkerkarte
Verstärkung 1

Für die nächste Messung wird die Ausgangsspannung des Generators mit einem Spannungsteiler von 1000:1 reduziert. Der Ausgang des Teilers wird mit Eingang **A** verbunden für eine ein-kanalige Spannungsmessung. Als Verstärkung wird 1000 für die Messung gewählt. Die Generatorspannung beträgt 1 V bei einer Eingangsempfindlichkeit von 1 V des Lock-In-Verstärkers.

Die Messung in Bild 5.24 zeigt, dass sich zu der Phasenverschiebung des Tiefpassfilters die Verschiebung des Verstärkers addiert hat. Sie beträgt somit bei einer Frequenz von 8 kHz bereits 90° . Gleichzeitig verringert sich mit steigender Frequenz die Verstärkung und dämpft damit die Amplitude. Bei 8 kHz beträgt sie $-2,25$ dB, dies entspricht einen Faktor von 0.77. Zum Ausgleich kann der variable Ausgangsverstärker genutzt werden.

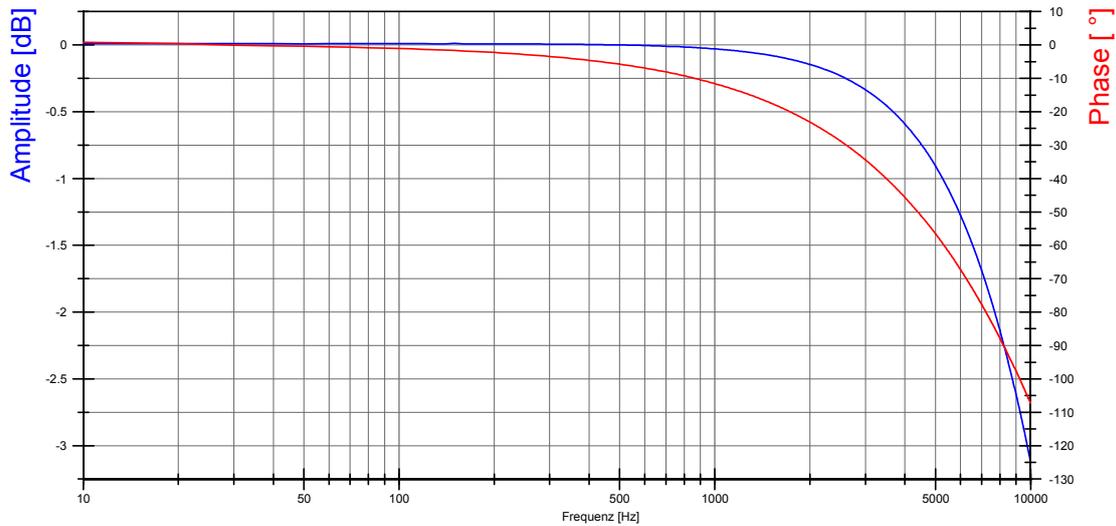


Bild 5.24: Frequenz- und Phasengang Messverstärkerkarte
Verstärkung 1000

Für die nachfolgenden Messungen wird die Spannung am Eingang des Differenzverstärkers weiter reduziert. Dafür wird die Kombination aus zwei Spannungsteilern verwendet, Bild 5.25 zeigt die Schaltung der Messanordnung. Die Generatorspannung von 1 V wird auf 100 nV reduziert. Die Spannungsmessung erfolgt als Differenzmessung an den Punkten **A** und **B**.

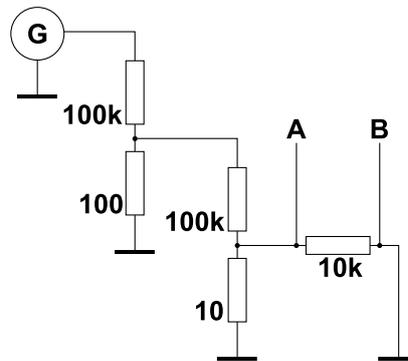


Bild 5.25: Aufbau erweiterte Messanordnung Spannungsmessung

Das Bild 5.26 zeigt eine Messung mit einer Verstärkung von 10^5 durch die Messverstärkerkarte und einer Verstärkung von 10^2 durch den Lock-In-Verstärker. Eine Verstärkung von 10^7 durch die Karte konnte nicht verwendet werden, die hohen Rauschteile im verstärkten Signal führten zu einer Übersteuerung des Lock-In-Verstärkers.

Die Messung zeigt dabei deutliche Störungen durch die 50 Hz Netzfrequenz und ihre Vielfachen. Diese sind gegenüber den Messsignal um bis zum Faktor 10 größer.

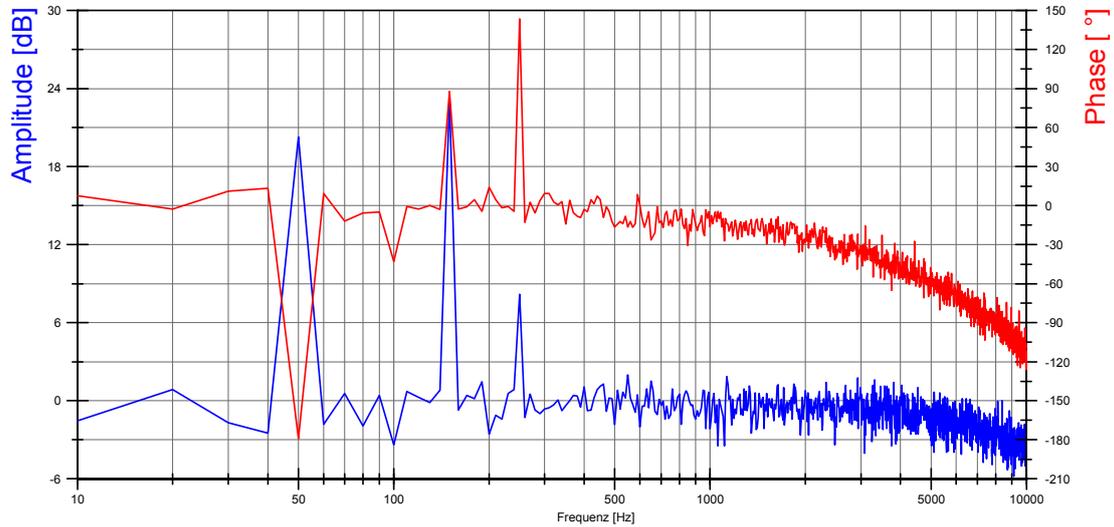


Bild 5.26: Frequenz- und Phasengang Messverstärkerkarte
Verstärkung 10^5

Werden die 50 Hz und 100 Hz Notchfilter zugeschaltet, zeigt das Bild 5.27 eine deutliche Reduzierung der Störung bei den beiden Frequenzen. Die Störungen bei 150 Hz und 250 Hz bleiben aber erhalten. Durch eine geeignete Schirmung der Karte im eingebauten Zustand ist eine deutliche Reduzierung dieser Störungen zu erwarten.

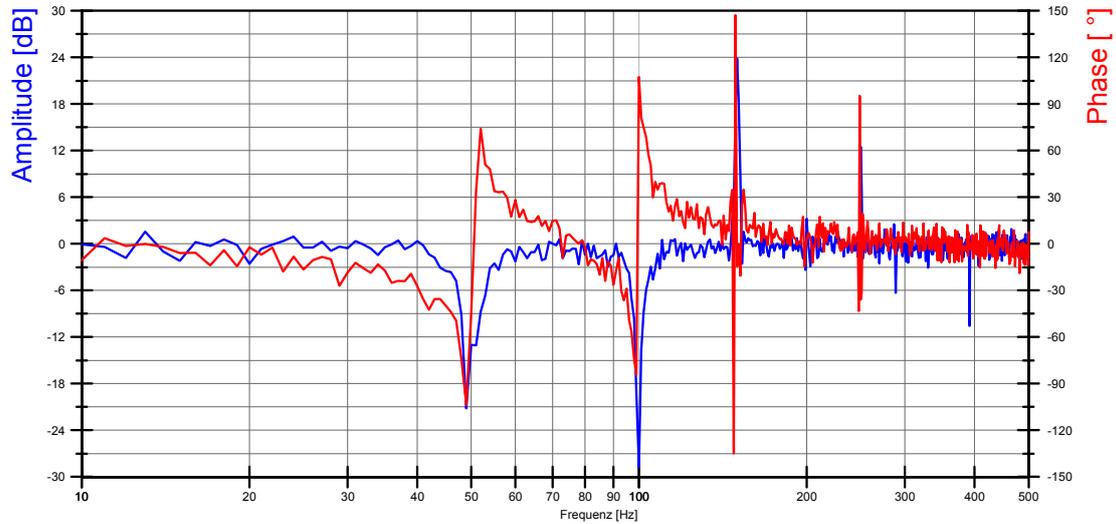


Bild 5.27: Frequenz- und Phasengang Messverstärkerkarte
50 Hz und 100 Hz Notchfilter - Verstärkung 10^5

Die Messung in Bild 5.28 zeigt ein Universalfilter als Bandpassfilter mit der Frequenz von 1 kHz, einer Verstärkung von 1 und der Güte von 25.

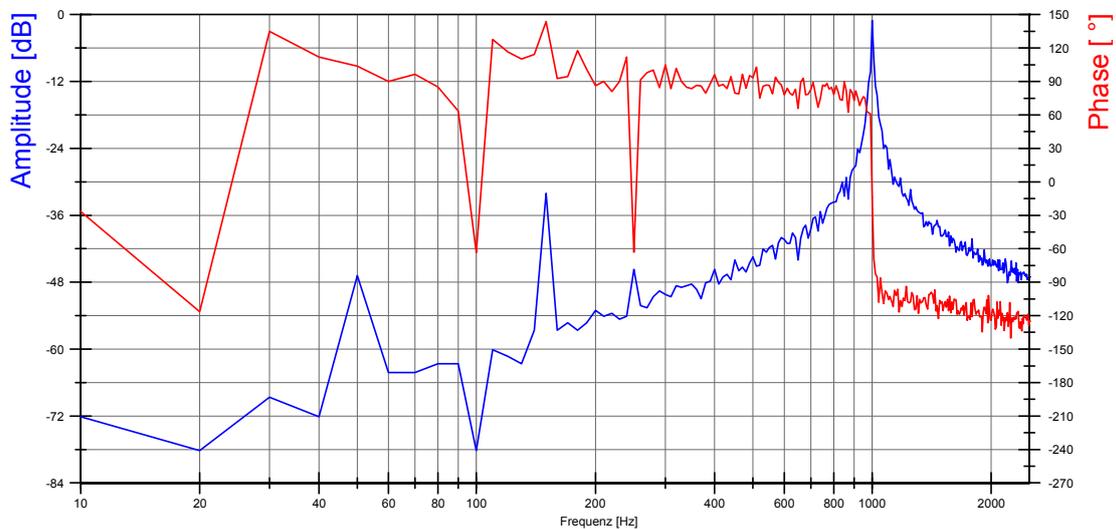


Bild 5.28: Frequenz- und Phasengang Messverstärkerkarte
50 Hz und 100 Hz Notchfilter - Verstärkung 10^7

Durch die Nutzung des Bandpassfilters ist jetzt eine Verstärkung von 10^7 durch den Messverstärker ohne Übersteuerung des Lock-In-Verstärkers möglich.

6 Zusammenfassung und Ausblick

6.1 Zusammenfassung

Im Rahmen dieser Arbeit wurde ein rauscharmer Messverstärker mit analogen Universalfiltern als Einschubkarte entwickelt und realisiert. Die Umsetzung erfolgt in einem kompakten Gehäuse. Dies ermöglicht den Einsatz in platzsparenden und rackmontagefähigen 19" Baugruppenträgern. Mehrere Einschübe in einem Gehäuse können dabei zusammen eine gemeinsame Spannungsversorgung verwenden. Ein zusätzlicher Controller-Einschub übernimmt die Kommunikation mit einem Computer sowie den Modulen über den SPI-Bus. Der Controller stellt gleichzeitig ein Display und Bedienelemente auf der Frontplatte für eine manuelle Bedienung der Einschübe bereit.

Im Vergleich mit industriell gefertigten einzelnen Messverstärkern [15] können dadurch Platzbedarf und Kosten erheblich reduziert werden. Dies wird erreicht durch die gemeinsame Nutzung von Netzteil, Bedienelementen und eines gemeinsamen Gehäuses. Durch die Zusammenfassung von Verstärker und Filter können diese noch einmal reduziert werden. Die Firma Scientific Instruments [15] bietet diese nur als Einzelprodukt an. Der Spannungsvorverstärker SR570 verfügt nur über rudimentäre Hoch- und Tiefpassfilter mit einer groben Auflösung. Soll eine bessere Filterung erfolgen, müssten dazu weitere Geräte in die Messkette eingeschleift werden. Diese verursachen wieder zusätzlich Kosten und benötigen extra Platz. Die Messverstärkerkarte vereint damit mehrere Geräte in einem und ermöglicht so ein breites Anwendungsspektrum für verschiedene Szenarien in der Messtechnik.

Die Messungen in Kapitel 5.3.4 zeigen als Beispiel den erfolgreichen Einsatz als Messverstärker für Lock-In-Messungen. Statt eines Lock-In-Verstärkers kann auch eine Analog-Digital-Wandler-Karte zusammen mit einem Computer für die Messung verwendet werden. Hierbei erfolgt Signalverarbeitung dann vollständig in Software. Die Messverstärkerkarte verstärkt dabei die Messsignale soweit, dass der volle Eingangsbereich des Analog-Digital-Wandlers verwendet werden kann.

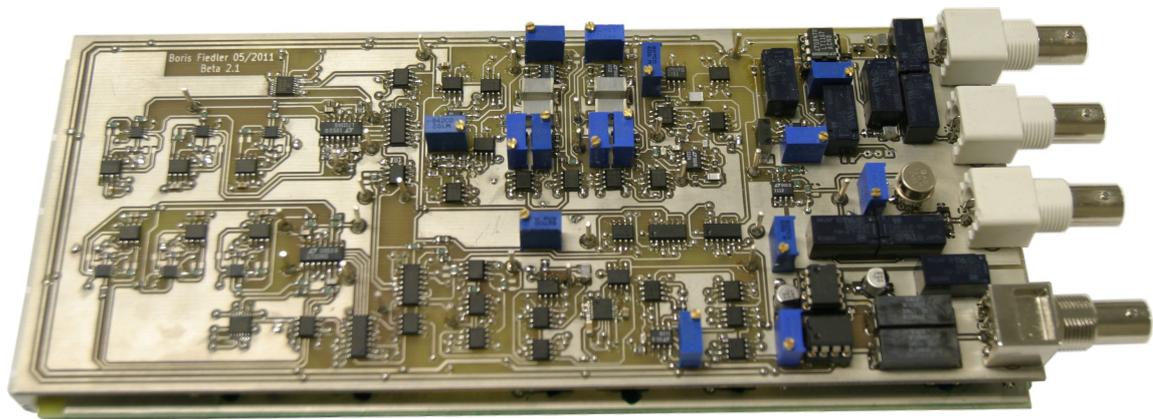


Bild 6.1: Messverstärker-Karte - Blick auf die analoge Platine von oben

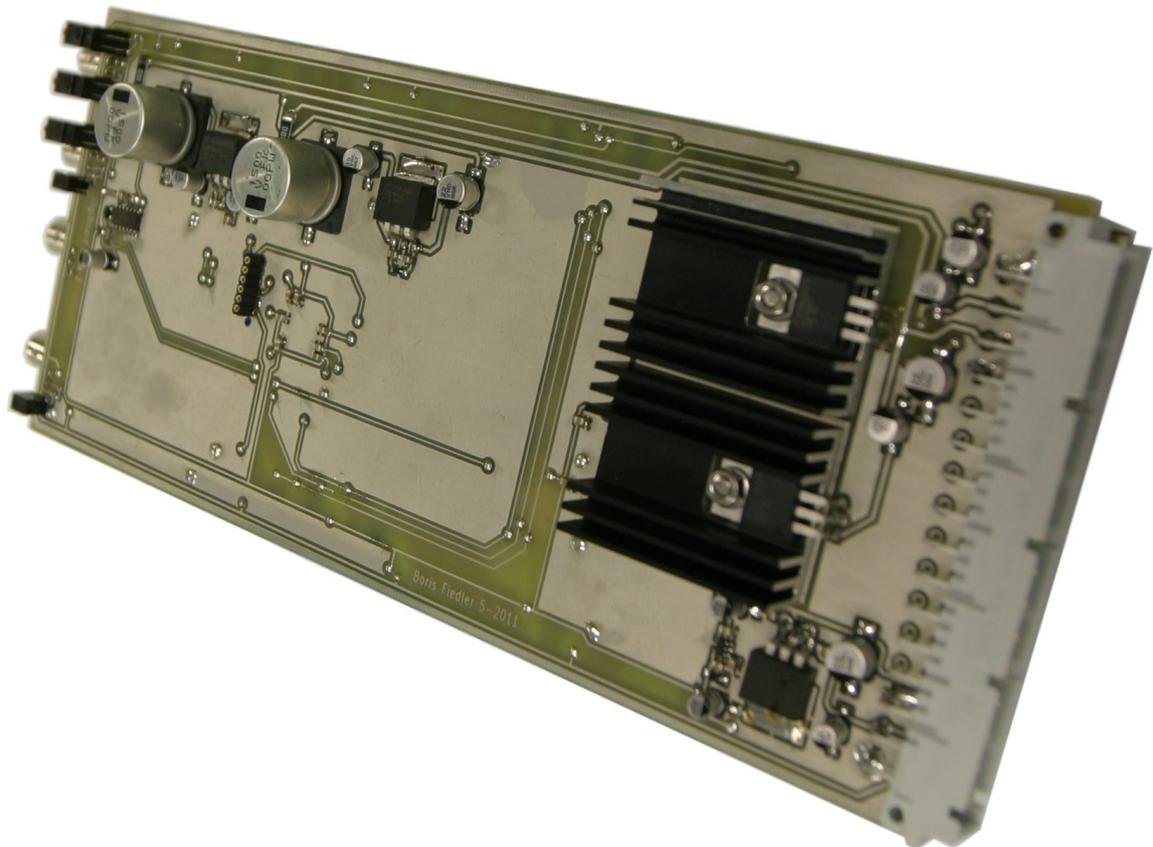


Bild 6.2: Messverstärker-Karte - Blick auf die digitale Platine von unten

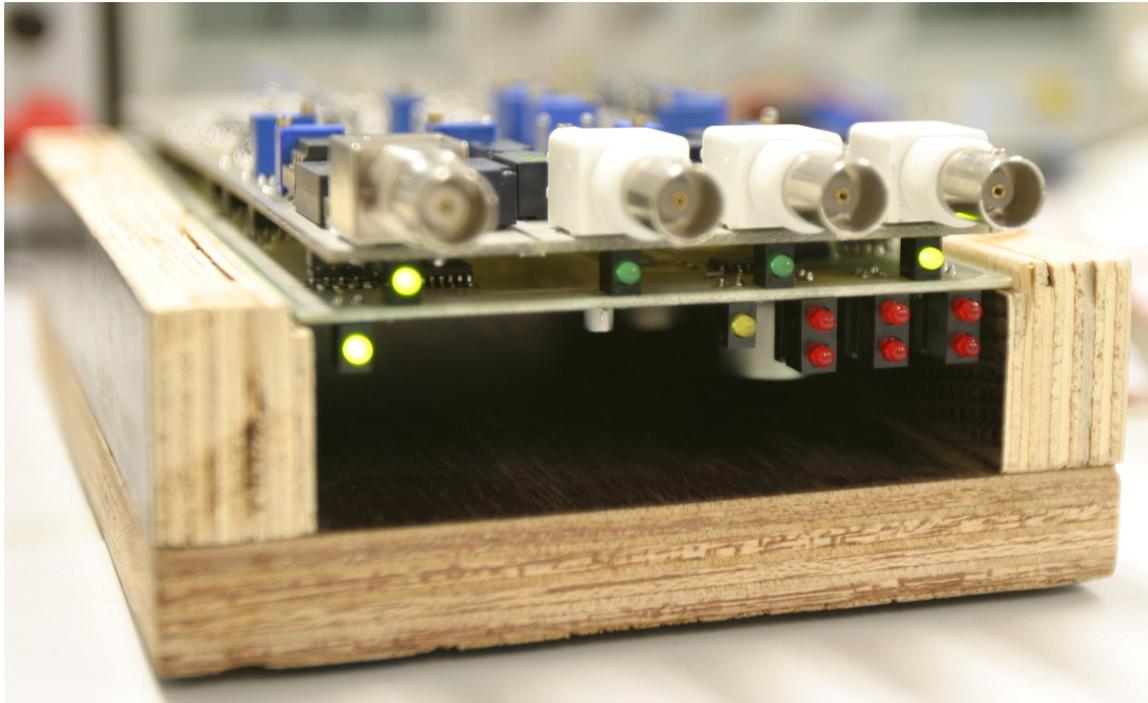


Bild 6.3: Messverstärker-Karte - Blick von vorne

6.2 Ausblick

Während der Erstellung dieser Arbeit sind Ansätze für weitere Module, die das gleiche modulare System zur Steuerung und Stromversorgung in demselben Einschub-Format nutzen, entstanden. Sie zeigen auf, dass mit dieser Einschubkarte ein Grundstein für ein umfangreiches und erweiterungsfähiges Messsystem gelegt wurde.

- Redundantes Netzteil
- Batterie-Versorgung
- Multiplexer-Einschub zur Umschaltung und Verteilung von Messsignalen
- Programmierbare Spannungsteiler-Einschub für Mess- und Referenzsignale
- Netzwerkschnittstelle und Webinterface für das Controller-Modul

Hieraus soll im Laufe der Zeit eine universelle Mess- und Steuerplattform für das Institut für Angewandte Physik der Universität Hamburg entstehen, das einer großen Vielzahl von Experimenten dienen kann und gleichzeitig eine schnelle Programmierung und Inbetriebnahme sowie einen einfachen und flexiblen Modul-Austausch erlaubt.

Literaturverzeichnis

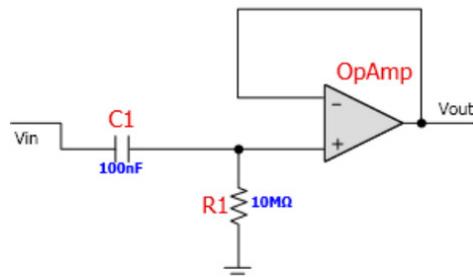
- [1] ANALOG DEVICES : *Datasheet AD5293*. http://www.analog.com/static/imported-files/data_sheets/AD5293.pdf. – [Stand: 7. August 2011]
- [2] ANALOG DEVICES : *Datasheet AD549*. http://www.analog.com/static/imported-files/data_sheets/AD549.pdf. – [Stand: 25. Juli 2011]
- [3] ANALOG DEVICES : *Datasheet AD5543*. http://www.analog.com/static/imported-files/data_sheets/AD5543_5553.pdf. – [Stand: 7. August 2011]
- [4] ANALOG DEVICES : *Datasheet ADG419*. http://www.analog.com/static/imported-files/data_sheets/ADG419.pdf. – [Stand: 26. Juli 2011]
- [5] ANALOG DEVICES : *Digital Potentiometers Overview*. <http://www.analog.com/en/digital-to-analog-converters/digital-potentiometers/products/index.html>. – [Stand: 7. August 2011]
- [6] ANALOG DEVICES : *Instrumentation Amplifiers Overview*. <http://www.analog.com/en/specialty-amplifiers/instrumentation-amplifiers/products/index.html>. – [Stand: 19. Juli 2011]
- [7] ANALOG DEVICES : *Low input bias current amplifiers*. <http://www.analog.com/en/precision-op-amps/low-input-bias-current-amplifiers/products/index.html>. – [Stand: 24. Juli 2011]
- [8] LINEAR TECHNOLOGY : *Datasheet LT1128*. <http://cds.linear.com/docs/Datasheet/1028fa.pdf>. – [Stand: 1. August 2011]
- [9] LINEAR TECHNOLOGY : *Datasheet LT1167*. <http://cds.linear.com/docs/Datasheet/1167fb.pdf>. – [Stand: 20. Juli 2011]
- [10] LINEAR TECHNOLOGY : *Instrumentation Amplifiers Overview*. http://parametric.linear.com/html/instrumentation_amplifiers. – [Stand: 19. Juli 2011]
- [11] LINEAR TECHNOLOGY : *LTspice IV V4.11z - LTspice*. <http://www.linear.com/designtools/software/>. – [Stand: 22. Juli 2011]

- [12] MAXIM : *Digital Potentiometers Overview*. http://www.maxim-ic.com/products/digi_pot/. – [Stand: 7. August 2011]
- [13] NATIONAL SEMICONDUCTOR : *Datasheet LM2940*. <http://www.national.com/ds/LM/LM2940.pdf>. – [Stand: 12. August 2011]
- [14] SCHROFF : *Gehäuse 20809-537*. <http://new.schroff.de/catalogue/catalogue.do;jsessionid=77FAC42D1CACE5283D4991FED3DF7F97?upTree=0&OID=00000000000176720002003a&favOid=00000000000176720002003a&act=showBookmark&forward=showProductDetails&lang=de&catId=DE>. – [Stand: 12. August 2011]
- [15] STANFORD RESEARCH SYSTEMS : *Scientific Instruments Products*. <http://www.thinksrs.com/products/sci.htm>. – [Stand: 07. September 2011]
- [16] STANFORD RESEARCH SYSTEMS : *SR830 DSP LOCK-IN AMPLIFIER manual*. <http://www.thinksrs.com/downloads/PDFs/Manuals/SR830m.pdf>. – [Stand: 01. August 2011]
- [17] TEXAS INSTRUMENTS : *Datasheet BUF634*. <http://www.ti.com/lit/ds/symlink/buf634.pdf>. – [Stand: 08. August 2011]
- [18] TEXAS INSTRUMENTS : *Datasheet OPA2140*. <http://focus.ti.com/lit/ds/symlink/opa2140.pdf>. – [Stand: 08. August 2011]
- [19] TEXAS INSTRUMENTS : *Datasheet OPA627*. <http://focus.ti.com/lit/ds/symlink/opa627.pdf>. – [Stand: 08. August 2011]
- [20] TEXAS INSTRUMENTS : *Datasheet UAF42*. <http://focus.ti.com/lit/ds/symlink/uaf42.pdf>. – [Stand: 07. August 2011]
- [21] TEXAS INSTRUMENTS : *FilterPro Desktop V3.01 - Active Filter Design Application*. <http://focus.ti.com/docs/toolsw/folders/print/filterpro.html>. – [Stand: 28. Juli 2011]
- [22] TEXAS INSTRUMENTS : *Instrumentation Amplifiers Overview*. http://focus.ti.com/paramsearch/docs/parametricsearch.tsp?family=analog&familyId=500&uiTemplateId=NODE_STRY_PGE_T. – [Stand: 19. Juli 2011]
- [23] TEXAS INSTRUMENTS : *Low Input Bias Current/FET Input*. http://focus.ti.com/paramsearch/docs/parametricsearch.tsp?family=analog&familyId=1478&uiTemplateId=NODE_STRY_PGE_T. – [Stand: 24. Juli 2011]

- [24] TEXAS INSTRUMENTS : *Noise Analysis in Operational Amplifier Circuits - SLVA043B*. <http://www.ti.com/lit/an/slva043b/slva043b.pdf>. 2007. – [Stand: 29. August 2011]
- [25] XILINX : *Datasheet XC95144XL*. http://www.xilinx.com/support/documentation/data_sheets/ds056.pdf. – [Stand: 11. August 2011]
- [26] BLUM, Alfons: *Elektronisches Rauschen*. 1. Auflage. Stuttgart : B. G. Teubner, 2002. – ISBN 351906138
- [27] KEITHLEY: *Low Level Measurements Handbook*. 6., edition. Keithley, 2004
- [28] MANCINI, Ron: *OpAmps for everyone - SLOD006B*. <http://focus.ti.com/lit/an/slod006b/slod006b.pdf>. 2002. – [Stand: 31. Juli 2011]
- [29] MOLINA, Johnnie: *Application Bulletin - Digitally programmable, time-continuous active Filter*. <http://focus.ti.com/lit/ds/symlink/uaf42.pdf>. – [Stand: 07. August 2011]
- [30] NEFF, Hans: *Physikalische Meßtechnik*. 1. Auflage. Mannheim : Bibliographisches Institut Mannheim, 1976. – ISBN 341100066
- [31] TIETZE, Ulrich ; SCHENK, Christoph ; GAMM, Eberhard: *Halbleiter-Schaltungstechnik*. 12., neu bearb. Auflage. Berlin : Springer, 2002. – ISBN 3540428496
- [32] ZUMBAHLEN, Hank: *Basic Linear Design*. http://www.analog.com/library/analogdialogue/archives/43-09/linear_circuit_design_handbook.html. 2007. – [Stand: 31. Juli 2011]

**FilterPro Design Report
Schematic**

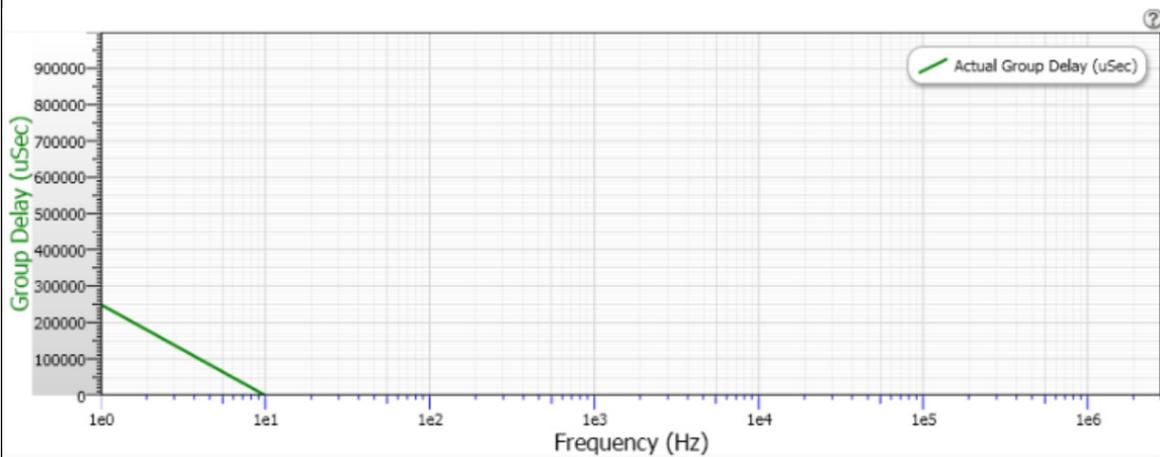
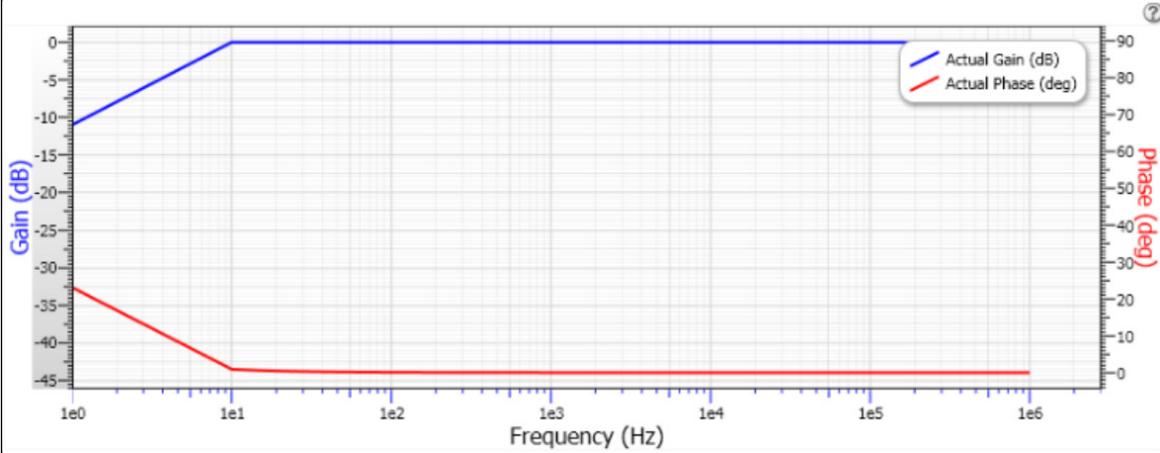
Design Name: Highpass, Real Pole, Linear Phase 0,5° **Part:** Ideal Opamp **Order:** 1 **Stages:** 1
Gain: 1 V/V (0 dB) **Allowable PassBand Ripple:** 1 dB **Passband Frequency:** 0 Hz
Corner Frequency Attenuation: -3 dB



Filter Stage: 1
Passband Gain(Ao) : 1
Cutoff Frequency(fn): 0 Hz
QualityFactor (Q): 0,5
Filter Response: LinearPhase_05
Circuit Topology: RealPole
Min GBW reqd.: 7,95 Hz

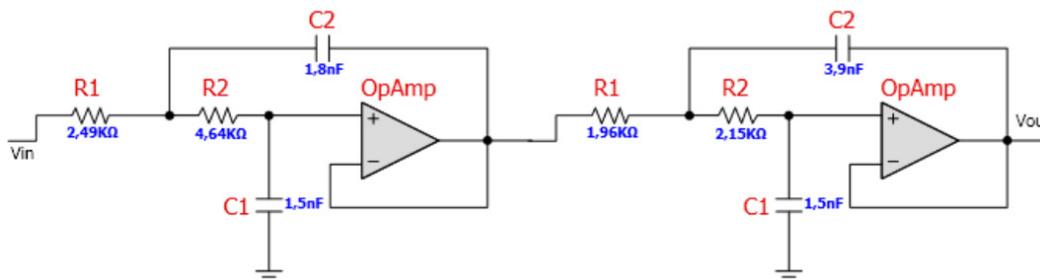
FilterPro Design Report Frequency and Phase Responses

Design Name: Highpass, Real Pole, Linear Phase 0,5° **Part:** Ideal Opamp **Order:** 1 **Stages:** 1
Gain: 1 V/V (0 dB) **Allowable PassBand Ripple:** 1 dB **Passband Frequency:** 0 Hz
Corner Frequency Attenuation: -3 dB



FilterPro Design Report Schematic

Design Name: Lowpass, Sallen Key, Bessel **Part:** Ideal Opamp **Order:** 4 Stages: 2
Gain: 1 V/V (0 dB) **Allowable PassBand Ripple:** 1 dB **Passband Frequency:** 20 kHz
Corner Frequency Attenuation: -3 dB

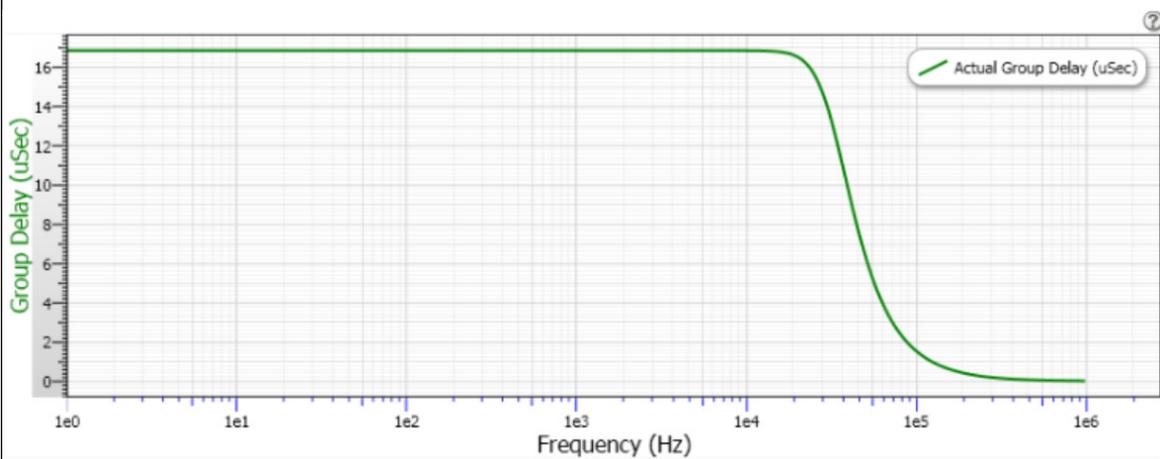
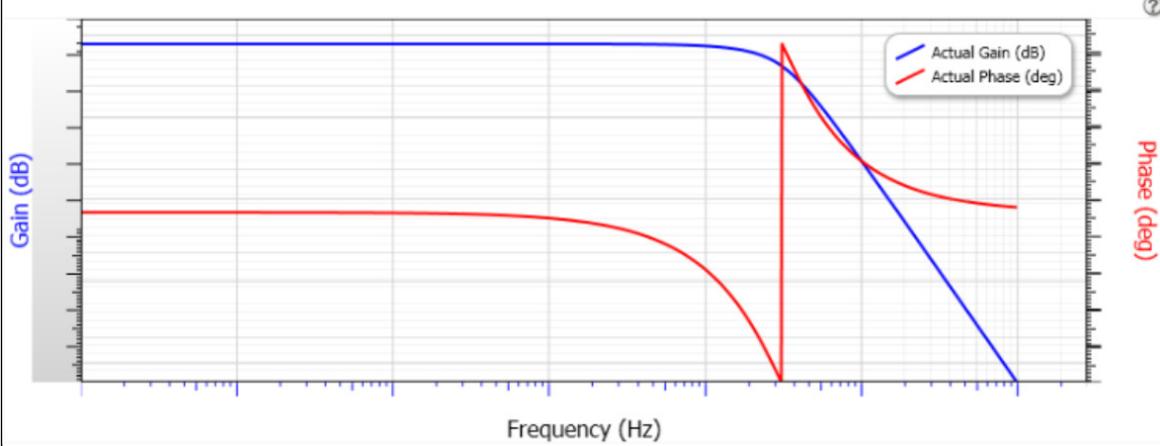


Filter Stage: 1
 Passband Gain(Ao): 1
 Cutoff Frequency(fn): 28,38 kHz
 QualityFactor (Q): 0,52
 Filter Response: Bessel
 Circuit Topology: SallenKey
 Min GBW reqd.: 1,4758 MHz

Filter Stage: 2
 Passband Gain(Ao): 1
 Cutoff Frequency(fn): 31,82 kHz
 QualityFactor (Q): 0,81
 Filter Response: Bessel
 Circuit Topology: SallenKey
 Min GBW reqd.: 2,5774 MHz

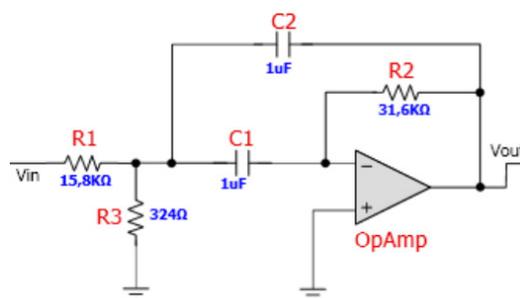
FilterPro Design Report Frequency and Phase Responses

Design Name: Lowpass, Sallen Key, Bessel Part: Ideal Opamp Order: 4 Stages: 2
 Gain: 1 V/V (0 dB) Allowable PassBand Ripple: 1 dB Passband Frequency: 20 kHz
 Corner Frequency Attenuation: -3 dB



FilterPro Design Report Schematic

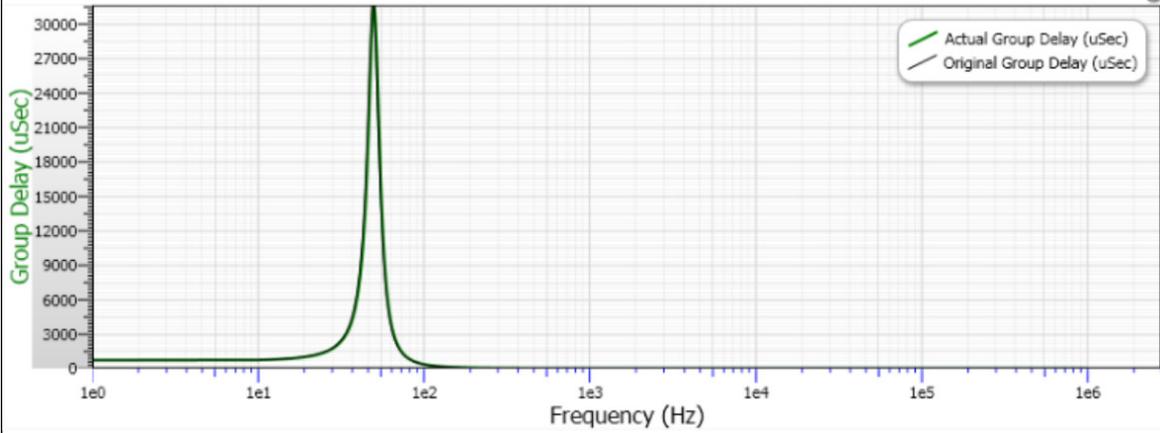
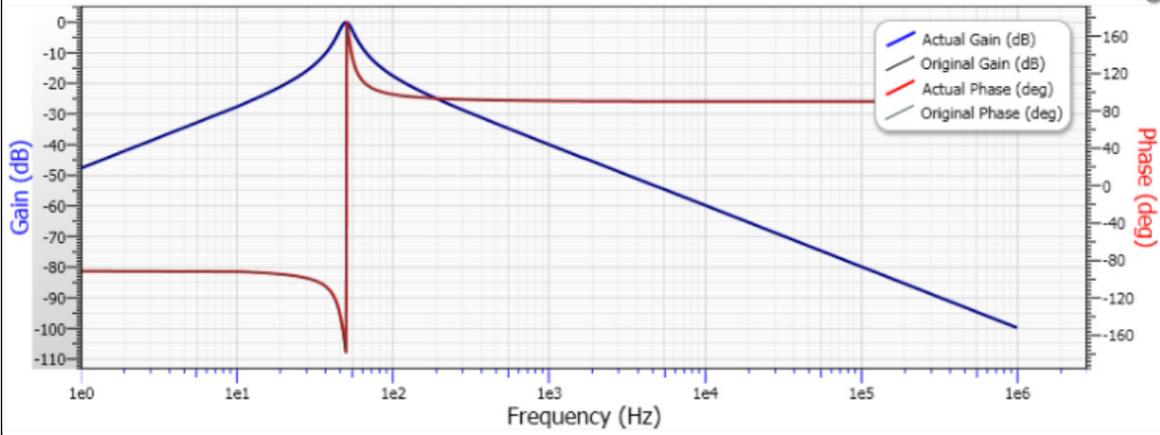
Design Name: Bandpass, Multiple Feedback, Bessel **Part:** Ideal Opamp **Order:** 2 Stages: 1
Gain: 1 V/V (0 dB) **Center Frequency:** 50 Hz **Corner Frequency Attenuation:** -3 dB
Passband Bandwidth: 10 Hz



Filter Stage: 1
 Passband Gain(Ao) : 1
 Center Frequency(fo): 50 Hz
 QualityFactor (Q): 5
 Passband BW. (BW): 10 Hz
 Filter Response: Bessel
 Circuit Topology: MultipleFeedback
 Min GBW reqd.: 25 kHz

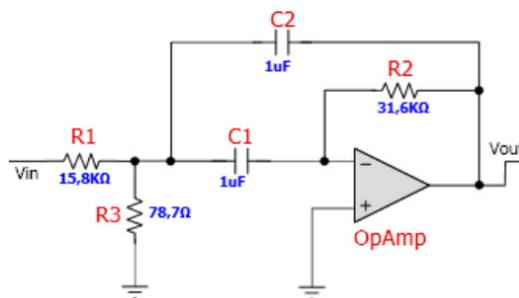
FilterPro Design Report Frequency and Phase Responses

Design Name: Bandpass, Multiple Feedback, Bessel **Part:** Ideal Opamp **Order:** 2 Stages: 1
Gain: 1 V/V (0 dB) **Center Frequency:** 50 Hz **Corner Frequency Attenuation:** -3 dB
Passband Bandwidth: 10 Hz



FilterPro Design Report Schematic

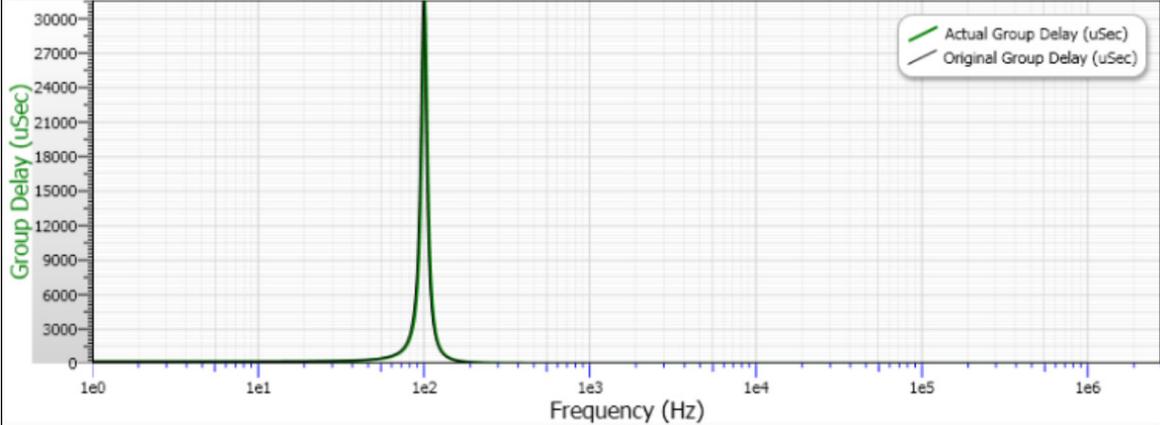
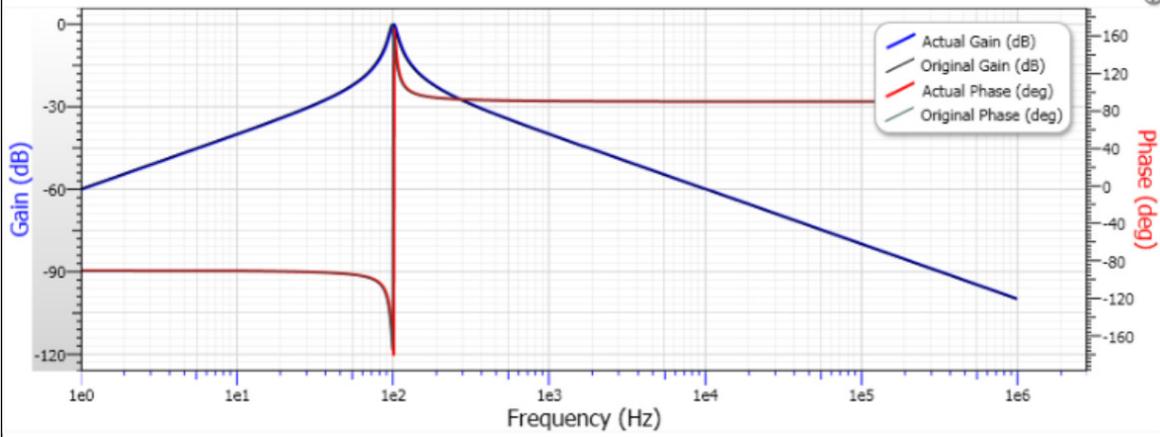
Design Name: Bandpass, Multiple Feedback, Bessel **Part:** Ideal Opamp **Order:** 2 Stages: 1
Gain: 1 V/V (0 dB) **Allowable PassBand Ripple:** 1 dB **Center Frequency:** 100 Hz
Corner Frequency Attenuation: -3 dB **Passband Bandwidth:** 10 Hz

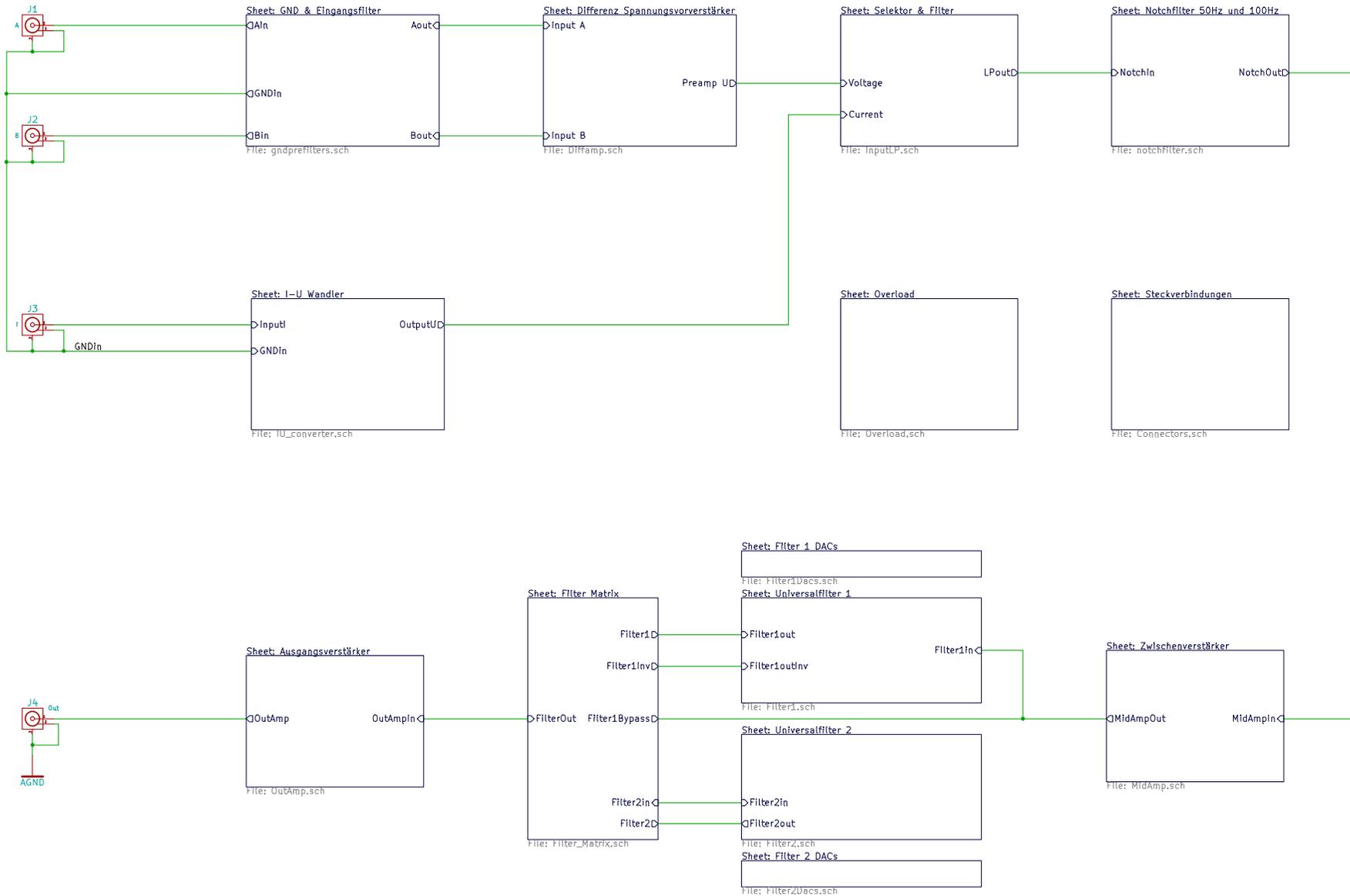


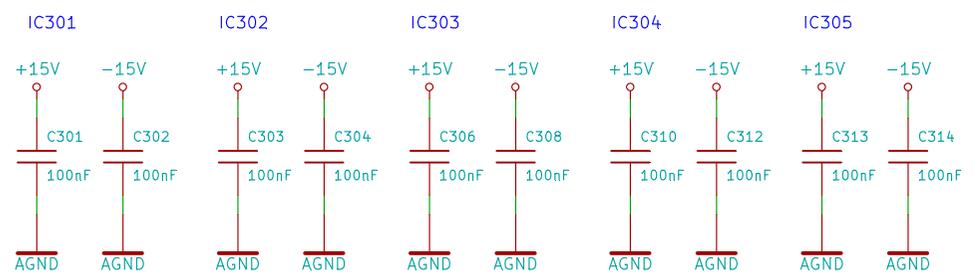
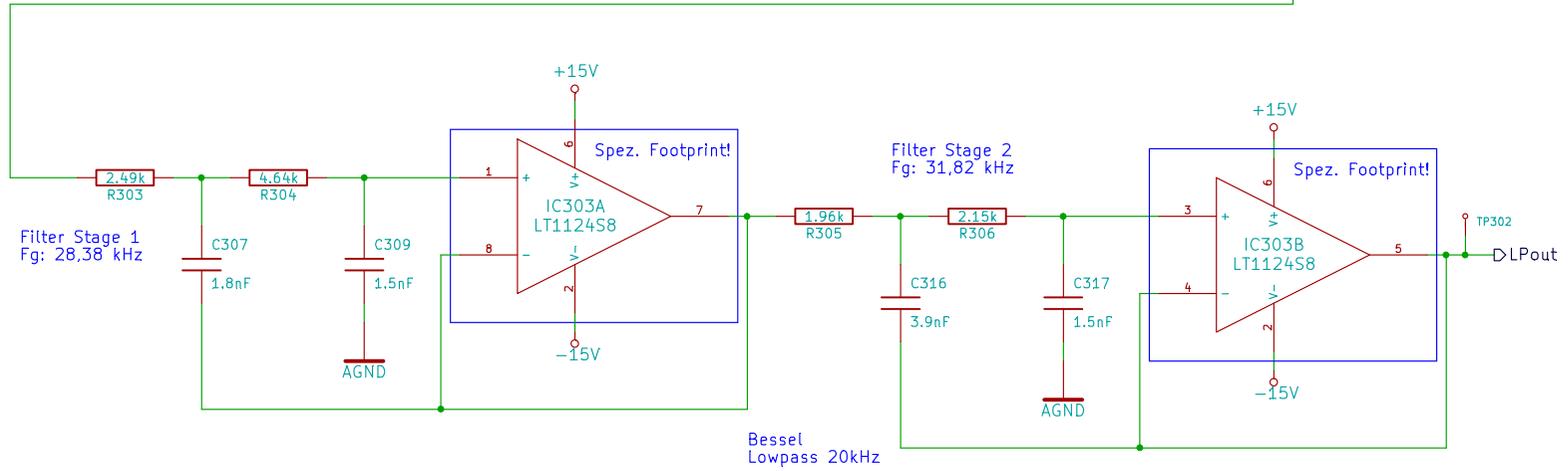
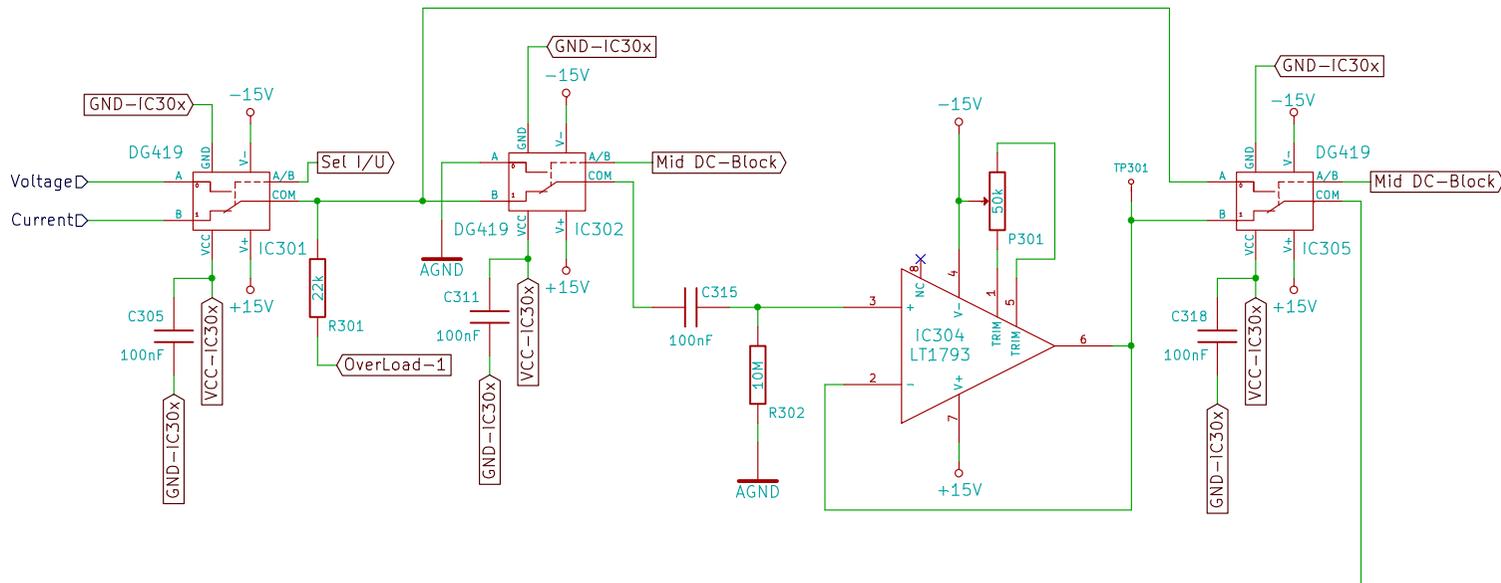
Filter Stage: 1
 Passband Gain(Ao) : 1
 Center Frequency(fo): 100 Hz
 QualityFactor (Q): 10
 Passband BW. (BW): 10 Hz
 Filter Response: Bessel
 Circuit Topology: MultipleFeedback
 Min GBW reqd.: 100 kHz

FilterPro Design Report Frequency and Phase Responses

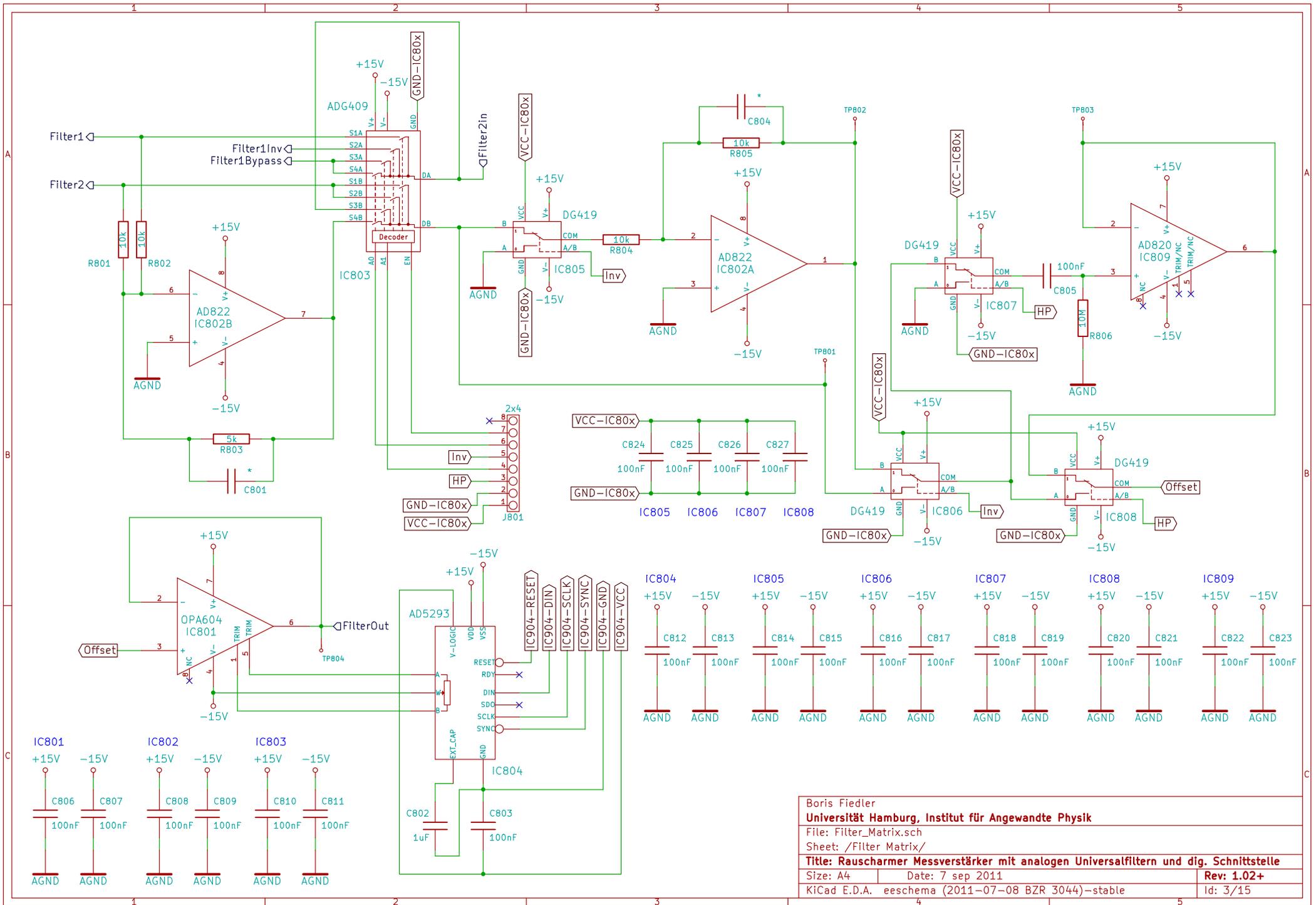
Design Name: Bandpass, Multiple Feedback, Bessel **Part:** Ideal Opamp **Order:** 2 Stages: 1
Gain: 1 V/V (0 dB) **Allowable PassBand Ripple:** 1 dB **Center Frequency:** 100 Hz
Corner Frequency Attenuation: -3 dB **Passband Bandwidth:** 10 Hz



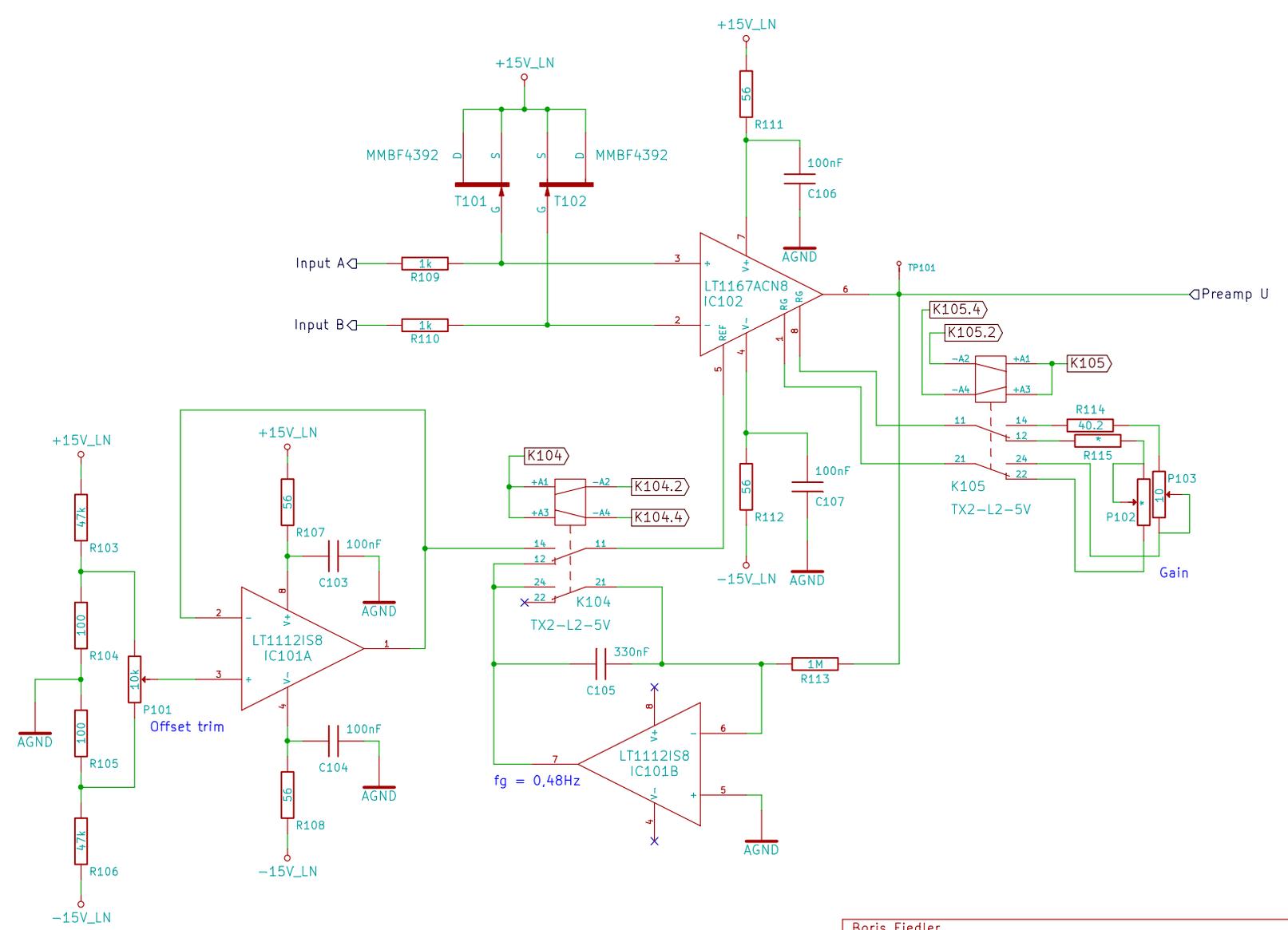




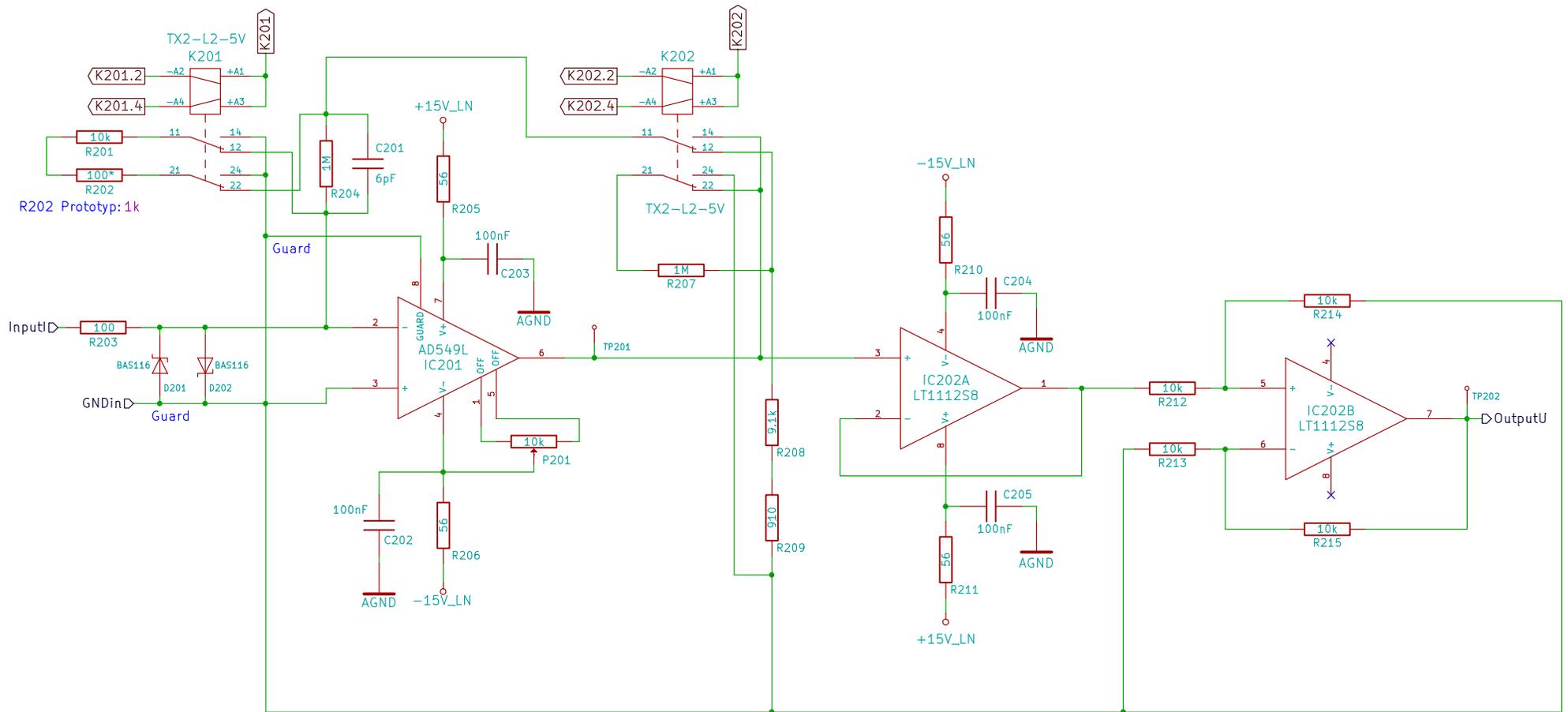
Boris Fiedler
Universität Hamburg, Institut für Angewandte Physik
 File: InputLP.sch
 Sheet: /Selektor & Filter/
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A4 Date: 7 sep 2011 Rev: 1.02+
 KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable Id: 2/15



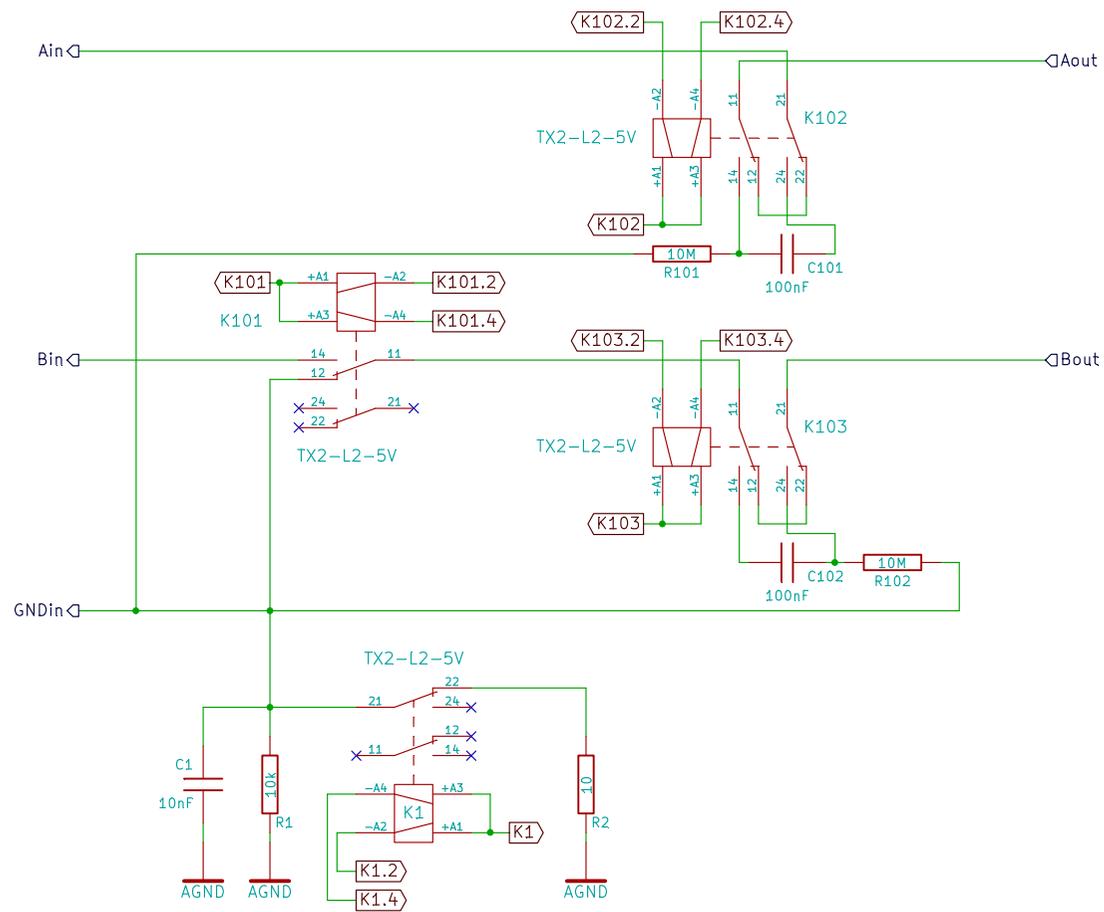
Boris Fiedler
Universität Hamburg, Institut für Angewandte Physik
 File: Filter_Matrix.sch
 Sheet: /Filter Matrix/
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A4 Date: 7 sep 2011 Rev: 1.02+
 KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable Id: 3/15



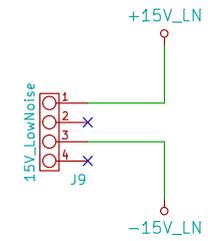
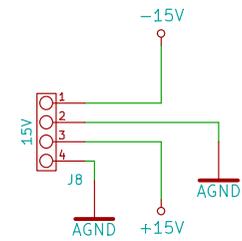
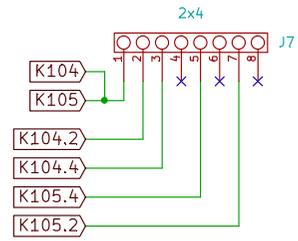
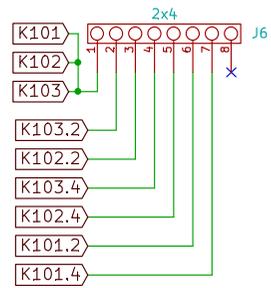
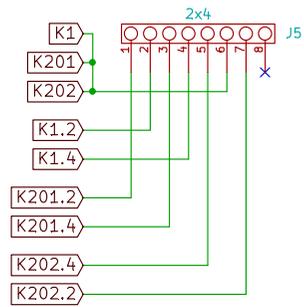
Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
File: Diffamp.sch		
Sheet: /Differenz Spannungsverstärker/		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A4	Date: 7 sep 2011	Rev: 1.02+
KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable		Id: 4/15



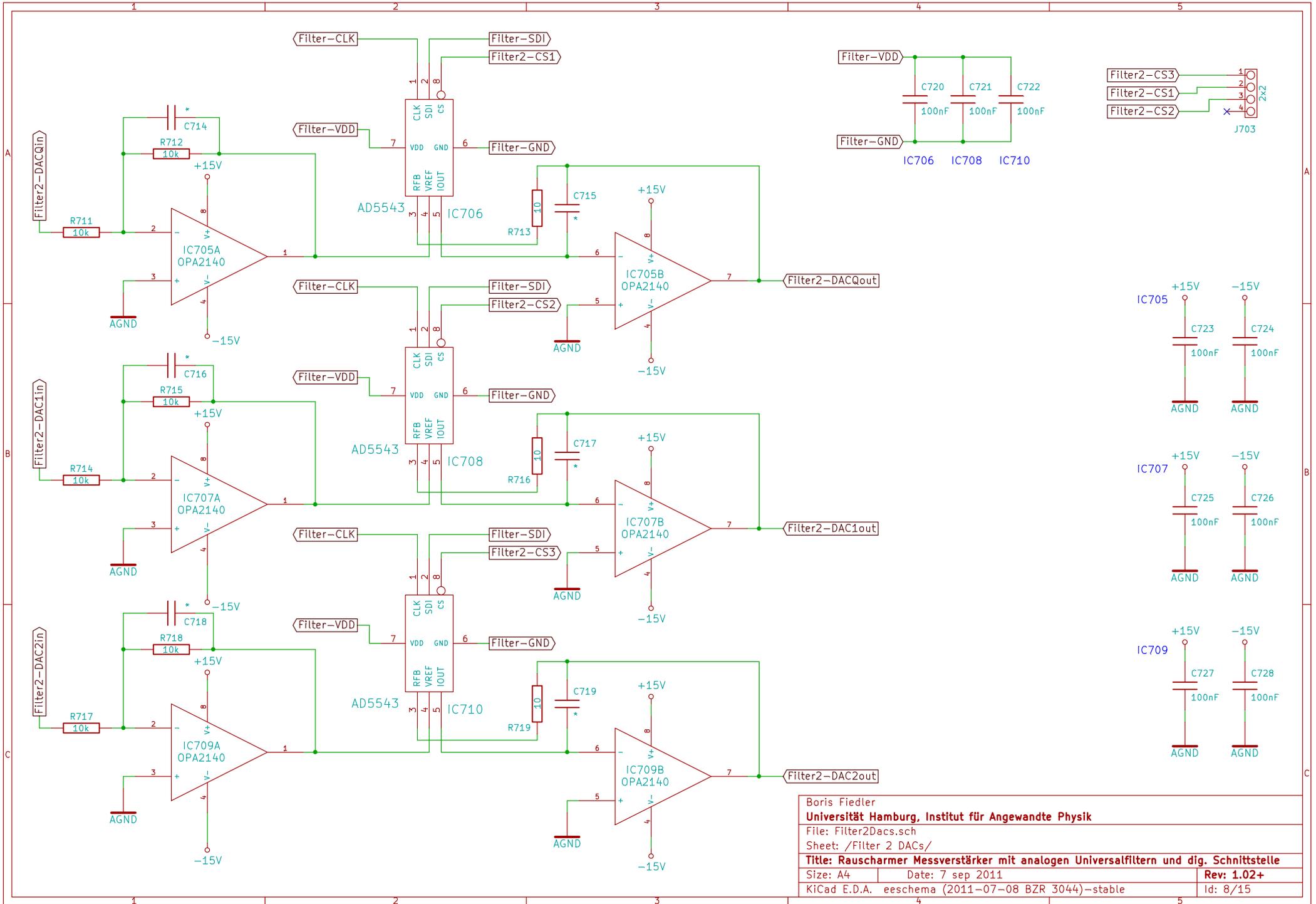
Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
File: IU_converter.sch		
Sheet: /I-U Wandler/		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A4	Date: 7 sep 2011	Rev: 1.02+
KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable		Id: 5/15



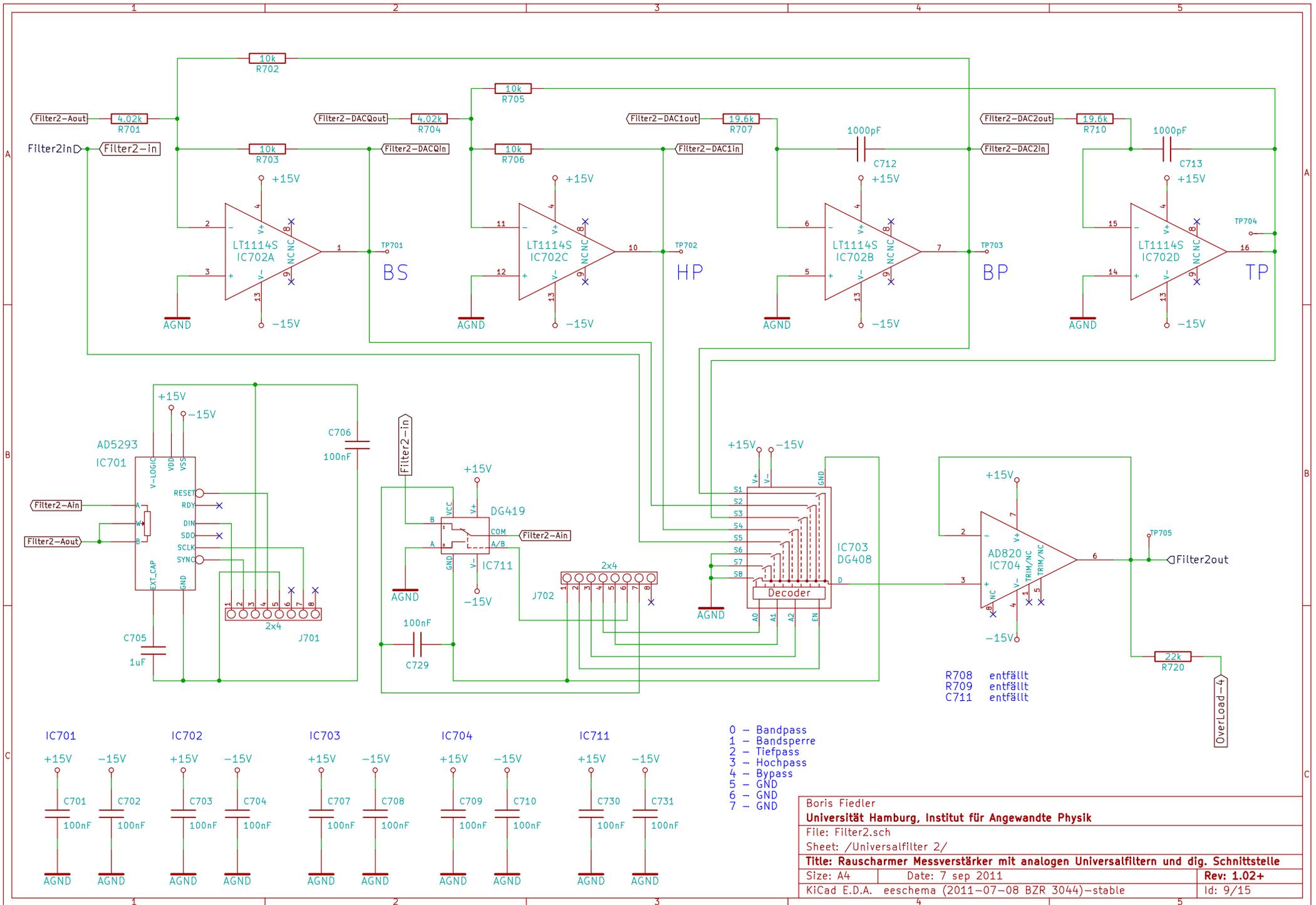
Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
Date: 7 sep 2011		
File: gndprefilters.sch		
Sheet: /GND & Eingangsfilter/		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A4	Date: 7 sep 2011	Rev: 1.02+
KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable		Id: 6/15



Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
File: Connectors.sch		
Sheet: /Steckverbindungen/		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A4	Date: 7 sep 2011	Rev: 1.02+
KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable		Id: 7/15



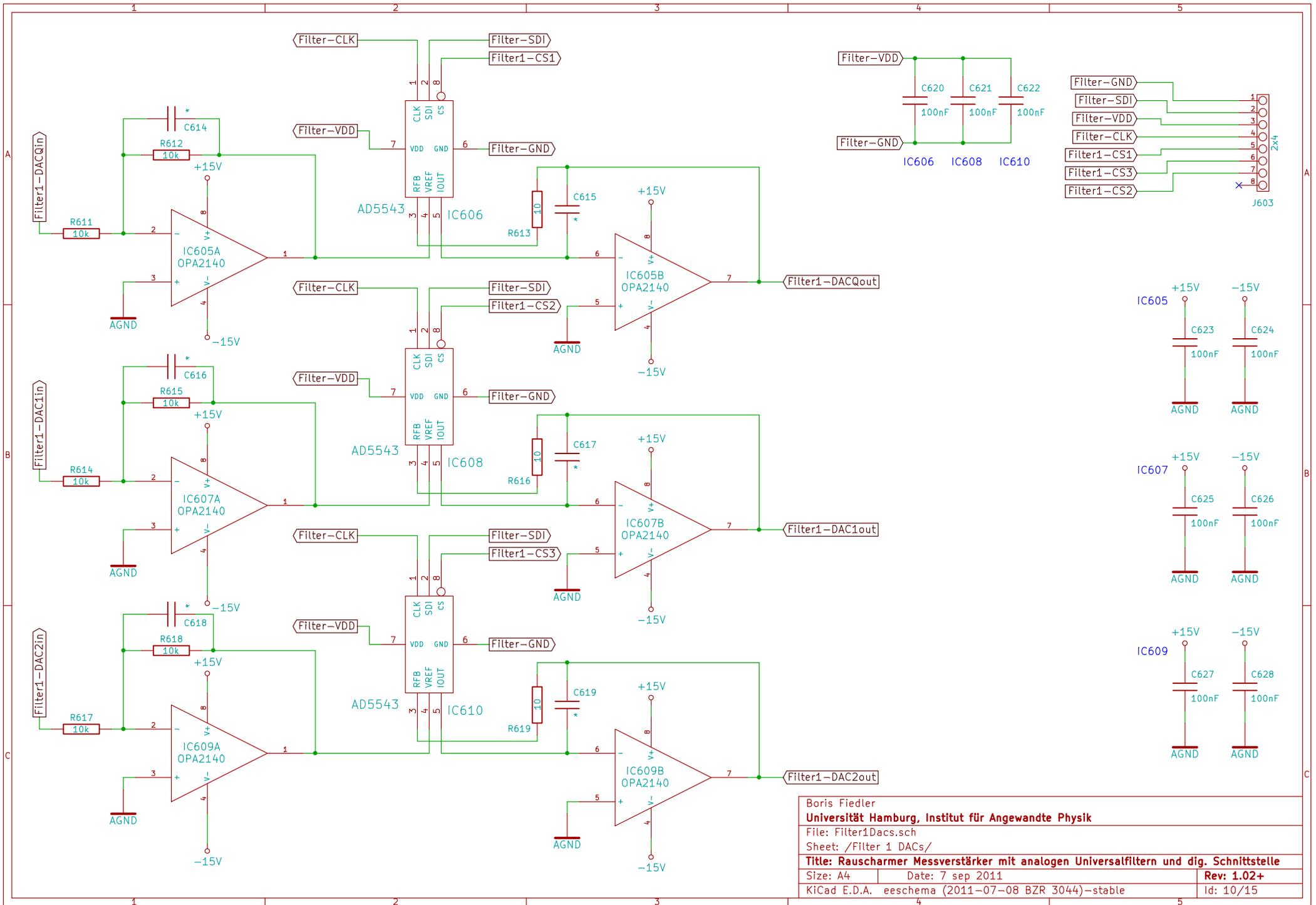
Boris Fiedler
Universität Hamburg, Institut für Angewandte Physik
 File: Filter2Dacs.sch
 Sheet: /Filter 2 DACs/
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A4 Date: 7 sep 2011 Rev: 1.02+
 KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable Id: 8/15



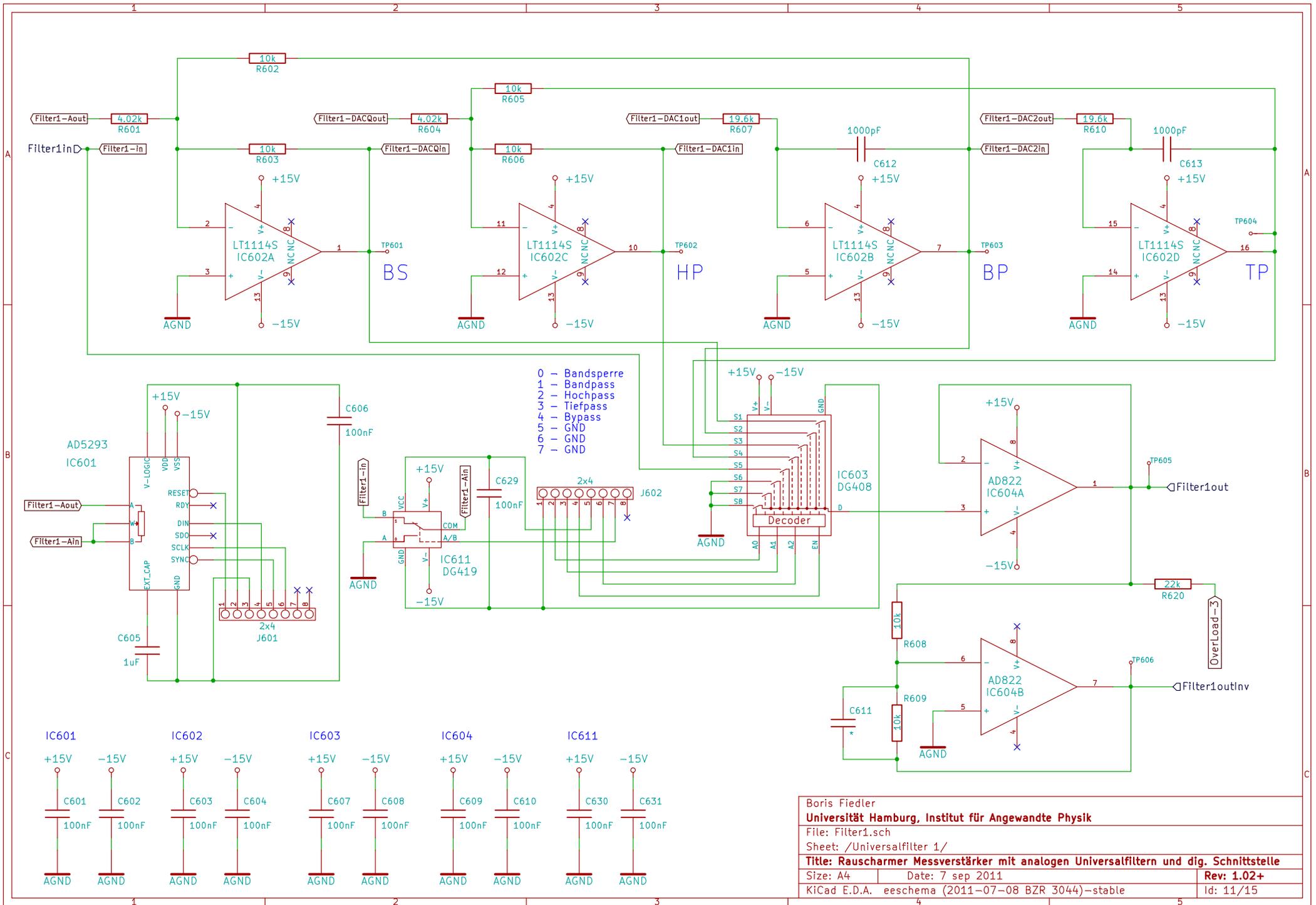
- 0 - Bandpass
- 1 - Bandsperre
- 2 - Tiefpass
- 3 - Hochpass
- 4 - Bypass
- 5 - GND
- 6 - GND
- 7 - GND

Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
File: Filter2.sch		
Sheet: /Universalfilter 2/		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A4	Date: 7 sep 2011	Rev: 1.02+
KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable		Id: 9/15

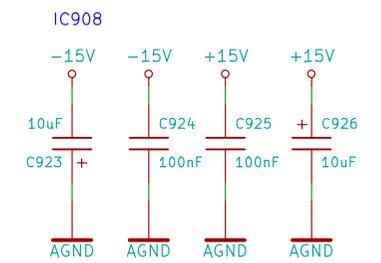
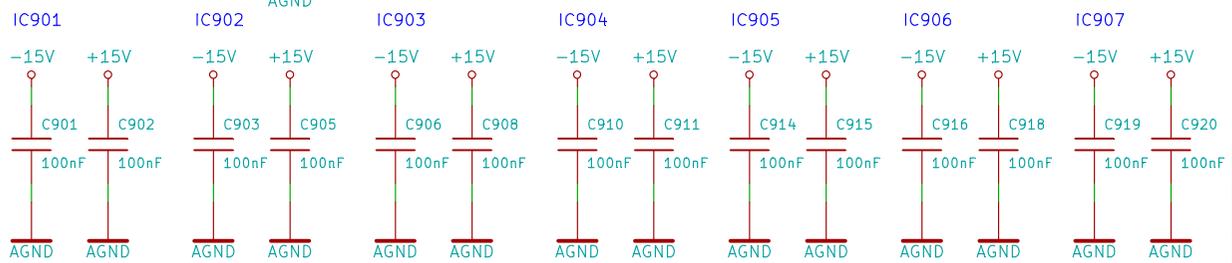
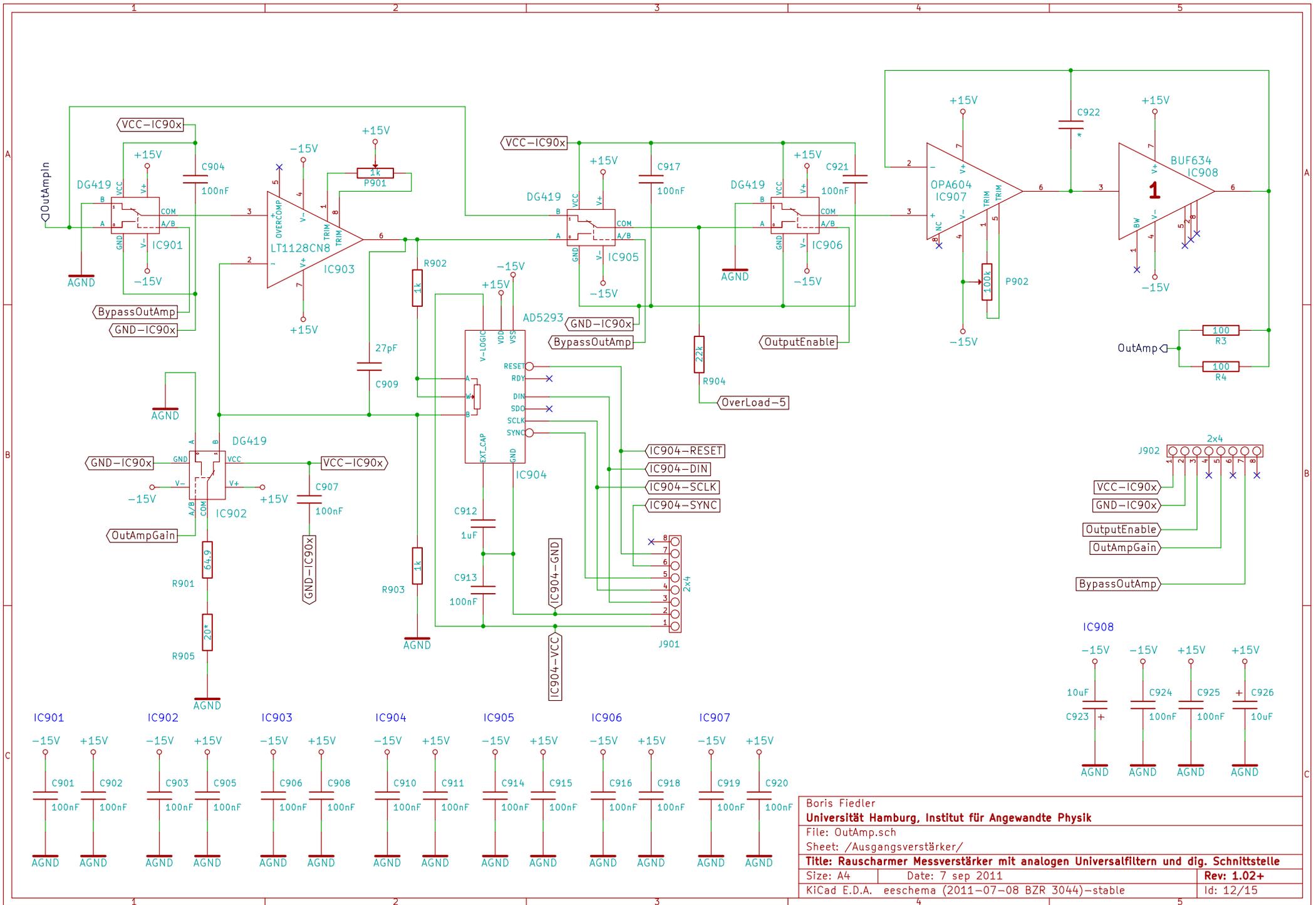
R708 entfällt
R709 entfällt
C711 entfällt



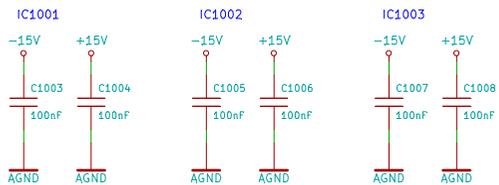
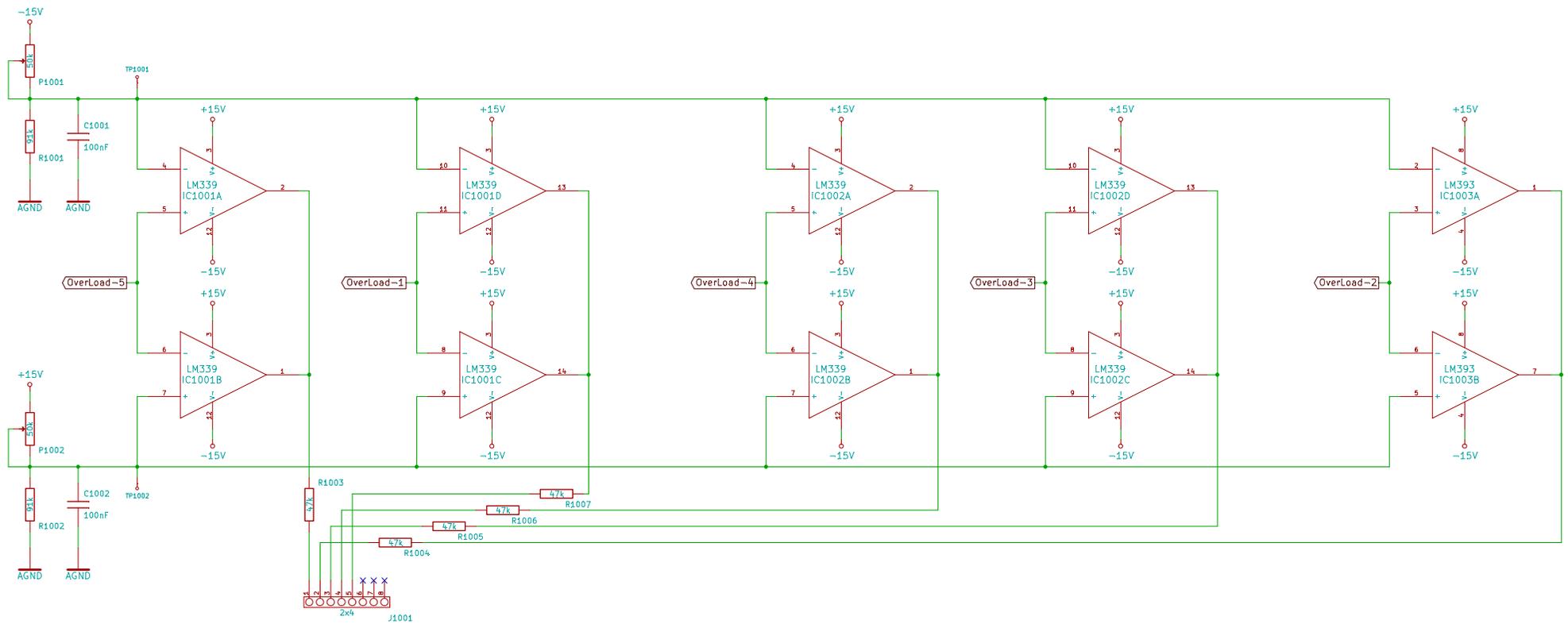
Boris Fiedler
Universität Hamburg, Institut für Angewandte Physik
 File: Filter1Dacs.sch
 Sheet: /Filter 1 DACs/
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A4 Date: 7 sep 2011 Rev: 1.02+
 KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable Id: 10/15



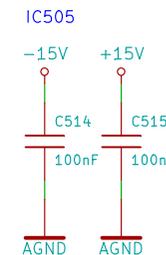
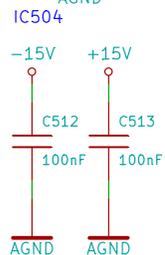
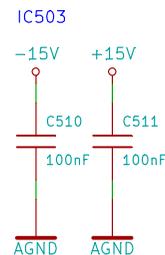
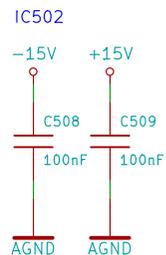
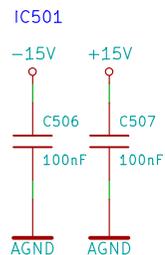
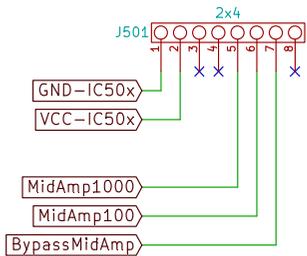
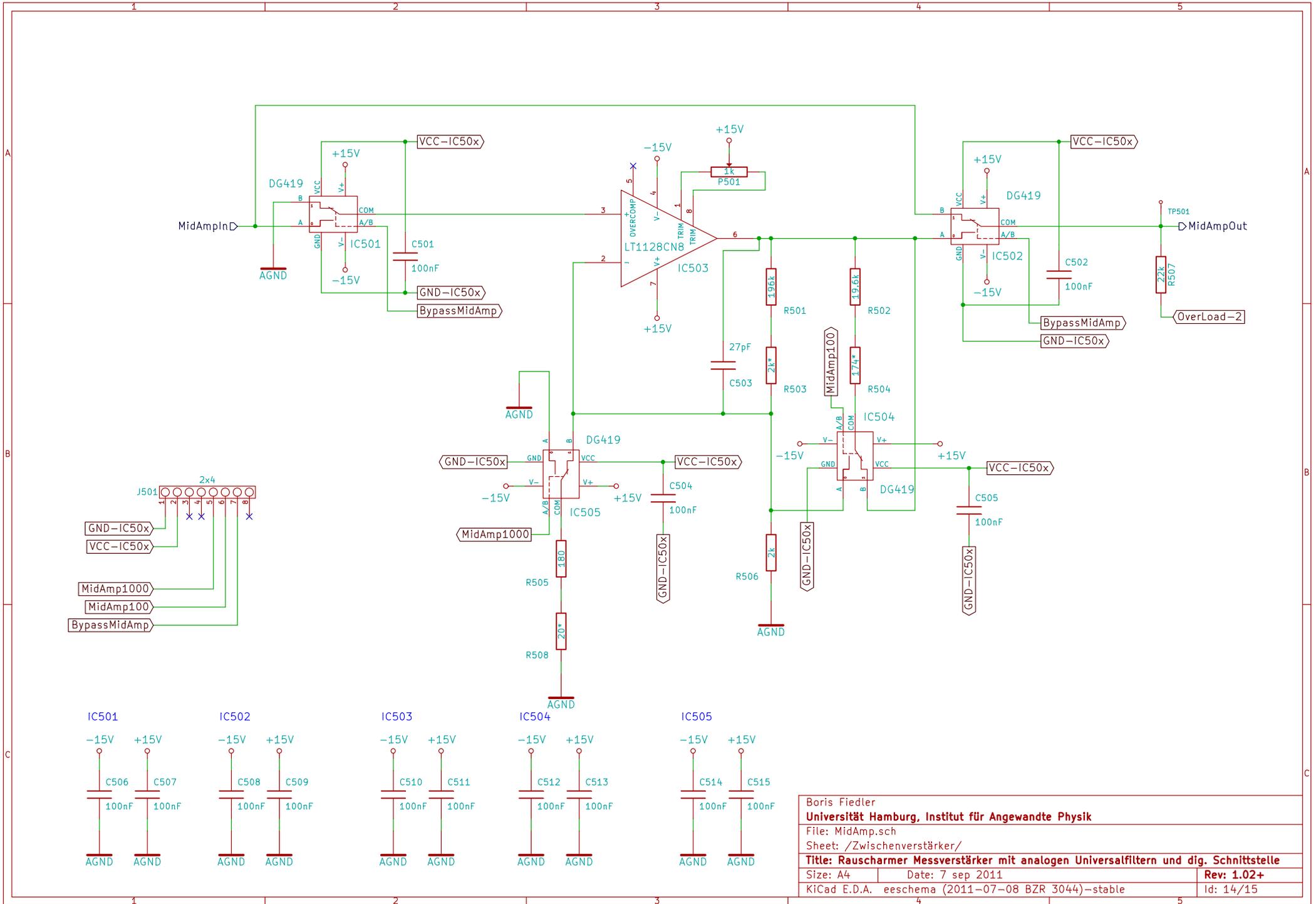
Boris Fiedler
Universität Hamburg, Institut für Angewandte Physik
 File: Filter1.sch
 Sheet: /Universalfilter 1/
Title: Rauschmesser Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A4 Date: 7 sep 2011 Rev: 1.02+
 KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable Id: 11/15



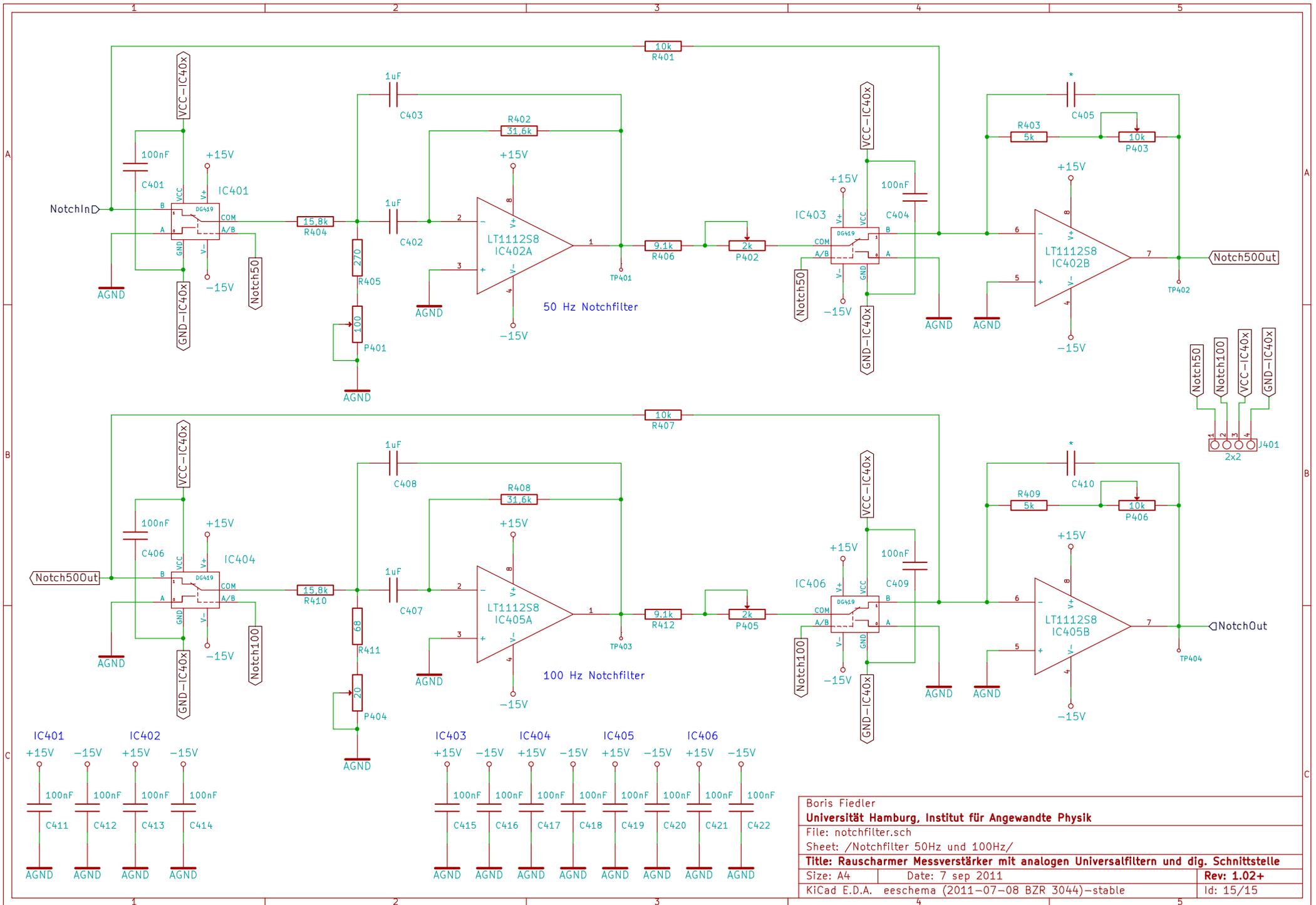
Boris Fiedler
Universität Hamburg, Institut für Angewandte Physik
 File: OutAmp.sch
 Sheet: /Ausgangsverstärker/
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A4 Date: 7 sep 2011 Rev: 1.02+
 KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable Id: 12/15



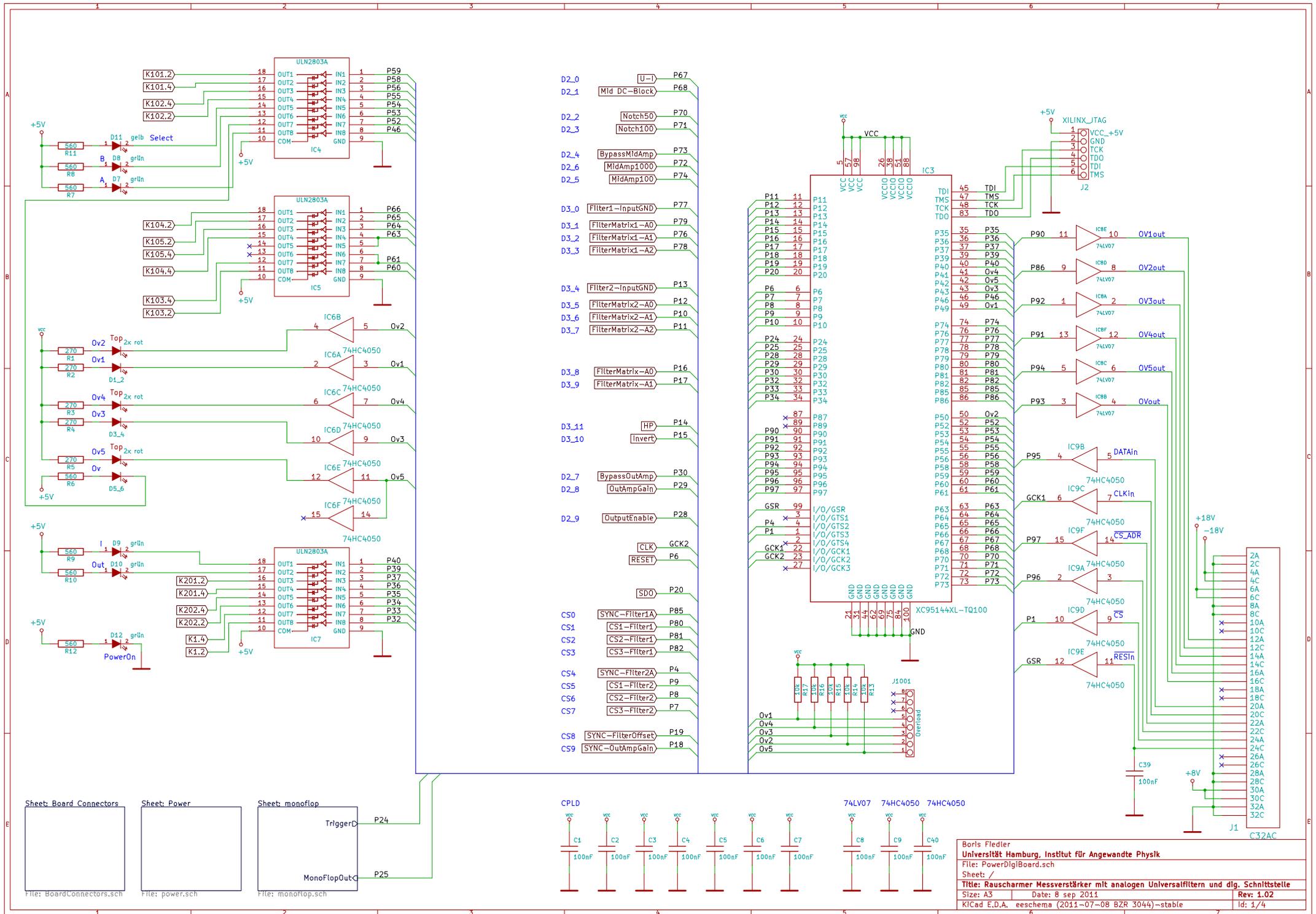
Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
File: Overload.sch		
Sheet: /Overload/		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A3	Date: 7 sep 2011	Rev: 1.02+
KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable		Id: 13/15



Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
File: MidAmp.sch		
Sheet: /Zwischenverstärker/		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A4	Date: 7 sep 2011	Rev: 1.02+
KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable		Id: 14/15



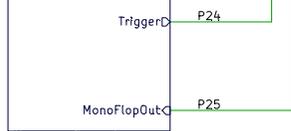
Boris Fiedler
Universität Hamburg, Institut für Angewandte Physik
 File: notchfilter.sch
 Sheet: /Notchfilter 50Hz und 100Hz/
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A4 Date: 7 sep 2011 Rev: 1.02+
 KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable Id: 15/15



Sheet: Board Connectors

Sheet: Power

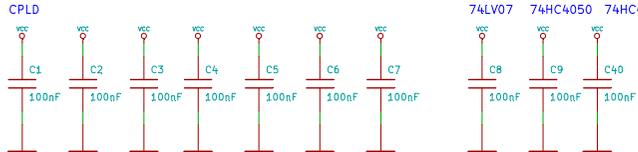
Sheet: monoflop



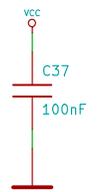
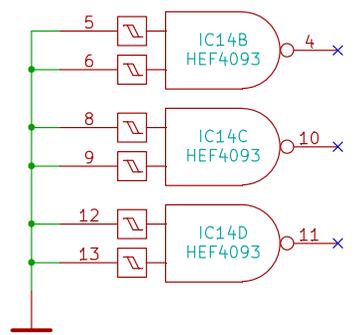
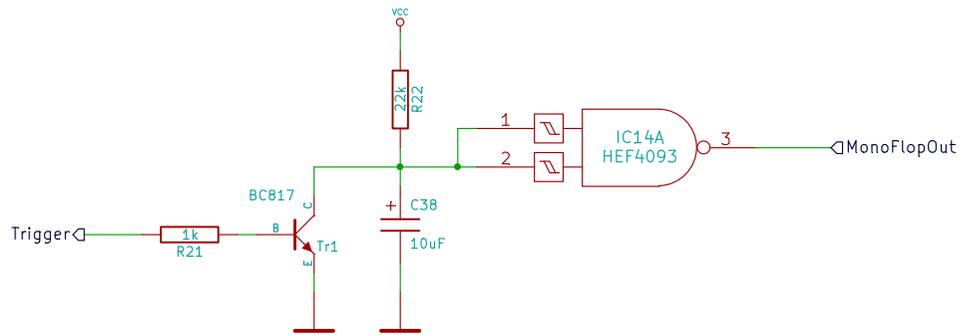
File: BoardConnectors.sch

File: power.sch

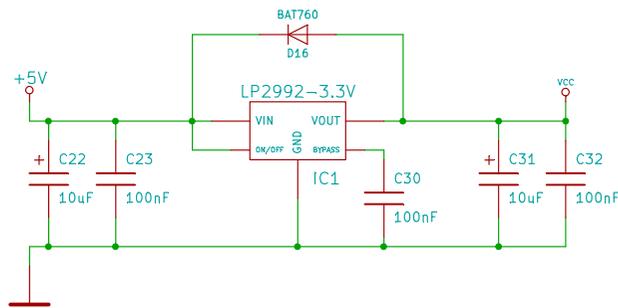
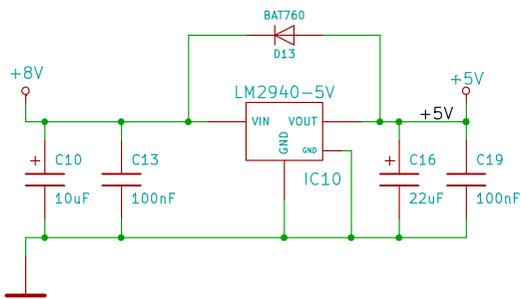
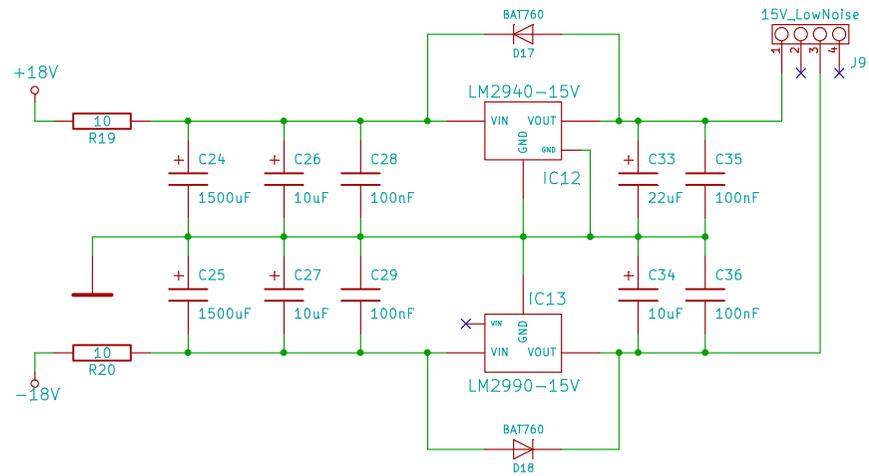
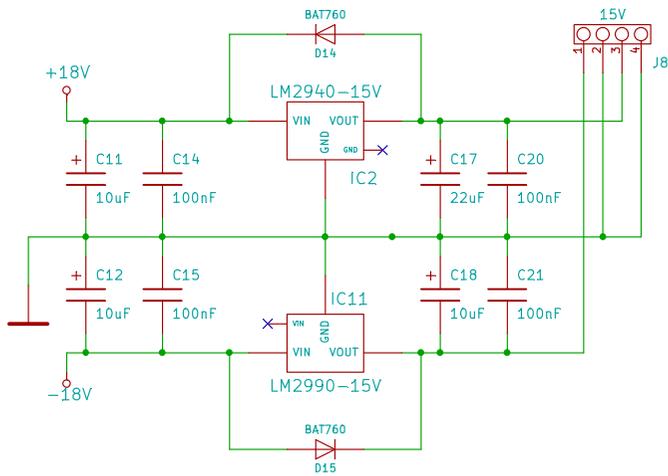
File: monoFlop.sch



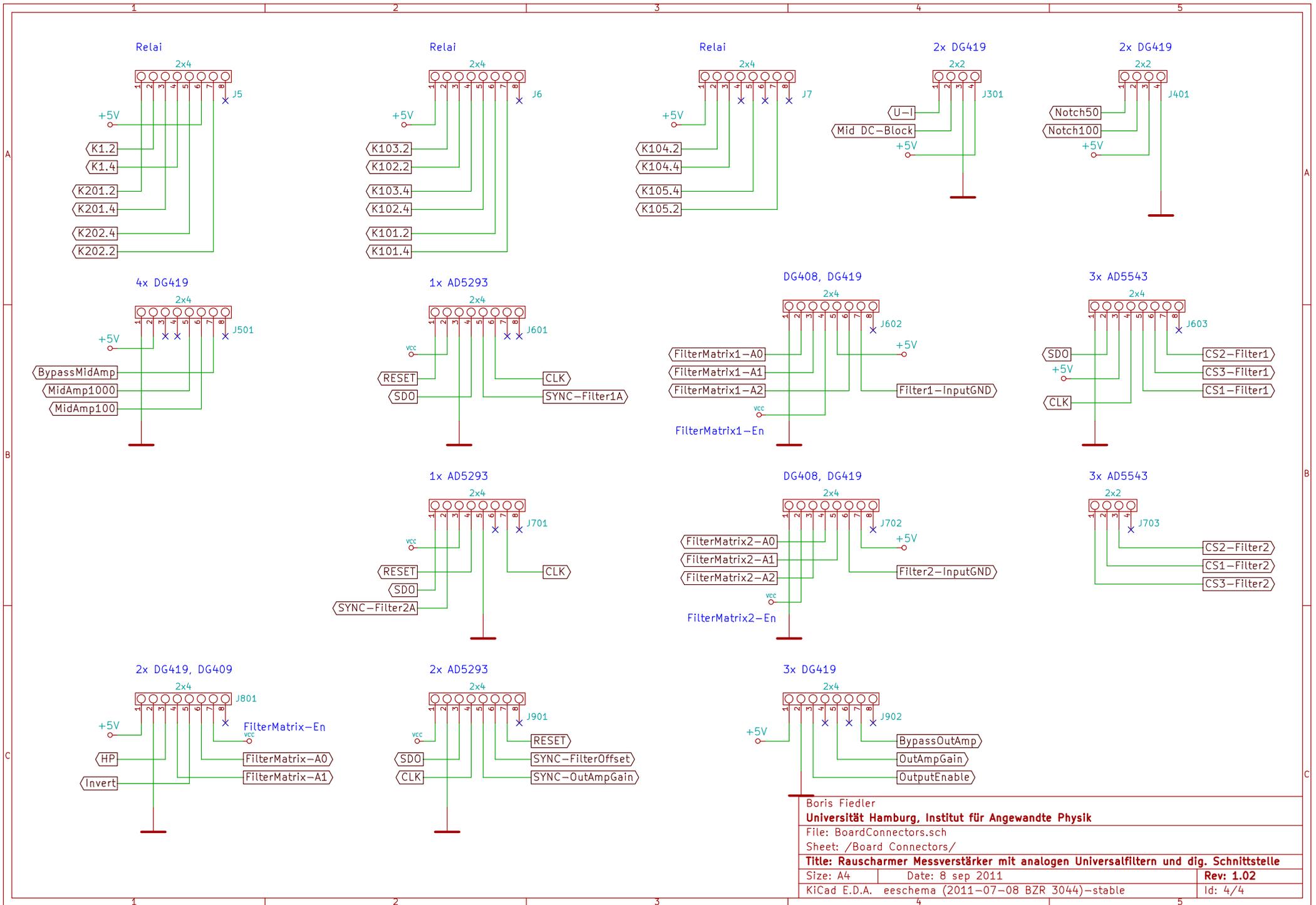
Boris Fiedler
 Universität Hamburg, Institut für Angewandte Physik
 File: PowerDigiBoard.sch
 Sheet: /
 Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A3 Date: 8 sep 2011 Rev: 1.02
 KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable Id: 1/4



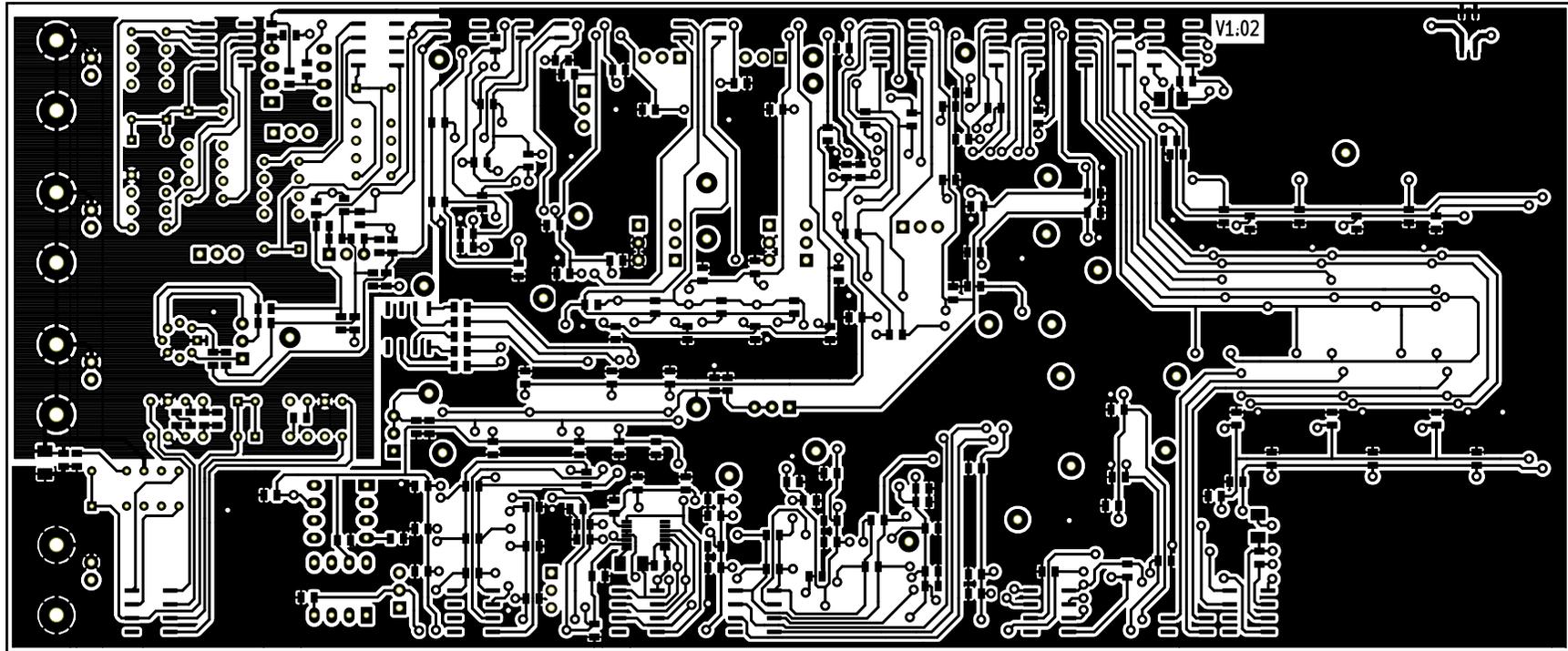
Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
File: monoflop.sch		
Sheet: /monoflop/		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A4	Date: 8 sep 2011	Rev: 1.02
KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable		Id: 2/4



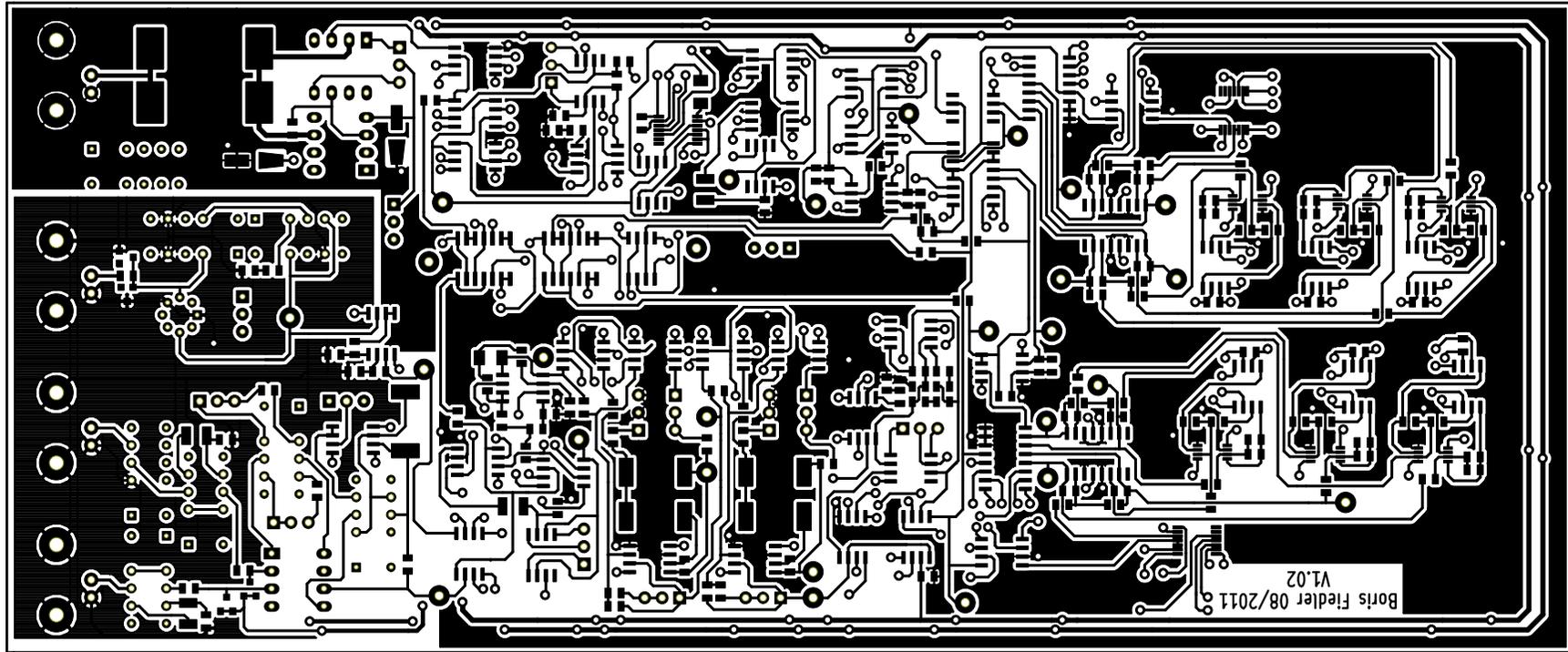
Boris Fiedler	
Universität Hamburg, Institut für Angewandte Physik	
File: power.sch	
Sheet: /Power/	
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle	
Size: A4	Date: 8 sep 2011
KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable	Rev: 1.02
	Id: 3/4



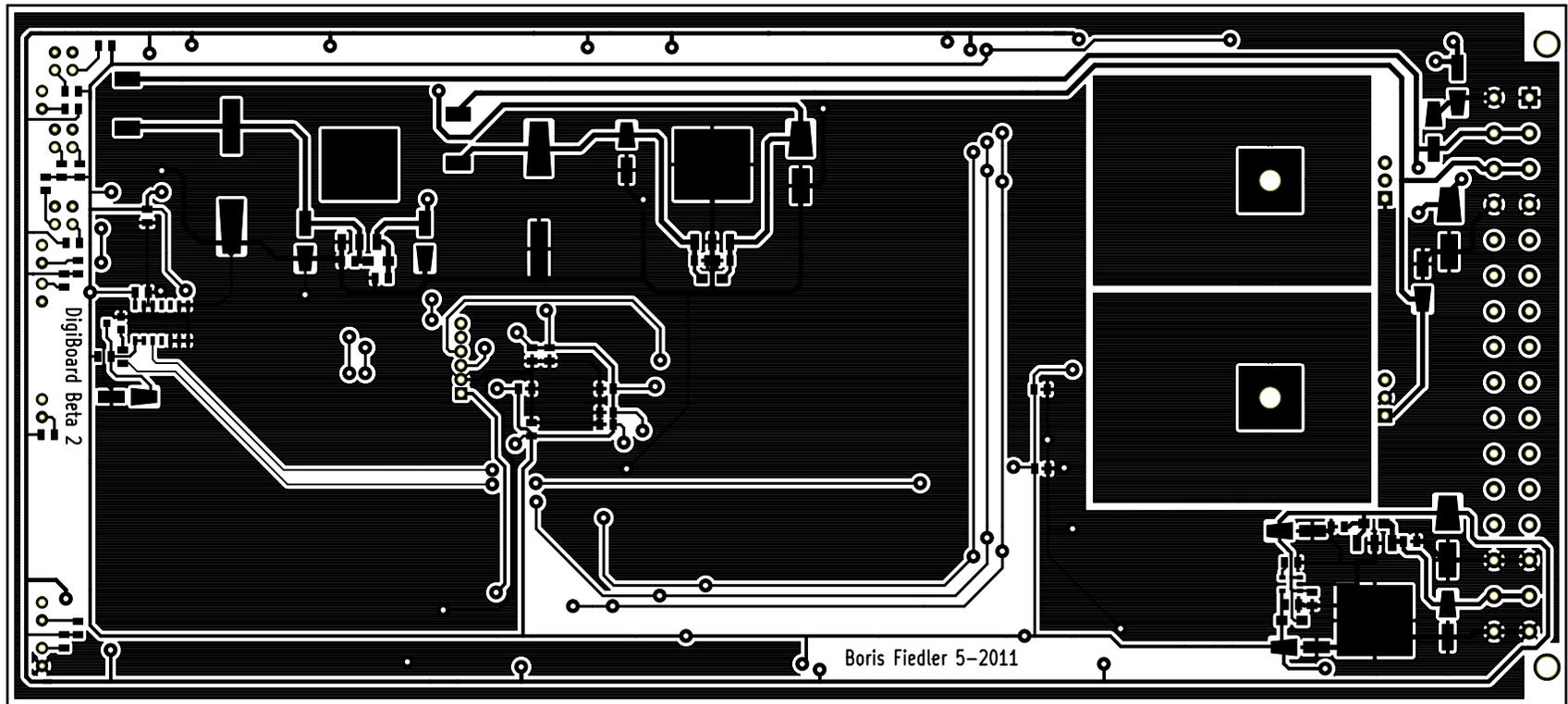
Boris Fiedler
Universität Hamburg, Institut für Angewandte Physik
 File: BoardConnectors.sch
 Sheet: /Board Connectors/
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A4 Date: 8 sep 2011 Rev: 1.02
 KiCad E.D.A. eeschema (2011-07-08 BZR 3044)-stable Id: 4/4



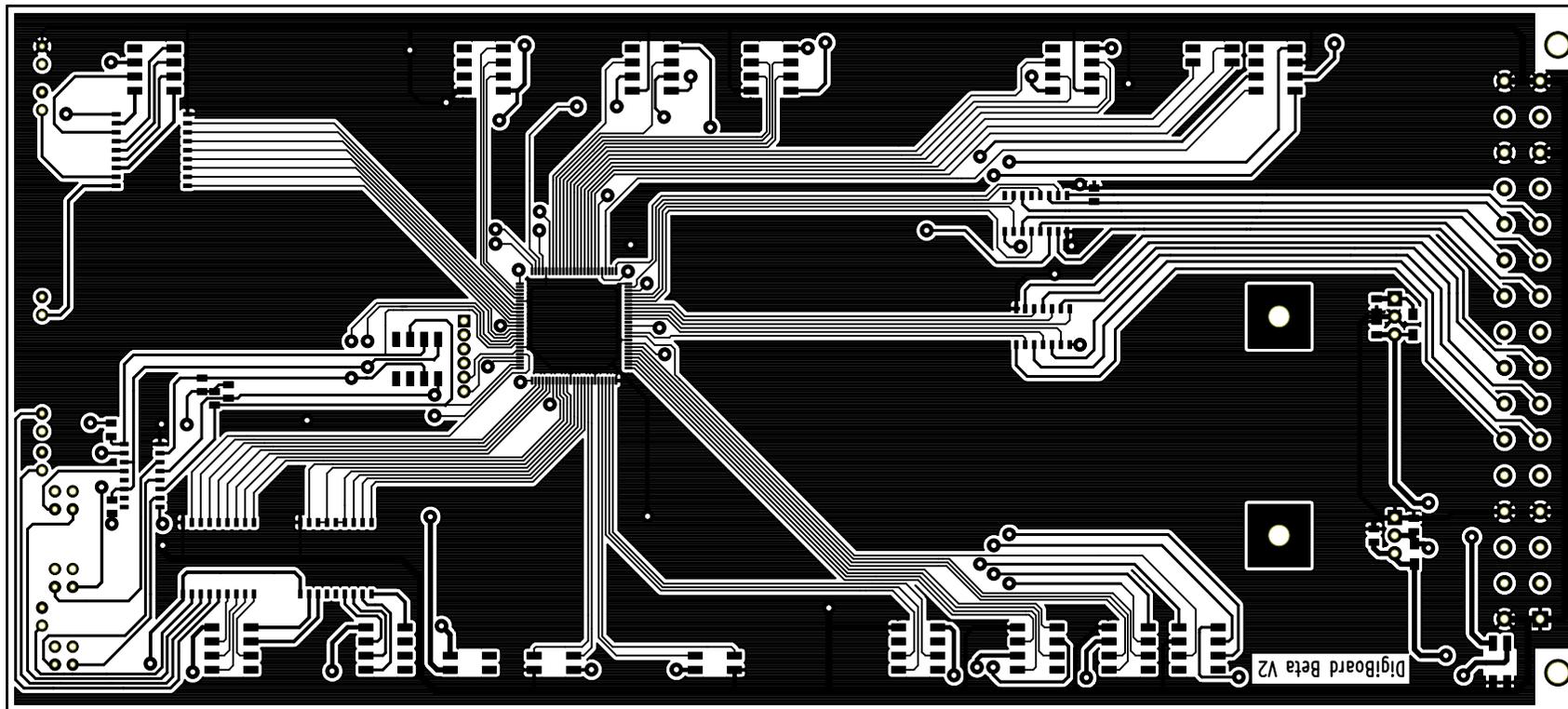
Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
File: PreAmpFilter.brd		
Sheet: 1/1		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A4	Date: 8 sep 2011	Rev: 1.02
KiCad E.D.A. pcbnew (2011-07-08 BZR 3044)-stable		Id: 1/1



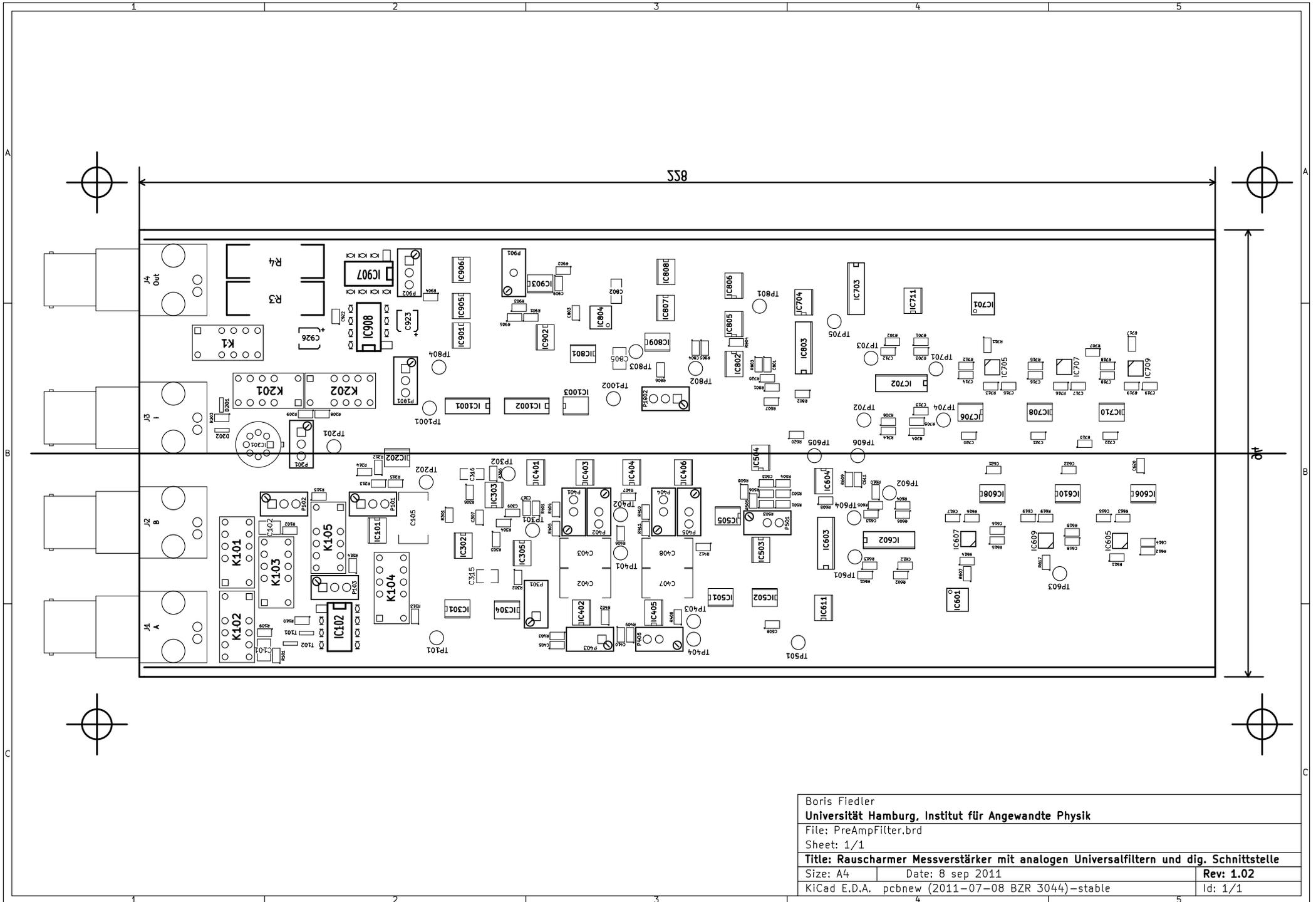
Boris Fiedler		
Universität Hamburg, Institut für Angewandte Physik		
File: PreAmpFilter.brd		
Sheet: 1/1		
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle		
Size: A4	Date: 8 sep 2011	Rev: 1.02
KiCad E.D.A. pcbnew (2011-07-08 BZR 3044)-stable		Id: 1/1



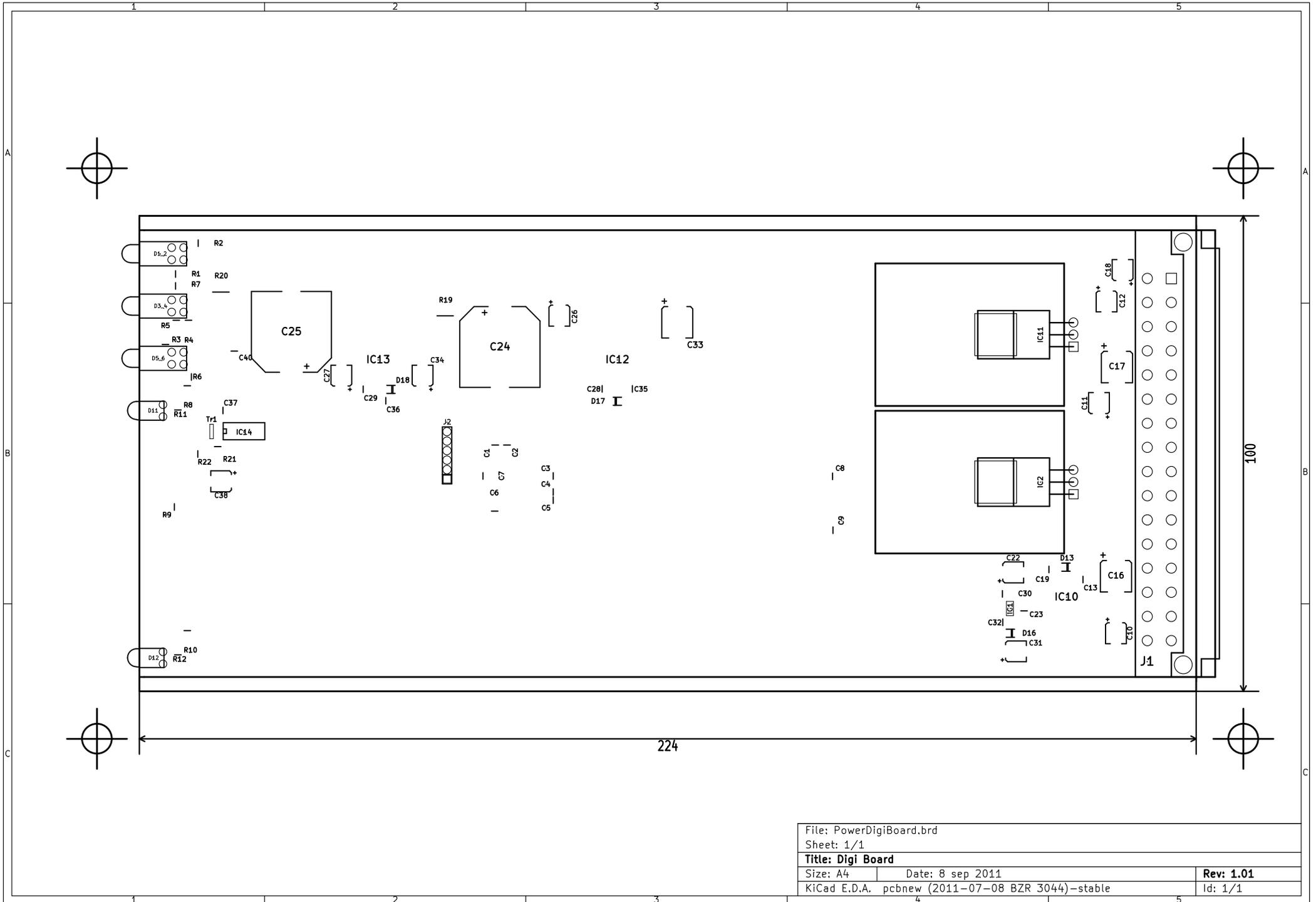
File: PowerDigiBoard.brd	
Sheet: 1/1	
Title: Digi Board	
Size: A4	Date: 8 sep 2011
KiCad E.D.A. pcbnew (2011-07-08 BZR 3044)-stable	
Rev: 1.01	
Id: 1/1	



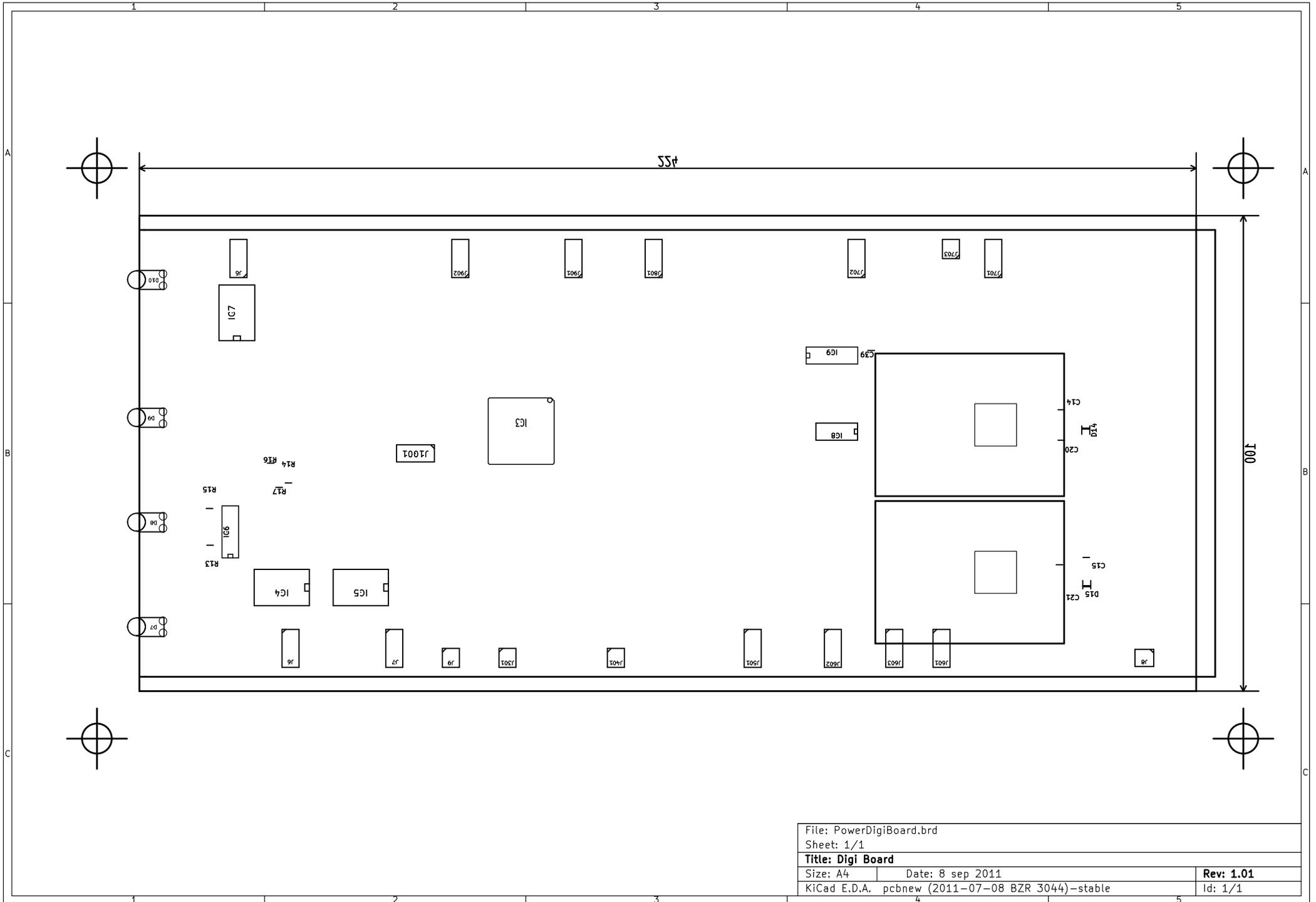
File: PowerDigiBoard.brd	
Sheet: 1/1	
Title: Digi Board	
Size: A4	Date: 8 sep 2011
KiCad E.D.A. pcbnew (2011-07-08 BZR 3044)-stable	
Rev: 1.01	
Id: 1/1	



Boris Fiedler
 Universität Hamburg, Institut für Angewandte Physik
 File: PreAmpFilter.brd
 Sheet: 1/1
Title: Rauscharmer Messverstärker mit analogen Universalfiltern und dig. Schnittstelle
 Size: A4 Date: 8 sep 2011 Rev: 1.02
 KiCad E.D.A. pcbnew (2011-07-08 BZR 3044)-stable Id: 1/1



File: PowerDigiBoard.brd			
Sheet: 1/1			
Title: Digi Board			
Size: A4	Date: 8 sep 2011	Rev: 1.01	
KiCad E.D.A. pcbnew (2011-07-08 BZR 3044)-stable		Id: 1/1	



File: PowerDigiBoard.brd	
Sheet: 1/1	
Title: Digi Board	
Size: A4	Date: 8 sep 2011
KiCad E.D.A. pcbnew (2011-07-08 BZR 3044)-stable	
Rev: 1.01	
Id: 1/1	

H:KiCadPreAmpFilter - Beta2mod2PreAmpFilter.lst

Donnerstag, 8. September 2011 15:24

Bauteilliste analog Platine

Nummer	Wert	Bauform	Typ
C1	10nF	; 1206	; film cap
C101	100nF	; 1210	; film cap
C102	100nF	; 1210	; film cap
C103	100nF	; 0805	; ceramic cap
C104	100nF	; 0805	; ceramic cap
C105	330nF	; 2824	; film cap
C106	100nF	; 0805	; ceramic cap
C107	100nF	; 0805	; ceramic cap
C201	6pF	; 0805	; ceramic cap
C202	100nF	; 0805	; ceramic cap
C203	100nF	; 0805	; ceramic cap
C204	100nF	; 0805	; ceramic cap
C205	100nF	; 0805	; ceramic cap
C301	100nF	; 0805	; ceramic cap
C302	100nF	; 0805	; ceramic cap
C303	100nF	; 0805	; ceramic cap
C304	100nF	; 0805	; ceramic cap
C305	100nF	; 0805	; ceramic cap
C306	100nF	; 0805	; ceramic cap
C307	1.8nF	; 0805	; film cap
C308	100nF	; 0805	; ceramic cap
C309	1.5nF	; 0805	; film cap
C310	100nF	; 0805	; ceramic cap
C311	100nF	; 0805	; ceramic cap
C312	100nF	; 0805	; ceramic cap
C313	100nF	; 0805	; ceramic cap
C314	100nF	; 0805	; ceramic cap
C315	100nF	; 1210	; film cap
C316	3.9nF	; 1206	; film cap
C317	1.5nF	; 0805	; film cap
C318	100nF	; 0805	; ceramic cap
C401	100nF	; 0805	; ceramic cap
C402	1uF	; 2824	; film cap
C403	1uF	; 2824	; film cap
C404	100nF	; 0805	; ceramic cap
C405	*	; 0805	; ceramic cap
C406	100nF	; 0805	; ceramic cap
C407	1uF	; 2824	; film cap
C408	1uF	; 2824	; film cap
C409	100nF	; 0805	; ceramic cap
C410	*	; 0805	; ceramic cap
C411	100nF	; 0805	; ceramic cap
C412	100nF	; 0805	; ceramic cap
C413	100nF	; 0805	; ceramic cap
C414	100nF	; 0805	; ceramic cap
C415	100nF	; 0805	; ceramic cap
C416	100nF	; 0805	; ceramic cap
C417	100nF	; 0805	; ceramic cap
C418	100nF	; 0805	; ceramic cap
C419	100nF	; 0805	; ceramic cap
C420	100nF	; 0805	; ceramic cap
C421	100nF	; 0805	; ceramic cap
C422	100nF	; 0805	; ceramic cap
C501	100nF	; 0805	; ceramic cap

H:\KiCad\PreAmpFilter - Beta2mod2\PreAmpFilter.lst

Donnerstag, 8. September 2011 15:24

C502	100nF	; 0805	; ceramic cap
C503	27pF	; 0805	; ceramic cap
C504	100nF	; 0805	; ceramic cap
C505	100nF	; 0805	; ceramic cap
C506	100nF	; 0805	; ceramic cap
C507	100nF	; 0805	; ceramic cap
C508	100nF	; 0805	; ceramic cap
C509	100nF	; 0805	; ceramic cap
C510	100nF	; 0805	; ceramic cap
C511	100nF	; 0805	; ceramic cap
C512	100nF	; 0805	; ceramic cap
C513	100nF	; 0805	; ceramic cap
C514	100nF	; 0805	; ceramic cap
C515	100nF	; 0805	; ceramic cap
C601	100nF	; 0805	; ceramic cap
C602	100nF	; 0805	; ceramic cap
C603	100nF	; 0805	; ceramic cap
C604	100nF	; 0805	; ceramic cap
C605	1uF	; 0805	; ceramic cap
C606	100nF	; 0805	; ceramic cap
C607	100nF	; 0805	; ceramic cap
C608	100nF	; 0805	; ceramic cap
C609	100nF	; 0805	; ceramic cap
C610	100nF	; 0805	; ceramic cap
C611	*	; 0805	; ceramic cap
C612	1000pF	; 0805	; film cap
C613	1000pF	; 0805	; film cap
C614	*	; 0805	; ceramic cap
C615	*	; 0805	; ceramic cap
C616	*	; 0805	; ceramic cap
C617	*	; 0805	; ceramic cap
C618	*	; 0805	; ceramic cap
C619	*	; 0805	; ceramic cap
C620	100nF	; 0805	; ceramic cap
C621	100nF	; 0805	; ceramic cap
C622	100nF	; 0805	; ceramic cap
C623	100nF	; 0805	; ceramic cap
C624	100nF	; 0805	; ceramic cap
C625	100nF	; 0805	; ceramic cap
C626	100nF	; 0805	; ceramic cap
C627	100nF	; 0805	; ceramic cap
C628	100nF	; 0805	; ceramic cap
C629	100nF	; 0805	; ceramic cap
C630	100nF	; 0805	; ceramic cap
C631	100nF	; 0805	; ceramic cap
C701	100nF	; 0805	; ceramic cap
C702	100nF	; 0805	; ceramic cap
C703	100nF	; 0805	; ceramic cap
C704	100nF	; 0805	; ceramic cap
C705	1uF	; 0805	; ceramic cap
C706	100nF	; 0805	; ceramic cap
C707	100nF	; 0805	; ceramic cap
C708	100nF	; 0805	; ceramic cap
C709	100nF	; 0805	; ceramic cap
C710	100nF	; 0805	; ceramic cap
C712	1000pF	; 0805	; film cap
C713	1000pF	; 0805	; film cap

H:\KiCad\PreAmpFilter - Beta2mod2\PreAmpFilter.lst

Donnerstag, 8. September 2011 15:24

C714	*	; 0805	; ceramic cap
C715	*	; 0805	; ceramic cap
C716	*	; 0805	; ceramic cap
C717	*	; 0805	; ceramic cap
C718	*	; 0805	; ceramic cap
C719	*	; 0805	; ceramic cap
C720	100nF	; 0805	; ceramic cap
C721	100nF	; 0805	; ceramic cap
C722	100nF	; 0805	; ceramic cap
C723	100nF	; 0805	; ceramic cap
C724	100nF	; 0805	; ceramic cap
C725	100nF	; 0805	; ceramic cap
C726	100nF	; 0805	; ceramic cap
C727	100nF	; 0805	; ceramic cap
C728	100nF	; 0805	; ceramic cap
C729	100nF	; 0805	; ceramic cap
C730	100nF	; 0805	; ceramic cap
C731	100nF	; 0805	; ceramic cap
C801	*	; 0805	; ceramic cap
C802	1uF	; 0805	; ceramic cap
C803	100nF	; 0805	; ceramic cap
C804	*	; 0805	; ceramic cap
C805	100nF	; 1210	; film cap
C806	100nF	; 0805	; ceramic cap
C807	100nF	; 0805	; ceramic cap
C808	100nF	; 0805	; ceramic cap
C809	100nF	; 0805	; ceramic cap
C810	100nF	; 0805	; ceramic cap
C811	100nF	; 0805	; ceramic cap
C812	100nF	; 0805	; ceramic cap
C813	100nF	; 0805	; ceramic cap
C814	100nF	; 0805	; ceramic cap
C815	100nF	; 0805	; ceramic cap
C816	100nF	; 0805	; ceramic cap
C817	100nF	; 0805	; ceramic cap
C818	100nF	; 0805	; ceramic cap
C819	100nF	; 0805	; ceramic cap
C820	100nF	; 0805	; ceramic cap
C821	100nF	; 0805	; ceramic cap
C822	100nF	; 0805	; ceramic cap
C823	100nF	; 0805	; ceramic cap
C824	100nF	; 0805	; ceramic cap
C825	100nF	; 0805	; ceramic cap
C826	100nF	; 0805	; ceramic cap
C827	100nF	; 0805	; ceramic cap
C901	100nF	; 0805	; ceramic cap
C902	100nF	; 0805	; ceramic cap
C903	100nF	; 0805	; ceramic cap
C904	100nF	; 0805	; ceramic cap
C905	100nF	; 0805	; ceramic cap
C906	100nF	; 0805	; ceramic cap
C907	100nF	; 0805	; ceramic cap
C908	100nF	; 0805	; ceramic cap
C909	27pF	; 0805	; ceramic cap
C910	100nF	; 0805	; ceramic cap
C911	100nF	; 0805	; ceramic cap
C912	1uF	; 0805	; ceramic cap

H:\KiCad\PreAmpFilter - Beta2mod2\PreAmpFilter.lst

Donnerstag, 8. September 2011 15:24

C913	100nF	; 0805	; ceramic cap
C914	100nF	; 0805	; ceramic cap
C915	100nF	; 0805	; ceramic cap
C916	100nF	; 0805	; ceramic cap
C917	100nF	; 0805	; ceramic cap
C918	100nF	; 0805	; ceramic cap
C919	100nF	; 0805	; ceramic cap
C920	100nF	; 0805	; ceramic cap
C921	100nF	; 0805	; ceramic cap
C922	*	; 0805	; ceramic cap
C923	10uF	; SMD C	; elko 35V
C924	100nF	; 0805	; ceramic cap
C925	100nF	; 0805	; ceramic cap
C926	10uF	; SMD C	; elko 35V
C1001	100nF	; 0805	; ceramic cap
C1002	100nF	; 0805	; ceramic cap
C1003	100nF	; 0805	; ceramic cap
C1004	100nF	; 0805	; ceramic cap
C1005	100nF	; 0805	; ceramic cap
C1006	100nF	; 0805	; ceramic cap
C1007	100nF	; 0805	; ceramic cap
C1008	100nF	; 0805	; ceramic cap
D201	BAS116	; SOT23	
D202	BAS116	; SOT23	
IC101	LT1112IS8	; SOIC 8N	
IC102	LT1167ACN8	; PDIP 8	
IC201	AD549L	; TO-99	
IC202	LT1112S8	; SOIC 8N	
IC301	DG419	; SOIC 8N	
IC302	DG419	; SOIC 8N	
IC303	LT1124S8	; SOIC 8N	
IC304	LT1793	; SOIC 8N	
IC305	DG419	; SOIC 8N	
IC401	DG419	; SOIC 8N	
IC402	LT1112S8	; SOIC 8N	
IC403	DG419	; SOIC 8N	
IC404	DG419	; SOIC 8N	
IC405	LT1112S8	; SOIC 8N	
IC406	DG419	; SOIC 8N	
IC501	DG419	; SOIC 8N	
IC502	DG419	; SOIC 8N	
IC503	LT1128CN8	; SOIC 8N	
IC504	DG419	; SOIC 8N	
IC505	DG419	; SOIC 8N	
IC601	AD5293	; TSSOP 14	; 20k
IC602	LT1114S	; SOIC 16N	
IC603	DG408	; SOIC 16N	
IC604	AD822	; SOIC 8N	
IC605	OPA2140	; MSOP 8	
IC606	AD5543	; SOIC 8N	
IC607	OPA2140	; MSOP 8	
IC608	AD5543	; SOIC 8N	
IC609	OPA2140	; MSOP 8	
IC610	AD5543	; SOIC 8N	
IC611	DG419	; SOIC 8N	
IC701	AD5293	; TSSOP 14	; 20k
IC702	LT1114S	; SOIC 16N	

H:\KiCad\PreAmpFilter - Beta2mod2\PreAmpFilter.Ist

Donnerstag, 8. September 2011 15:24

IC703	DG408	; SOIC 16N	
IC704	AD820	; SOIC 8N	
IC705	OPA2140	; MSOP 8	
IC706	AD5543	; SOIC 8N	
IC707	OPA2140	; MSOP 8	
IC708	AD5543	; SOIC 8N	
IC709	OPA2140	; MSOP 8	
IC710	AD5543	; SOIC 8N	
IC711	DG419	;	
IC801	OPA604	; SOIC 8N	
IC802	AD822	; SOIC 8N	
IC803	ADG409	; SOIC 16N	
IC804	AD5293	; TSSOP 14	; 100k
IC805	DG419	; SOIC 8N	
IC806	DG419	; SOIC 8N	
IC807	DG419	; SOIC 8N	
IC808	DG419	; SOIC 8N	
IC809	AD820	; SOIC 8N	
IC901	DG419	; SOIC 8N	
IC902	DG419	; SOIC 8N	
IC903	LT1128CN8	; SOIC 8N	
IC904	AD5293	; TSSOP 14	; 100k
IC905	DG419	; SOIC 8N	
IC906	DG419	; SOIC 8N	
IC907	OPA604	; PDIP 8	
IC908	BUF634	; PDIP 8	
IC1001	LM339	; SOIC 14N	
IC1002	LM339	; SOIC 14N	
IC1003	LM393	; SOIC 8N	
J1	A	;	
J2	B	;	
J3	I	;	
J4	Out	;	
J5	2x4	;	
J6	2x4	;	
J7	2x4	;	
J8	15V	;	
J9	15V_LowNoise;		
J301	2x2	;	
J401	2x2	;	
J501	2x4	;	
J601	2x4	;	
J602	2x4	;	
J603	2x4	;	
J701	2x4	;	
J702	2x4	;	
J703	2x2	;	
J801	2x4	;	
J901	2x4	;	
J902	2x4	;	
J1001	2x4	;	
K1	TX2-L2-5V	;	
K101	TX2-L2-5V	;	
K102	TX2-L2-5V	;	
K103	TX2-L2-5V	;	
K104	TX2-L2-5V	;	
K105	TX2-L2-5V	;	

H:\KiCad\PreAmpFilter - Beta2mod2\PreAmpFilter.Ist

Donnerstag, 8. September 2011 15:24

K201	TX2-L2-5V	;		
K202	TX2-L2-5V	;		
P101	10k	;		
P102	*	;		
P103	10	;		
P201	10k	;		
P301	50k	;		
P401	100	;		
P402	2k	;		
P403	10k	;		
P404	20	;		
P405	2k	;		
P406	10k	;		
P501	1k	;		
P901	1k	;		
P902	100k	;		
P1001	50k	;		
P1002	50k	;		
R1	10k	;	0805	; 1%
R2	10	;	0805	; 1%
R3	100	;	6927	; 1% 3W - WSC6927
R4	100	;	6927	; 1% 3W - WSC6927
R101	10M	;	0805	; 0.1%
R102	10M	;	0805	; 0.1%
R103	47k	;	0805	; 0.1%
R104	100	;	0805	; 0.1%
R105	100	;	0805	; 0.1%
R106	47k	;	0805	; 0.1%
R107	56	;	0805	; 1%
R108	56	;	0805	; 1%
R109	1k	;	0805	; 0.1%
R110	1k	;	0805	; 0.1%
R111	56	;	0805	; 1%
R112	56	;	0805	; 1%
R113	1M	;	0805	; 0.1%
R114	40.2	;	0805	; 0.1%
R115	*	;	0805	
R201	10k	;	0805	; 0.1%
R202	100*	;	0805	; 1k ; 0.1%
R203	100	;	0805	; 0.1%
R204	1M	;	0805	; 0.1%
R205	56	;	0805	; 1%
R206	56	;	0805	; 1%
R207	1M	;	0805	; 0.1%
R208	9.1k	;	0805	; 0.1%
R209	910	;	0805	; 0.1%
R210	56	;	0805	; 1%
R211	56	;	0805	; 1%
R212	10k	;	0805	; 0.1%
R213	10k	;	0805	; 0.1%
R214	10k	;	0805	; 0.1%
R215	10k	;	0805	; 0.1%
R301	22k	;	0805	; 0.1%
R302	10M	;	0805	; 0.1%
R303	2.49k	;	0805	; 0.1%
R304	4.64k	;	0805	; 0.1%
R305	1.96k	;	0805	; 0.1%

H:\KiCad\PreAmpFilter - Beta2mod2\PreAmpFilter.Ist

Donnerstag, 8. September 2011 15:24

R306	2.15k	; 0805	; 0.1%
R401	10k	; 0805	; 0.1%
R402	31,6k	; 0805	; 0.1%
R403	5k	; 0805	; 0.1%
R404	15,8k	; 0805	; 0.1%
R405	270	; 0805	; 0.1%
R406	9.1k	; 0805	; 0.1%
R407	10k	; 0805	; 0.1%
R408	31,6k	; 0805	; 0.1%
R409	5k	; 0805	; 0.1%
R410	15,8k	; 0805	; 0.1%
R411	68	; 0805	; 0.1%
R412	9.1k	; 0805	; 0.1%
R501	196k	; 0805	; 0.1%
R502	19.6k	; 0805	; 0.1%
R503	2k*	; 0805	; 0.1%
R504	174*	; 0805	; 0.1%
R505	180	; 0805	; 0.1%
R506	2k	; 0805	; 0.1%
R507	22k	; 0805	; 0.1%
R508	20*	; 0805	; 0.1%
R601	4.02k	; 0805	; 0.1%
R602	10k	; 0805	; 0.1%
R603	10k	; 0805	; 0.1%
R604	4.02k	; 0805	; 0.1%
R605	10k	; 0805	; 0.1%
R606	10k	; 0805	; 0.1%
R607	19.6k	; 0805	; 0.1%
R608	10k	; 0805	; 0.1%
R609	10k	; 0805	; 0.1%
R610	19.6k	; 0805	; 0.1%
R611	10k	; 0805	; 0.1%
R612	10k	; 0805	; 0.1%
R613	10	; 0805	; 0.1%
R614	10k	; 0805	; 0.1%
R615	10k	; 0805	; 0.1%
R616	10	; 0805	; 0.1%
R617	10k	; 0805	; 0.1%
R618	10k	; 0805	; 0.1%
R619	10	; 0805	; 0.1%
R620	22k	; 0805	; 0.1%
R701	4.02k	; 0805	; 0.1%
R702	10k	; 0805	; 0.1%
R703	10k	; 0805	; 0.1%
R704	4.02k	; 0805	; 0.1%
R705	10k	; 0805	; 0.1%
R706	10k	; 0805	; 0.1%
R707	19.6k	; 0805	; 0.1%
R710	19.6k	; 0805	; 0.1%
R711	10k	; 0805	; 0.1%
R712	10k	; 0805	; 0.1%
R713	10	; 0805	; 0.1%
R714	10k	; 0805	; 0.1%
R715	10k	; 0805	; 0.1%
R716	10	; 0805	; 0.1%
R717	10k	; 0805	; 0.1%
R718	10k	; 0805	; 0.1%

H:\KiCad\PreAmpFilter - Beta2mod2\PreAmpFilter.Ist

Donnerstag, 8. September 2011 15:24

R719	10	; 0805	; 0.1%
R720	22k	; 0805	; 0.1%
R801	10k	; 0805	; 0.1%
R802	10k	; 0805	; 0.1%
R803	5k	; 0805	; 0.1%
R804	10k	; 0805	; 0.1%
R805	10k	; 0805	; 0.1%
R806	10M	; 0805	; 0.1%
R901	64.9	; 0805	; 0.1%
R902	1k	; 0805	; 0.1%
R903	1k	; 0805	; 0.1%
R904	22k	; 0805	; 0.1%
R905	20*	; 0805	; 0.1%
R1001	91k	; 0805	; 0.1%
R1002	91k	; 0805	; 0.1%
R1003	47k	; 0805	; 0.1%
R1004	47k	; 0805	; 0.1%
R1005	47k	; 0805	; 0.1%
R1006	47k	; 0805	; 0.1%
R1007	47k	; 0805	; 0.1%
T101	MMBF4392	; SOT23	
T102	MMBF4392	; SOT23	
TP101	TP	;	
TP201	TP	;	
TP202	TP	;	
TP301	TP	;	
TP302	TP	;	
TP401	TP	;	
TP402	TP	;	
TP403	TP	;	
TP404	TP	;	
TP501	TP	;	
TP601	TP	;	
TP602	TP	;	
TP603	TP	;	
TP604	TP	;	
TP605	TP	;	
TP606	TP	;	
TP701	TP	;	
TP702	TP	;	
TP703	TP	;	
TP704	TP	;	
TP705	TP	;	
TP801	TP	;	
TP802	TP	;	
TP803	TP	;	
TP804	TP	;	
TP1001	TP	;	
TP1002	TP	;	

Bauteilliste digital Platine

Nummer	Wert	Bauform	Typ
C1	100nF	;	
C2	100nF	;	
C3	100nF	;	
C4	100nF	;	
C5	100nF	;	
C6	100nF	;	
C7	100nF	;	
C8	100nF	;	
C9	100nF	;	
C10	10uF	; SMD B	; elko 16V
C11	10uF	; SMD C	; elko 35V
C12	10uF	; SMD C	; elko 35V
C13	100nF	; 0805	; ceramic cap
C14	100nF	; 0805	; ceramic cap
C15	100nF	; 0805	; ceramic cap
C16	22uF	; SMD D	; elko 35V
C17	22uF	; SMD D	; elko 35V
C18	10uF	; SMD C	; elko 35V
C19	100nF	; 0805	; ceramic cap
C20	100nF	; 0805	; ceramic cap
C21	100nF	; 0805	; ceramic cap
C22	10uF	; SMD B	; elko 16V
C23	100nF	; 0805	; ceramic cap
C24	1500uF	; SMD J16	; elko 35V
C25	1500uF	; SMD J16	; elko 35V
C26	10uF	; SMD C	; elko 35V
C27	10uF	; SMD C	; elko 35V
C28	100nF	; 0805	; ceramic cap
C29	100nF	; 0805	; ceramic cap
C30	100nF	;	
C31	10uF	; SMD B	; elko 16V
C32	100nF	; 0805	; ceramic cap
C33	22uF	; SMD D	; elko 35V
C34	10uF	; SMD C	; elko 35V
C35	100nF	;	
C36	100nF	;	
C37	100nF	;	
C38	10uF	; SMD B	; elko 16V
C39	100nF	;	
C40	100nF	;	
D7	grün	;	
D8	grün	;	
D9	grün	;	
D10	grün	;	
D11	gelb	;	
D12	grün	;	
D13	BAT760	;	
D14	BAT760	;	
D15	BAT760	;	
D16	BAT760	;	
D17	BAT760	;	
D18	BAT760	;	
D1_2	2x rot	;	
D3_4	2x rot	;	

H:\KiCad\PreAmpFilter - PowerDigiBoard - Beta2mod\PowerDigiBoard.lst

Donnerstag, 8. September 2011 15:38

```

| D5_6      2x rot      ;
| IC1      LP2992-3.3V ; SOT23-5
| IC2      LM2940-15V ; TO 220
| IC3      XC95144XL-TQ100;
| IC4      ULN2803A   ;
| IC5      ULN2803A   ;
| IC6      74HC4050   ;
| IC7      ULN2803A   ;
| IC8      74LV07     ;
| IC9      74HC4050   ;
| IC10     LM2940-5V  ; TO 263
| IC11     LM2990-15V ; TO 220
| IC12     LM2940-15V ; TO263
| IC13     LM2990-15V ; TO 263
| IC14     HEF4093    ;
| J1       C32AC      ;
| J2       XILINX_JTAG ;
| J5       2x4        ;
| J6       2x4        ;
| J7       2x4        ;
| J8       15V        ;
| J9       15V_LowNoise;
| J301     2x2        ;
| J401     2x2        ;
| J501     2x4        ;
| J601     2x4        ;
| J602     2x4        ;
| J603     2x4        ;
| J701     2x4        ;
| J702     2x4        ;
| J703     2x2        ;
| J801     2x4        ;
| J901     2x4        ;
| J902     2x4        ;
| J1001    Overload   ;
| R1       270        ;
| R2       270        ;
| R3       270        ;
| R4       270        ;
| R5       270        ;
| R6       560        ;
| R7       560        ;
| R8       560        ;
| R9       560        ;
| R10     560        ;
| R11     560        ;
| R12     560        ;
| R13     10k         ;
| R14     10k         ;
| R15     10k         ;
| R16     10k         ;
| R17     10k         ;
| R19     10          ; 2512          ; 5% 1W
| R20     10          ; 2512          ; 5% 1W
| R21     1k          ;
| R22     22k         ;
| Tr1     BC817       ;

```

digiboard.vhd Mon Sep 05 10:15:56 2011

```
1  -----
2  -- Company:          Universität Hamburg, Institut für Angewandte Physik
3  -- Engineer:        Boris Fiedler
4  --
5  -- Create Date:     14:26:40 02/14/2011
6  -- Last Modification: 10:15:00 09/05/2011
7  -- Project Name:    Digiboard
8  --
9  -----
10 library IEEE;
11 use IEEE.STD_LOGIC_1164.ALL;
12 use IEEE.STD_LOGIC_ARITH.ALL;
13 use IEEE.STD_LOGIC_UNSIGNED.ALL;
14
15 entity digiboard is
16     Port (
17         -- Inputs
18         DATAin    : in  STD_LOGIC;
19         CLKin      : in  STD_LOGIC;
20         CS_ADR     : in  STD_LOGIC;
21         CS         : in  STD_LOGIC;
22         RESin      : in  STD_LOGIC;
23         RESEERVE   : in  STD_LOGIC;
24         -- Outputs
25         OV1out     : out STD_LOGIC;
26         OV2out     : out STD_LOGIC;
27         OV3out     : out STD_LOGIC;
28         OV4out     : out STD_LOGIC;
29         OV5out     : out STD_LOGIC;
30         OVout      : out STD_LOGIC;
31
32         -- SPI Bus
33         CLKout     : out STD_LOGIC;
34         DATAout   : out STD_LOGIC;
35         RESout     : out STD_LOGIC;
36         CS0        : out STD_LOGIC;
37         CS1        : out STD_LOGIC;
38         CS2        : out STD_LOGIC;
39         CS3        : out STD_LOGIC;
40         CS4        : out STD_LOGIC;
41         CS5        : out STD_LOGIC;
42         CS6        : out STD_LOGIC;
43         CS7        : out STD_LOGIC;
44         CS8        : out STD_LOGIC;
45         CS9        : out STD_LOGIC;
46
47         -- Tigger
48         TRIG       : out STD_LOGIC;
49         TRIGout    : in  STD_LOGIC;
50
51         -- Overload
52         OV1in      : in  STD_LOGIC;
53         OV2in      : in  STD_LOGIC;
54         OV3in      : in  STD_LOGIC;
55         OV4in      : in  STD_LOGIC;
56         OV5in      : in  STD_LOGIC;
57
58         -- Leds
59         LEDA       : out STD_LOGIC;
60         LEDB       : out STD_LOGIC;
61         LEDI       : out STD_LOGIC;
```

```

digiboard.vhd
Mon Sep 05 10:15:56 2011
62      LEDO      : out STD_LOGIC;
63      LEDS      : out STD_LOGIC;
64
65      -- Register 1
66      K12        : out STD_LOGIC; -- Funktion
67      K14        : out STD_LOGIC; -- Ground High 10k (1)
68      K1012     : out STD_LOGIC; -- Ground Low 10 (0)
69      K1014     : out STD_LOGIC; -- B Ground (1)
70      K1022     : out STD_LOGIC; -- A & B (0)
71      K1024     : out STD_LOGIC; -- A - HighPass (1)
72      K1032     : out STD_LOGIC; -- A (0)
73      K1034     : out STD_LOGIC; -- B - HighPass (1)
74      K1042     : out STD_LOGIC; -- B (0)
75      K1044     : out STD_LOGIC; -- U - Auto Offset (1)
76      K1052     : out STD_LOGIC; -- U - Fixed Offset (0)
77      K1054     : out STD_LOGIC; -- U - A=1000 (1)
78      K1054     : out STD_LOGIC; -- U - A=1 (0)
79      K2012     : out STD_LOGIC; -- I - A1= 10x6 (1)
80      K2014     : out STD_LOGIC; -- I - A1= 10x4 (0)
81      K2022     : out STD_LOGIC; -- I - A2= - (0)
82      K2024     : out STD_LOGIC; -- I - A2= x 100 (1)
83
84      -- Register 2
85      D2_0       : out STD_LOGIC; -- Funktion
86      D2_1       : out STD_LOGIC; -- Select U (1) - I (0)
87      D2_2       : out STD_LOGIC; -- HP (1) - Bypass (0)
88      D2_3       : out STD_LOGIC; -- 50 Hz Notch Filter (1) - Bypass (0)
89      D2_4       : out STD_LOGIC; -- 100 Hz Notch Filter (1) - Bypass (0)
90      D2_5       : out STD_LOGIC; -- Mid amplifier (1) - Bypass (0)
91      D2_6       : out STD_LOGIC; -- Mid amplifier 10x2 (1) - 10x1 (0)
92      D2_7       : out STD_LOGIC; -- Mid amplifier 10x3 (1) - 10x2 (0)
93      D2_8       : out STD_LOGIC; -- Out amplifier (1) - Bypass (0)
94      D2_9       : out STD_LOGIC; -- Out amplifier 10x3 (1) - 10x2 (0)
95      D2_9       : out STD_LOGIC; -- Output enable (1) - disable (0)
96
97      -- Register 3
98      D3_0       : out STD_LOGIC; -- Funktion
99      D3_1       : out STD_LOGIC; -- 1. Filter (1) - ground (0)
100     D3_2       : out STD_LOGIC; -- 1. Filter A0
101     D3_3       : out STD_LOGIC; -- 1. Filter A1
102     D3_4       : out STD_LOGIC; -- 1. Filter A2
103     D3_5       : out STD_LOGIC; -- 2. Filter (1) - ground (0)
104     D3_6       : out STD_LOGIC; -- 2. Filter A0
105     D3_7       : out STD_LOGIC; -- 2. Filter A1
106     D3_8       : out STD_LOGIC; -- 2. Filter A2
107     D3_9       : out STD_LOGIC; -- Filter Matrix A0
108     D3_10      : out STD_LOGIC; -- Filter Matrix A1
109     D3_11      : out STD_LOGIC; -- Filter Invert Output (1)
110     D3_11      : out STD_LOGIC; -- Filter HP Output (1)
111
112 );
113 end digiboard;
114
115 architecture Behavioral of digiboard is
116 -- Signals
117 signal ADRESS_REG : STD_LOGIC_VECTOR(15 downto 0);
118 signal RESET      : STD_LOGIC;
119
120 signal RELAI_REGlen : STD_LOGIC;
121 signal RELAI_REG1  : STD_LOGIC_VECTOR(7 downto 0);
122 signal notRELAI_REG1 : STD_LOGIC_VECTOR(7 downto 0);
123 signal DIGITAL_REG2 : STD_LOGIC_VECTOR(9 downto 0);
124 signal DIGITAL_REG3 : STD_LOGIC_VECTOR(11 downto 0);
125
126 signal S0 : STD_LOGIC;

```

digiboard.vhd

Mon Sep 05 10:15:56 2011

```
123     signal S1           : STD_LOGIC;
124     signal S2           : STD_LOGIC;
125     signal S3           : STD_LOGIC;
126     signal S4           : STD_LOGIC;
127     signal S5           : STD_LOGIC;
128     signal S6           : STD_LOGIC;
129     signal S7           : STD_LOGIC;
130     signal S8           : STD_LOGIC;
131     signal S9           : STD_LOGIC;
132
133
134     begin
135         RESET    <= RESin;
136         CLKout   <= CLKin;
137         RESout   <= RESin;
138         DATAout <= DATAin;
139
140
141         -- Set Adress or Data Register
142         SET_REGS: process(DATAin, CLKin, RESET, CS, CS_ADR)
143         begin
144             if RESET = '0' then
145                 RELAI_REG1    <= (others=>'0');
146                 notRELAI_REG1 <= (others=>'0');
147                 DIGITAL_REG2  <= (others=>'0');
148                 DIGITAL_REG3  <= (others=>'0');
149             elsif CLKin = '1' and CLKin'event then
150                 if CS = '0' then
151                     if CS_ADR = '0' then
152                         ADDRESS_REG <= ADDRESS_REG(14 downto 0) & DATAin;
153                     else
154                         if ADDRESS_REG = x"0001" then
155                             RELAI_REG1    <= RELAI_REG1(6 downto 0) & DATAin;
156                             notRELAI_REG1 <= notRELAI_REG1(6 downto 0) & NOT DATAin;
157                         end if;
158
159                         if ADDRESS_REG = x"0002" then
160                             DIGITAL_REG2  <= DIGITAL_REG2(8 downto 0) & DATAin;
161                         end if;
162
163                         if ADDRESS_REG = x"0003" then
164                             DIGITAL_REG3  <= DIGITAL_REG3(10 downto 0) & DATAin;
165                         end if;
166
167                     end if;
168                 end if;
169             end if;
170         end process SET_REGS;
171
172
173         -- Set enable Signale
174         ADR_SET: process(CS_ADR, CS, ADDRESS_REG, RESET)
175         begin
176             if RESET = '0' then
177                 RELAI_REG1en <= '0';
178                 S0           <= '0';
179                 S1           <= '0';
180                 S2           <= '0';
181                 S3           <= '0';
182                 S4           <= '0';
183                 S5           <= '0';
```

digiboard.vhd

Mon Sep 05 10:15:56 2011

```

184         S6             <= '0';
185         S7             <= '0';
186         S8             <= '0';
187         S9             <= '0';
188     elsif CS = '0' and CS_ADR = '1' and CS_ADR'event then
189         -- DEFAULT Vaules
190         RELAI_REG1en    <= '0';
191         S0              <= '0';
192         S1              <= '0';
193         S2              <= '0';
194         S3              <= '0';
195         S4              <= '0';
196         S5              <= '0';
197         S6              <= '0';
198         S7              <= '0';
199         S8              <= '0';
200         S9              <= '0';
201
202     case ADDRESS_REG is
203     when x"0001" => RELAI_REG1en <= '1';
204     when x"0004" => S0           <= '1';
205     when x"0005" => S1           <= '1';
206     when x"0006" => S2           <= '1';
207     when x"0007" => S3           <= '1';
208     when x"0008" => S4           <= '1';
209     when x"0009" => S5           <= '1';
210     when x"000A" => S6           <= '1';
211     when x"000B" => S7           <= '1';
212     when x"000C" => S8           <= '1';
213     when x"000D" => S9           <= '1';
214     when others => RELAI_REG1en <= '0';
215
216         S0              <= '0';
217         S1              <= '0';
218         S2              <= '0';
219         S3              <= '0';
220         S4              <= '0';
221         S5              <= '0';
222         S6              <= '0';
223         S7              <= '0';
224         S8              <= '0';
225         S9              <= '0';
226     end case;
227 end if;
228 end process ADR_SET;
229
230 -- Set trigger
231 TRIG      <= RELAI_REG1en;
232
233 -- Relays outputs REG1
234 K1022     <= RELAI_REG1(0) AND TRIGout;
235 K1024     <= notRELAI_REG1(0) AND TRIGout;
236 K1032     <= RELAI_REG1(1) AND TRIGout;
237 K1034     <= notRELAI_REG1(1) AND TRIGout;
238 K1012     <= notRELAI_REG1(2) AND TRIGout;
239 K1014     <= RELAI_REG1(2) AND TRIGout;
240 K12       <= RELAI_REG1(3) AND TRIGout;
241 K14       <= notRELAI_REG1(3) AND TRIGout;
242 K1052     <= RELAI_REG1(4) AND TRIGout;
243 K1054     <= notRELAI_REG1(4) AND TRIGout;
244 K1042     <= notRELAI_REG1(5) AND TRIGout;
245 K1044     <= RELAI_REG1(5) AND TRIGout;

```

```
digiboard.vhd Mon Sep 05 10:15:56 2011
245 K2012 <= RELAI_REG1(6) AND TRIGout;
246 K2014 <= notRELAI_REG1(6) AND TRIGout;
247 K2022 <= notRELAI_REG1(7) AND TRIGout;
248 K2024 <= RELAI_REG1(7) AND TRIGout;
249
250 -- Register 2
251 D2_0 <= DIGITAL_REG2(0);
252 D2_1 <= DIGITAL_REG2(1);
253 D2_2 <= DIGITAL_REG2(2);
254 D2_3 <= DIGITAL_REG2(3);
255 D2_4 <= NOT DIGITAL_REG2(4);
256 D2_5 <= DIGITAL_REG2(5);
257 D2_6 <= DIGITAL_REG2(6);
258 D2_7 <= NOT DIGITAL_REG2(7);
259 D2_8 <= DIGITAL_REG2(8);
260 D2_9 <= NOT DIGITAL_REG2(9);
261
262 -- Register 3
263 D3_0 <= DIGITAL_REG3(0);
264 D3_1 <= DIGITAL_REG3(1);
265 D3_2 <= DIGITAL_REG3(2);
266 D3_3 <= DIGITAL_REG3(3);
267 D3_4 <= DIGITAL_REG3(4);
268 D3_5 <= DIGITAL_REG3(5);
269 D3_6 <= DIGITAL_REG3(6);
270 D3_7 <= DIGITAL_REG3(7);
271 D3_8 <= DIGITAL_REG3(8);
272 D3_9 <= DIGITAL_REG3(9);
273 D3_10 <= DIGITAL_REG3(10);
274 D3_11 <= DIGITAL_REG3(11);
275
276 -- Set leds outputs
277 LEDA <= NOT DIGITAL_REG2(0);
278 LEDB <= NOT DIGITAL_REG2(0) AND NOT RELAI_REG1(2);
279 LEDI <= DIGITAL_REG2(0);
280 LEDO <= DIGITAL_REG2(9);
281 LEDS <= TRIGout;
282
283 -- Chipselect
284 CS0 <= NOT (S0 AND CS_ADR AND NOT CS);
285 CS1 <= NOT (S1 AND CS_ADR AND NOT CS);
286 CS2 <= NOT (S2 AND CS_ADR AND NOT CS);
287 CS3 <= NOT (S3 AND CS_ADR AND NOT CS);
288 CS4 <= NOT (S4 AND CS_ADR AND NOT CS);
289 CS5 <= NOT (S5 AND CS_ADR AND NOT CS);
290 CS6 <= NOT (S6 AND CS_ADR AND NOT CS);
291 CS7 <= NOT (S7 AND CS_ADR AND NOT CS);
292 CS8 <= NOT (S8 AND CS_ADR AND NOT CS);
293 CS9 <= NOT (S9 AND CS_ADR AND NOT CS);
294
295 -- Overload
296 OV1out <= OV1in;
297 OV2out <= OV2in;
298 OV3out <= OV3in;
299 OV4out <= OV4in;
300 OV5out <= OV5in;
301 OVout <= RESERVE;
302
303 end Behavioral;
```

```
pins.ucf                                     Wed Aug 31 14:49:46 2011
1      #UCF File Digiboard
2
3      #Board connector
4      #In
5      NET "CLKin"          LOC = "P22" |BUFG = CLK ;
6      NET "RESin"         LOC = "P99" |SLEW = SLOW ;
7      NET "DATAin"        LOC = "P95" |SLEW = SLOW ;
8      NET "CS_ADR"        LOC = "P97" |SLEW = SLOW ;
9      NET "RESERVE"       LOC = "P96" |SLEW = SLOW ;
10     NET "CS"            LOC = "P1"  |SLEW = SLOW ;
11     #Out
12     NET "OV1out"        LOC = "P90" |SLEW = SLOW ;
13     NET "OV2out"        LOC = "P86" |SLEW = SLOW ;
14     NET "OV3out"        LOC = "P92" |SLEW = SLOW ;
15     NET "OV4out"        LOC = "P91" |SLEW = SLOW ;
16     NET "OV5out"        LOC = "P94" |SLEW = SLOW ;
17     NET "OVout"         LOC = "P52" |SLEW = SLOW ;
18
19
20     #Trigger
21     NET "TRIG"          LOC = "P24" |SLEW = SLOW ;
22     NET "TRIGout"       LOC = "P25" |SLEW = SLOW ;
23
24     #Overload
25     NET "OV1in"         LOC = "P49" |SLEW = SLOW ;
26     NET "OV2in"         LOC = "P50" |SLEW = SLOW ;
27     NET "OV3in"         LOC = "P43" |SLEW = SLOW ;
28     NET "OV4in"         LOC = "P41" |SLEW = SLOW ;
29     NET "OV5in"         LOC = "P42" |SLEW = SLOW ;
30
31     #LEDs
32     NET "LEDA"          LOC = "P46" |SLEW = SLOW ;
33     NET "LEDB"          LOC = "P53" |SLEW = SLOW ;
34     NET "LEDI"          LOC = "P40" |SLEW = SLOW ;
35     NET "LEDO"          LOC = "P39" |SLEW = SLOW ;
36     NET "LEDS"          LOC = "P54" |SLEW = SLOW ;
37
38     #Relais
39     NET "K1012"         LOC = "P59" |SLEW = SLOW ;
40     NET "K1014"         LOC = "P58" |SLEW = SLOW ;
41     NET "K1022"         LOC = "P55" |SLEW = SLOW ;
42     NET "K1024"         LOC = "P56" |SLEW = SLOW ;
43     NET "K1032"         LOC = "P60" |SLEW = SLOW ;
44     NET "K1034"         LOC = "P61" |SLEW = SLOW ;
45     NET "K1042"         LOC = "P66" |SLEW = SLOW ;
46     NET "K1044"         LOC = "P63" |SLEW = SLOW ;
47     NET "K1052"         LOC = "P65" |SLEW = SLOW ;
48     NET "K1054"         LOC = "P64" |SLEW = SLOW ;
49     NET "K2012"         LOC = "P37" |SLEW = SLOW ;
50     NET "K2014"         LOC = "P36" |SLEW = SLOW ;
51     NET "K2022"         LOC = "P34" |SLEW = SLOW ;
52     NET "K2024"         LOC = "P35" |SLEW = SLOW ;
53     NET "K12"           LOC = "P32" |SLEW = SLOW ;
54     NET "K14"           LOC = "P33" |SLEW = SLOW ;
55
56     #Digital
57     NET "D2_0"          LOC = "P67" |SLEW = SLOW ;
58     NET "D2_1"          LOC = "P68" |SLEW = SLOW ;
59     NET "D2_2"          LOC = "P70" |SLEW = SLOW ;
60     NET "D2_3"          LOC = "P71" |SLEW = SLOW ;
61     NET "D2_4"          LOC = "P73" |SLEW = SLOW ;
```

```
pins.ucf                                     Wed Aug 31 14:49:46 2011
62      NET "D2_6"          LOC = "P72" |SLEW = SLOW ;
63      NET "D2_5"          LOC = "P74" |SLEW = SLOW ;
64      NET "D2_7"          LOC = "P30" |SLEW = SLOW ;
65      NET "D2_8"          LOC = "P29" |SLEW = SLOW ;
66      NET "D2_9"          LOC = "P28" |SLEW = SLOW ;
67
68      NET "D3_0"          LOC = "P77" |SLEW = SLOW ;
69      NET "D3_1"          LOC = "P79" |SLEW = SLOW ;
70      NET "D3_2"          LOC = "P76" |SLEW = SLOW ;
71      NET "D3_3"          LOC = "P78" |SLEW = SLOW ;
72      NET "D3_4"          LOC = "P13" |SLEW = SLOW ;
73      NET "D3_5"          LOC = "P12" |SLEW = SLOW ;
74      NET "D3_6"          LOC = "P10" |SLEW = SLOW ;
75      NET "D3_7"          LOC = "P11" |SLEW = SLOW ;
76      NET "D3_8"          LOC = "P16" |SLEW = SLOW ;
77      NET "D3_9"          LOC = "P17" |SLEW = SLOW ;
78      NET "D3_10"         LOC = "P15" |SLEW = SLOW ;
79      NET "D3_11"         LOC = "P14" |SLEW = SLOW ;
80
81      #Serial
82      NET "CLKout"         LOC = "P23" |BUFG = CLK ;
83      NET "RESout"        LOC = "P6"  |SLEW = SLOW ;
84      NET "DATAout"       LOC = "P20" |SLEW = SLOW ;
85
86      NET "CS0"            LOC = "P85" |SLEW = SLOW ;
87      NET "CS1"            LOC = "P80" |SLEW = SLOW ;
88      NET "CS2"            LOC = "P81" |SLEW = SLOW ;
89      NET "CS3"            LOC = "P82" |SLEW = SLOW ;
90      NET "CS4"            LOC = "P4"  |SLEW = SLOW ;
91      NET "CS5"            LOC = "P9"  |SLEW = SLOW ;
92      NET "CS6"            LOC = "P8"  |SLEW = SLOW ;
93      NET "CS7"            LOC = "P7"  |SLEW = SLOW ;
94      NET "CS8"            LOC = "P19" |SLEW = SLOW ;
95      NET "CS9"            LOC = "P18" |SLEW = SLOW ;
```

Tabellenverzeichnis

2.1 Rauschspannung des Probenwiderstand	13
2.2 Gesamtrauschen E_{Total}	14
4.1 Auswahl Instrumentenverstärker	24
4.2 Auswahl Operationsverstärker mit kleinem Biasstrom	33
4.3 Eingangsstromrauschen	36
4.4 Notchfilter	42
4.5 Widerstandsnetzwerk Verstärkung	44
4.6 Widerstände Universalfilter nach [31]	45
4.7 Filterkombinationen	52
4.8 Widerstandsnetzwerk Verstärkung	53
4.9 Adressen Messverstärker	64
5.1 Strom- und Leistungsaufnahme Messverstärkerkomponenten	68
5.2 Thermische Widerstände Spannungsregler	69
5.3 Übersicht Testpunkte Universalfilter	75

Bildverzeichnis

2.1	Frequenzspektrum mit Rauschen und Störungen [27]	8
2.2	Blockschaltbild Chopper-Verstärker	9
2.3	Blockschaltbild Lock-In-Verstärker	10
2.4	Blockschaltbild Lock-In-Verstärker Scientific Instruments SR830 [16]	11
2.5	Versuchsaufbau einer Halbleitermessung	13
3.1	Blockschaltplan des Messsignal	15
3.2	Digitale Steuerung und Stromversorgung	16
4.1	Übersichtsschaltplan der analogen Baugruppen	21
4.2	Differenzverstärker mit vorgeschalteten Impedanzwandlern [31]	23
4.3	Instrumentenverstärker [31]	23
4.4	Schaltplan: <i>Differenz Spannungsvorverstärker</i>	25
4.5	Schaltplan: <i>GND & Eingangsfiler</i>	26
4.6	Frequenz- und Phasengang 0,16 Hz Hochpassfilter, simuliert mit LTspice [11]	27
4.7	Eingangsauschen LT1167 [9]	30
4.8	Schaltplan LT1167 Simulation mit LTspice [11]	30
4.9	Eingangsauschen Modell LT1167 mit LTspice [11] für $G = 1$	30
4.10	Eingangsauschen Modell LT1167 mit LTspice [11] für $G = 1000$	30
4.11	Simulationsmodell Differenzverstärker	31
4.12	Eingangsauschen Differenzverstärker mit LTspice [11] für $G = 1$	31
4.13	Eingangsauschen Differenzverstärker mit LTspice [11] für $G = 1000$	31
4.14	Strom-Spannungs-Wandler [27]	32
4.15	Strom-Spannungs-Wandler mit Spannungsteiler [27]	32
4.16	Schaltplan: Strom-Spannungs-Wandler <i>I-U Wandler</i>	33
4.17	Simulation AD549 mit LTspice [11]	35
4.18	Simulation mit LTspice [11] Eingangsauschen für 10^4 V/A	35
4.19	Simulation mit LTspice [11] Eingangsauschen für 10^6 V/A und 10^8 V/A	35
4.20	Schaltplan: <i>Selektor & Filter</i>	37
4.21	Frequenz- und Phasengang 20 kHz Tiefpassfilter, simuliert mit LTspice [11]	38
4.22	“1 - Bandpass“ Bandsperfilter [32]	39

4.23	Frequenz- und Phasengang 50 Hz Bandpassfilter, simuliert mit LTspice [11]	40
4.24	Frequenz- und Phasengang 50 Hz Notchfilter, simuliert mit LTspice [11]	40
4.25	Schaltplan: <i>Notchfilter 50Hz und 100Hz</i>	41
4.26	50 Hz und 100 Hz Notchfilter Frequenz- und Phasengang, Simulation LTspice [11]	42
4.27	Nichtinvertierender Verstärker [31]	43
4.28	Schaltplan: <i>Zwischenverstärker</i>	43
4.29	Universalfilter zweiter Ordnung [31]	44
4.30	Digital-Analog-Umsetzer mit Operationsverstärker	46
4.31	Universalfilter 2. Ordnung mit DACs [31]	46
4.32	Universal Active Filter UAF42 von Texas Instruments [20]	47
4.33	Application Bulletin - Digital programmierbares Filter Texas Instruments [29]	47
4.34	Schaltplan: <i>Universalfilter 1</i>	48
4.35	Schaltplan: <i>Filter 1 DACs</i>	50
4.36	Schaltplan: <i>Filter Matrix</i>	51
4.37	Schaltplan: <i>Ausgangsverstärker</i>	53
4.38	Schaltplan: <i>Übersteuerungskontrolle Overload</i>	54
4.39	Schaltplan: <i>Steckverbindungen</i>	55
4.40	Aufbau digitale Baugruppen	55
4.41	Schaltplan: <i>Stromversorgung</i>	56
4.42	Hauptschaltplan: <i>digitale Baugruppe (rechte Hälfte)</i>	57
4.43	Steuerungslogik mit Schnittstellen	58
4.44	Hauptschaltplan: <i>digitale Baugruppe (linke Hälfte)</i>	59
4.45	Schaltplan: <i>Monoflop</i>	61
4.46	Timing Diagramm AD5293 - CPOL=0 CPHA=1[1]	61
4.47	Timing Diagramm AD5543 - CPOL=0 CPHA=0 [3]	62
4.48	Aufbau eines Datenframes des Messverstärker	62
4.49	Aufbau Logikbaustein	63
4.50	Timing Diagramm Messverstärker Schnittstelle - CPOL=0 CPHA=0	64
4.51	Bitverteilung Register	65
5.1	Gehäuse - Schroff 20809-537 [14]	67
5.2	Oberseite analog Platine	71
5.3	Unterseite analog Platine	71
5.4	Oberseite digital Platine	71
5.5	Unterseite digital Platine	71
5.6	Potentiometer und Testpunkte Oberseite analoge Leiterplatte	72
5.7	Abgleichpotentiometer Notchfilter	73
5.8	Oszilloskopbild 50 Hz Notchfilter	74
5.9	Testpunkte Universalfilter Oberseite analoge Leiterplatte	75

5.10	Aufbau zur Messung der Karte	76
5.11	Aufbau Messanordnung Spannungsmessung	77
5.12	Spannung Messwiderstand $30\ \mu\text{V}$ Verstärkung 1000	77
5.13	Spannung Messwiderstand $30\ \mu\text{V}$ Verstärkung 1000 Mittelwert 16 Perioden	78
5.14	Spannung Messwiderstand $3\ \mu\text{V}$ Verstärkung 1000 Mittelwert 16 Perioden	78
5.15	Aufbau Messanordnung Strommessung	78
5.16	Generator 1 V - Strom 1 nA Proportionalfaktor $10^8\ \frac{\text{V}}{\text{A}}$	78
5.17	Generator 100 mV - Strom 100 pA Proportionalfaktor $10^8\ \frac{\text{V}}{\text{A}}$	79
5.18	Generator 20 mV - Strom 20 pA Proportionalfaktor $10^8\ \frac{\text{V}}{\text{A}}$	79
5.19	Generator 100 mV - Strom 100 pA Proportionalfaktor $10^8\ \frac{\text{V}}{\text{A}}$	79
5.20	Generator 20 mV - Strom 20 pA Proportionalfaktor $10^8\ \frac{\text{V}}{\text{A}}$	79
5.21	Messung 50 Hz Notchfilter Testpunkt TP402	80
5.22	Messung 100 Hz Notchfilter Testpunkt TP404	80
5.23	Frequenz- und Phasengang Messverstärkerkarte Verstärkung 1	81
5.24	Frequenz- und Phasengang Messverstärkerkarte Verstärkung 1000	82
5.25	Aufbau erweiterte Messanordnung Spannungsmessung	82
5.26	Frequenz- und Phasengang Messverstärkerkarte Verstärkung 10^5	83
5.27	Frequenz- und Phasengang Messverstärkerkarte 50 Hz und 100 Hz Notchfilter - Verstärkung 10^5	84
5.28	Frequenz- und Phasengang Messverstärkerkarte 50 Hz und 100 Hz Notchfilter - Verstärkung 10^7	84
6.1	Messverstärker-Karte - Blick auf die analoge Platine von oben	86
6.2	Messverstärker-Karte - Blick auf die digitale Platine von unten	86
6.3	Messverstärker-Karte - Blick von vorne	87

Abkürzungsverzeichnis

ADC Analog to digital converter

ADC Analog to digital converter

CMRR Common mode rejection ratio

CPHA Clock phase

CPLD Complex programmable logic device

CPOL Clock polarity

CS Chip select

DAC Digital to analog converter

DIL Dual in-line

DSP Digital signal processor

ESD electrostatic discharge

HE Höheneinheit

IC Integrated Circuit

JFET junction-field-effect transistor

JTAG Joint test action group

LDO Low drop-out

LED Light emitting diode

MFB Multiple feedback filter

MISO Master in slave out

MOSI Master out slave in

PLL Phase-locked loop

RTI Total offset voltage referred to the input

RTO Total offset voltage referred to the output

SCK Serial clock

SCLK Serial clock

SDI Serial data in

SDO Serial data out

SNR Signal to noise ratio

SPI Serial peripheral interface

SS Slave select

TE Teilungseinheit

UCF User constraint file

VHDL Very high speed integrated circuit hardware description language

VIA Vertical Interconnect Access

Versicherung über die Selbstständigkeit

Hiermit versichere ich, dass ich die vorliegende Arbeit im Sinne der Prüfungsordnung nach §25(4) ohne fremde Hilfe selbstständig verfasst und nur die angegebenen Hilfsmittel benutzt habe. Wörtlich oder dem Sinn nach aus anderen Werken entnommene Stellen habe ich unter Angabe der Quellen kenntlich gemacht.

Hamburg, 9. September 2011

Ort, Datum

Unterschrift