

Hochschule für Angewandte Wissenschaften Hamburg
Hamburg University of Applied Sciences

Bachelorthesis

Tobias Voigt

Entwurf, Simulation und Realisierung eines
FM-Stereo-Rundfunkempfängers auf einem
Field Programmable Gate Array (FPGA)

Tobias Voigt

Entwurf, Simulation und Realisierung eines
FM-Stereo-Rundfunkempfängers auf einem Field
Programmable Gate Array (FPGA)

Bachelorthesis eingereicht im Rahmen der Bachelorprüfung
im Studiengang Informations- und Elektrotechnik
am Department Informations- und Elektrotechnik
der Fakultät Technik und Informatik
der Hochschule für Angewandte Wissenschaften Hamburg

Betreuender Prüfer : Prof. Dr.-Ing. Hans Jürgen Micheel
Zweitgutachter : Prof. Dr. rer. nat. Jürgen Reichardt

Abgegeben am 29. August 2012

Tobias Voigt

Thema der Bachelorthesis

Entwurf, Simulation und Realisierung eines FM-Stereo-Rundfunkempfängers auf einem Field Programmable Gate Array (FPGA)

Stichworte

De-Emphasis, Digital Down Conversion, Digitale Signalverarbeitung, Eingebettetes System, Field Programmable Gate Array, FM-Demodulator, FM-Rundfunk, Multiplex-Signal, Pre-Emphasis, Software Defined Radio, Stereo-Decoder, VHF-2 Band

Kurzzusammenfassung

Der Trend der heutigen modernen Welt geht hin zu immer schnelleren und leistungsstärkeren Systemen, zu stets niedrigeren Preisen. Neue Technologien in der Funkübertragung und die Erschließung neuer Frequenzen ermöglichen eine zunehmend höhere Datenübertragungsgeschwindigkeit. Für eine möglichst hohe Flexibilität der Systeme wird versucht, die gesamte Signalverarbeitung auf ein durch Software anpassbares digitales System zu verlagern. Field Programmable Gate Arrays (FPGA) erlauben die Implementierung anspruchsvoller Signalverarbeitungen und ermöglichen diese jederzeit an geänderte Spezifikationen anzupassen. Mit dieser Bachelorthesis soll ein digitaler FM-Stereo-Rundfunkempfänger auf einem FPGA implementiert werden, um die echtzeitfähige Signalverarbeitung eines digitalen Systems zu demonstrieren.

Tobias Voigt

Title of the paper

Design, Simulation and Implementation of an FM-stereo-broadcast receiver on an Field Programmable Gate Array (FPGA)

Keywords

De-Emphasis, Digital Down Conversion, Digital Signal Processing, Embedded System, Field Programmable Gate Array, FM-Demodulator, FM-Broadcasting, Multiplex-Signal, Pre-Emphasis, Software Defined Radio, Stereo-Decoder, VHF-2 Band

Abstract

The trend in today's modern world is towards faster and more powerful systems, at lowest cost possible. New technologies in radio communications and the development of new frequencies allow a higher data transfer speed. For a maximum flexibility of the systems, the signal processing is tried to be displaced by a digital system. A system which can be adapted to software. Field Programmable Gate Arrays (FPGA) allow the implementation of sophisticated signal processing. Additionally FPGA make adjustments to changing specifications possible at any time. In the following, this thesis aims to show the application of an FM-stereo-broadcast receiver to an FPGA in order to demonstrate the real-time signal processing of a digital system.

Inhaltsverzeichnis

Abbildungsverzeichnis	5
Tabellenverzeichnis	8
1 Einführung	9
1.1 Ziel der Thesis	10
1.2 Aufbau und Methodik	10
2 Grundlagen	12
2.1 Field Programmable Gate Array (FPGA)	12
2.2 Software Defined Radio (SDR)	14
2.3 Frequenzmodulation	16
2.4 Basisbandsignal eines UKW-Rundfunksenders	17
2.5 Abtastung	19
2.6 Bandpassunterabtastung	21
2.7 Digital Down Conversion	25
3 Analyse und Konzept	27
3.1 Bestehendes System	27
3.1.1 Aufbau und Funktion	27
3.1.2 Bewertung des bestehenden Systems	30
3.2 FM-Demodulation	31
3.3 Unterdrückung von Amplitudenmodulation	35
3.4 Emphasis	38
3.5 Decodieren des Multiplex-Signals	39
3.6 Analoges Frontend	43
3.7 Datenübertragung zum PC	46
3.8 Spezifikation	49
3.9 Zusammenfassung der Analyse	52
4 Simulation	55
4.1 Bestehender DDC-Core	55
4.2 Normierung der Amplitude	56
4.3 FM-Demodulation	59
4.4 De-Emphasis Filter	61

4.5	Schaltdecoder	64
4.6	Speicherung der digitalen Daten	69
4.7	Zusammenfassung der Simulationen	71
5	Realisierung	74
5.1	UKW_Decoder-IP-Core	74
5.2	Embedded System	76
5.3	Firmware	78
5.4	VHF-2 Bandpassfilter	80
5.4.1	Entwurf	80
5.4.2	Umsetzung	82
5.4.3	Verifikation	84
5.5	Zusammenfassung der Realisierung	84
6	Systemtest	87
6.1	Datenübertragung an MATLAB	87
6.2	Verifikation des bestehenden DDC-Cores	88
6.3	AM-Unterdrückung	90
6.4	FM-Demodulation	92
6.5	De-Emphasis Filter	94
6.6	Multiplex-Signal-Decoder	95
6.7	Signalqualität	97
6.8	Zusammenfassung des Systemtests	99
7	Schlussbetrachtung	101
7.1	Zusammenfassung	101
7.2	Ausblick	102
	Literaturverzeichnis	104
	Abkürzungsverzeichnis	108
	Anhang	110

Abbildungsverzeichnis

2.1	Grundprinzip eines PLAs <i>Quelle: [11]</i>	12
2.2	Logikblock eines FPGAs mit LUT und Flipflop <i>Quelle: [27]</i>	13
2.3	Prinzip der Verbindungsmatrix im FPGA <i>Quelle: [27]</i>	13
2.4	Allgemeine SDR-Struktur	15
2.5	Frequenzmodulierte Kosinusschwingung	16
2.6	Basisbandsignal <i>Quelle: [25]</i>	19
2.7	Analog zu Digital Prinzip	19
2.8	Abtastung einer Sinusschwingung	20
2.9	Abtastung im Spektrum ohne Alias-Effekt	20
2.10	Abtastung im Spektrum mit Alias-Effekt	21
2.11	Abtastung des VHF-2 Bandes nach Nyquist-Shannon	22
2.12	Bandpassunterabtastung	22
2.13	Unterabtastung des VHF-2 Bandes mit 80 MHz	24
2.14	Struktur eines DDC <i>Quelle: [24]</i>	25
2.15	Ausgangsspektrum nach dem Mischen	26
3.1	Aufbau des DDC-Cores	28
3.2	Übersicht der Amplitudengänge der Filter-Kaskade <i>Quelle: [23]</i>	29
3.3	Übersicht des bestehenden Testsystems <i>Quelle: [23]</i>	30
3.4	FM-Demodulation mittels FM-AM-Umsetzung	31
3.5	Amplitudendämpfung des FM-Signals	32
3.6	Aufbau eines Frequenzzähl-Demodulators für digitale Signale <i>Quelle: [22]</i>	32
3.7	Aufbau eines PLL-Demodulators	33
3.8	Aufbau eines komplexen Verzögerungsdemodulators	33
3.9	Aufbau eines realen Verzögerungsdemodulators	34
3.10	Aufbau zur Eliminierung von Amplitudenmodulation <i>Quelle: [12]</i>	36
3.11	Real- und Imaginäranteil in der komplexen Ebene <i>Quelle: [26]</i>	37
3.12	Amplitudengänge von Pre-Emphasis und De-Emphasis <i>Quelle: [7]</i>	38
3.13	Emphasis-Netzwerke im UKW-Rundfunk	39
3.14	Übertragung mittels synchronen Zeitmultiplexverfahren <i>Quelle: [28]</i>	40
3.15	Darstellung des Frequenzmultiplexverfahrens <i>Quelle: [28]</i>	41
3.16	Multiplex-Signal-Decoder nach dem Matrix-Verfahren	42
3.17	Zeitverlauf eines Multiplex-Signals	42
3.18	Blockschaltbild eines Schaltdecoders	43

3.19	Funksignalspektrum gemessen mit einer OneForAll SV9360 DVB-T Antenne ohne Filter	44
3.20	Mögliche Filtercharakteristik für ein VHF-2 Bandpassfilter	44
3.21	Aufbau des analogen Frontends	46
3.22	Übersicht des zu realisierenden Gesamtsystems	50
3.23	Filtercharakteristiken des Schaltdecoders	52
4.1	Angepasster Amplitudengang der DDC-Fiter-Kaskade	56
4.2	Simulinkmodell zur Normierung der Amplitude	57
4.3	Diagramm der Simulationsergebnisse zur Amplitudennormierung mit den Quadratursignalen	58
4.4	Simulinkmodell des FM-Demodulators	59
4.5	FM-Demodulation eines Sinussignals	59
4.6	Simulinkmodell zur Erzeugung eines Multiplex-Signals	60
4.7	Spektrum vom erzeugten Multiplex-Signal	60
4.8	Spektrum des demodulierten Multiplex-Signals	61
4.9	Allgemeine Filterstruktur des digitalen De-Emphasis Filters	63
4.10	Gesamter Frequenzgang des digitalen De-Emphasis Filters	63
4.11	Frequenzausschnitt des Amplitudenganges vom De-Emphasis Filter	64
4.12	Simulinkmodell des De-Emphasis Filters	64
4.13	Simulinkmodell des Schaltdecoders	65
4.14	Detektion der Extrema des Hilfsträgers	66
4.15	Amplitudengänge der Filter des Schaltdecoders	67
4.16	Spektrum vom gefilterten Pilotton und des Hilfsträgers	68
4.17	Detektion der Minima und Maxima des Hilfsträgers	68
4.18	Decodiertes Stereo-Audiosignal	69
4.19	Simulation zur Speicherung der digitalen Daten	70
4.20	Simulinkmodell zur Erzeugung der Speicheradresse und Generierung des Interrupts	71
5.1	Übersicht des UKW_Decoder-Cores	75
5.2	Ablaufdiagramm der aufgesetzten Firmware	79
5.3	Störabstand des VHF-2 Bandes zum restlichen Spektrum	81
5.4	Schaltplan des mit <i>Filter Solutions 2012</i> entworfenen Bandpassfilters	81
5.5	Theoretischer Amplitudengang des Bandpassfilters. Blau: Ideale Bauteile. Rot: Mit 5%iger Abweichung der Bauteile	82
5.6	Mit EAGLE entworfene Platine des Bandpassfilters	82
5.7	Gemessener Amplitudengang des realisierten VHF-2 Bandpassfilters	83
5.8	Funksignalspektrum gemessen mit VHF-2 Bandpassfilter	85
6.1	Paketindizes aufgetragen über die teilweise empfangenden Pakete	88
6.2	Paketindizes aufgetragen über alle empfangenden Pakete	88

6.3	Ausgangssignale vom DDC-Core bei Verwendung unterschiedlicher Signalquellen für den Takteingang des ADUs	89
6.4	Spektrum des Ausgangssignals vom DDC-Core bei unterschiedlichen Taktquellen	90
6.5	Demoduliertes 1 kHz Sinussignal mit unterschiedlichen Taktquellen des ADUs	92
6.6	Signalspektrum des demodulierten Sendesignals von NDR 2 auf 87,6 MHz . .	93
6.7	Entzerrung des demodulierten Sinussignals mit dem De-Emphasis Filter . . .	94
6.8	Pilotton und erzeugter Hilfsträger aus den Multiplex-Signal des Senders NDR 2	96
6.9	Unterschied der Spektren vom linken Audiokanal bei Mono- und Stereo-Audio	97
6.10	Ergebnis der Klirrfaktormessung des Systems	98

Tabellenverzeichnis

2.1	Ausschnitt von Radiofrequenzen aus Norddeutschland <i>Quelle:</i> [18]	18
2.2	Periodische Fortsetzung der Spektren nach der Abtastung	21
2.3	Grenzen der neuen Frequenzbänder nach der Bandpassunterabtastung	23
2.4	Mögliche Frequenzen zur Unterabtastung des VHF-2 Bandes	24
4.1	Simulationsergebnisse der Amplitudennormierung	58
5.1	Geforderte, theoretische und erreichte Eigenschaften des Bandpassfilters	84
6.1	Messergebnisse der Amplitudennormierung mit realen Signalen	91

1 Einführung

Funktechnik ist in der heutigen Zeit allgegenwärtig und fast jeder nutzt diese auf bewusste oder unbewusste Weise. Die Übermittlung von Information über einen drahtlosen Kanal ist aus unserem Alltag kaum noch weg zu denken. Ob Mobiltelefone, Radios oder das mobiles Internet, all diese Anwendungen nutzen die Funktechnik. Gerade die Anbindung an das Internet, um z. B. E-Mails abzurufen, rückt immer mehr in den Vordergrund. So geht nun auch das Automobil online [2], um sich Informationen über Wetter, Verkehr etc. zu besorgen.

Vor allem in der mobilen Welt und deren Anbindung an das globale Netzwerk, dreht sich vieles um die Geschwindigkeit mit der im Internet Daten abgerufen werden können. Aber nicht nur die Geschwindigkeit ist ein Thema, es werden auch immer mehr Geräte vernetzt, was eine rasante Steigerung des Datenaufkommens zur Folge hat. Höheres Datenaufkommen bedeutet auch höhere Kapazitäten. Durch neue Frequenzbänder lassen sich mehr Kapazitäten und höhere Geschwindigkeiten erreichen, aber eine höhere Frequenz bedeutet ebenfalls eine schnellere und komplexere Signalverarbeitung.

Funkübertragungssysteme, die aus analogen Komponenten bestehen, sind fest verdrahtet und auf einen bestimmten Frequenzbereich eingestellt. Eine Änderung muss manuell vom Menschen vorgenommen werden, der das System auf den neuen Frequenzbereich abstimmt. Das ist sehr aufwändig und mit hohen Kosten verbunden und in vielen Fällen ist eine Änderung auf eine bestimmte Frequenz gar nicht erst möglich.

Heutige Geräte, wie etwa Mobiltelefone, arbeiten auf verschiedenen Frequenzbändern, so dass der Einsatz von analoger Hardware mehr als ungeeignet erscheint. Deswegen bestehen moderne Geräte aus digitalen Systemen, die digitale Signale verarbeiten können. Digitale Systeme sind im Gegensatz zu analogen Systemen leichter und schneller veränderbar. Mit fortschreitender Technik werden digitale Systeme immer schneller und leistungsfähiger und zugleich auch günstiger. Durch ihre Flexibilität wird versucht, soviel wie möglich der analogen Signalverarbeitung auf ein digitales System zu verlagern.

Mit einer Antenne empfangene analoge Signale werden mit einem Analog-Digital-Umsetzer (ADU) digitalisiert, um vom digitalen System verarbeitet werden zu können. Bei einer solchen Systemstruktur wird von Software Defined Radio (SDR) gesprochen.

1.1 Ziel der Thesis

Hörfunk, welcher gerne mit Radio bezeichnet wird, ist ein oft genutztes und beliebtes Medium, das weltweit genutzt wird. In Deutschland verwenden über zweidrittel der Bevölkerung täglich das Radio [5]. Heutige Radioempfänger werden immer kleiner und müssen mehr Funktionen bieten. So ist der Radioempfang in den heutigen Smartphones selbstverständlich. Es liegt klar auf der Hand, dass dort keine analoge Technik für die Signalverarbeitung eingesetzt werden kann. Software Defined Radio lautet hier die Lösung.

Diese Thesis beschäftigt sich mit der Realisierung eines SDR-Systems in digitaler Hardware. Es soll ein FM-Stereo-Rundfunkempfänger entworfen und auf einem FPGA implementiert werden, um die vielseitige Anwendbarkeit von digitalen Systemen und dessen Echtzeitfähigkeit zu demonstrieren.

Als Vorlage für diese Thesis dient eine frühere Masterarbeit [23] eines Studenten der HAW Hamburg. Dieser hat einen DDC-Core realisiert, welcher mit einem ADU Signale aus höheren Frequenzbändern in einen niedrigeren Frequenzbereich verschiebt. Dabei werden die Signale IQ-demoduliert, was die zwei Kanäle I und Q erzeugt. Außerdem wird eine Tiefpassfilterung und Reduzierung der Abtastrate der beiden Kanäle erreicht.

Weiterhin wird diese Thesis durch eine frühere Bachelorarbeit [22] eines Studenten des gleichen Departements motiviert. Dieser hat auf Basis des bestehenden DDC-Cores ein SDR-System entwickelt, welches reale Funksignale empfängt und diese in Echtzeit an einen Computer sendet. Ein PC-basiertes FM-Rundfunkradio dient zur Bestätigung der Echtzeitfähigkeit des Systems.

Eine Verlagerung der kompletten Signalverarbeitung auf einem FPGA soll zeigen, dass der Empfang von FM-Radiosignalen und dessen Verarbeitung auch ohne einen PC möglich ist.

Als Entwicklungsplattform dient die Xilinx ML507 Evaluation Plattform [33] mit einem Virtex-5 FPGA, welche auch in der Masterarbeit [23] und Bachelorarbeit [22] bereits verwendet wurde. Mit dem ebenfalls verwendeten LTC2206 ADC von Linear Technology [16] werden die analogen Signale für den DDC-Core digitalisiert.

1.2 Aufbau und Methodik

Diese Thesis ist so aufgebaut, dass der Leser sie leicht und verständlich nachvollziehen kann. Allerdings werden Grundlagen aus verschiedenen Fachgebieten, wie beispielsweise der Signalverarbeitung vorausgesetzt. Fußnoten im Text beinhalten zusätzliche Informationen, die zum Verständnis hilfreich sein können, und gelten daher nicht als Hinweis auf eine

zitierte Informationsquelle. Ziffern mit eckigen Klammern kennzeichnen hingegen weiterführende Referenzen, welche im [Literaturverzeichnis](#) zu finden sind. Der Verweis auf einen Anhang wird mit einer Ziffer in geschweiften Klammern gekennzeichnet.

Damit der Leser einen guten Einstieg in die Studienarbeit erhält, ist zu Beginn der Thesis eine [Einführung](#) zu finden. Diese vermittelt dem Leser eine Übersicht über die Thematik der Thesis.

Erklärungen, die zum Verständnis der Thesis dienen, sind im Kapitel '[Grundlagen](#)' zu finden. Dazu gehört unter anderen die Erläuterung von Themen wie *Frequenzmodulation* oder *Digital Down Conversion*. Die Erklärung von Begriffen wie *FPGA* und *SDR* ist ebenfalls in diesen Kapitel zu entnehmen. Allgemeine Grundlagen der Signalverarbeitung werden dort jedoch nicht ausgeführt und können beispielsweise in [17] oder [3] nachgelesen werden.

Im Kapitel '[Analyse und Konzept](#)' werden Möglichkeiten zur Realisierung des FM-Stereo-Rundfunkempfänger beschrieben und untersucht. Zudem soll der Aufbau des bestehende Systems aus [23] und dessen Funktion beschrieben werden. Schaltungen zur Demodulation von frequenzmodulierten Signalen werden ebenso erklärt, wie auch mögliche Datenübertragungen zu einem Computer. Eine genaue Spezifikation zum Ende des Kapitels legt das Entwicklungskonzept der Thesis fest.

Der Entwurf der digitalen Signalverarbeitungsblöcke ist im Kapitel '[Simulation](#)' zu finden. In der grafischen Entwicklungsumgebung Simulink werden die in der Spezifikation festgelegten Schaltungen in Modellen aufgebaut. Durch verschiedene Simulationen soll die Funktionalität dieser Modelle getestet werden.

In der [Realisation](#), fünftes Kapitel, wird der zu erstellende Rundfunkempfänger umgesetzt. Die simulierten Modelle werden zusammengefasst und in ein Embedded System auf dem FPGA implementiert. Für die Steuerung des Systems und der Signalverarbeitung wird eine Firmware¹ entworfen.

Das erstellte System wird im sechsten Kapitel, dem [Systemtest](#), anhand realer Signale aus einem Signalgenerator und von der Antenne getestet. Hier stellt sich heraus, ob die realisierte Signalverarbeitungsstrecke die empfangenden Sendersignale korrekt verarbeitet und die Wiedergabe von Stereo-Audio möglich ist.

Abschließend soll im letzten Kapitel, der [Schlussbetrachtung](#), eine Zusammenfassung der gesamten Thesis erkenntlich machen, welche Anforderungen gestellt waren und wie diese umgesetzt wurden. Zudem soll ein Ausblick zeigen, ob und welche weiterführenden Projekte aus dieser Thesis hervorgehen. Diese können als Anreiz für neue wissenschaftliche Arbeiten dienen.

¹ Eingebettete, meist fest installierte Software in elektronischen Geräten.

2 Grundlagen

2.1 Field Programmable Gate Array (FPGA)

In der Digitaltechnik bestehen die digitalen Schaltungen hauptsächlich aus logischen Gattern wie AND, NAND, OR oder anderen. Diese werden miteinander verbunden, um z. B. Speicherelemente wie Flipflops² oder Latches³ zu realisieren. Um eine individuelle Verknüpfung solcher Schaltungen in digitalen Systemen zu erreichen, wurden in den Anfängen der Programmable-Logic-Devices (PLD), zu deutsch programmierbare logische Schaltungen, Programmable-Logic-Arrays (PLA) eingesetzt. PLAs besitzen fest verdrahtete UND-ODER-Arrays (Abbildung 2.1), die erst nach ihrer Programmierung eine definierte Funktion aufweisen. Ein Nachteil der PLAs ist, dass die Gatter fest miteinander verbunden sind und eine Implementierung komplexer Funktionen ist durch die Größe der Matrizen beschränkt. Eine Vergrößerung der Matrizen führt allerdings zu längeren Signalverzögerungszeiten.

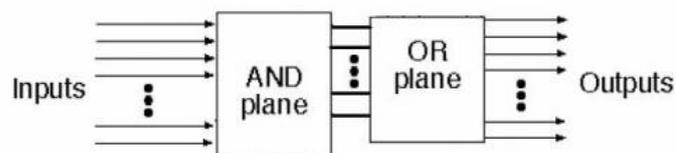


Abbildung 2.1: Grundprinzip eines PLAs *Quelle:* [11]

Um dennoch komplexe Schaltungen erreichen zu können, wurden mehrere PLA-Strukturen durch eine programmierbare Schaltmatrix miteinander verbunden. Dieses Prinzip wird als Complex-Programmable-Logic-Device (CPLD) bezeichnet. Jedoch besitzen CPLDs nur eine geringe Anzahl von Flipflops. Meist stehen pro Ein-/Ausgangspin nur ein bis zwei Flipflops als Register zur Verfügung. Digitale Systeme, die viele Register für beispielsweise Schieberegister benötigen, lassen sich damit nur im gewissen Maße realisieren.

Modernere PLDs sind Field Programmable Gate Arrays (FPGA). Diese sind in wesentlichen aus einer flexiblen Verbindungsmatrix und aus mehreren Logikblöcken zusammengesetzt. Ein Logikblock besteht aus einer kombinatorischen Logikschaltung, welcher meist, je nach

²Flipflops sind in der Digitaltechnik der Grundbaustein für sequentielle Schaltungen. Sie sind meist taktgesteuert und können 1 Bit über eine lange Zeit speichern.

³Latches sind auch 1-Bit-Datenspeicher. Sie leiten in Abhängigkeit ihres Enable-Eingangs das anliegende Datenbit weiter oder speichern dieses.

Hersteller, zusätzliche Logik wie Flipflops, Addierer oder Multiplexer⁴ nachgeschaltet ist. In der Art der kombinatorischen Schaltung haben sich bei den FPGAs zwei Konzepte durchgesetzt.

Bei SRAM-basierenden FPGAs werden die gewünschten Funktionen in programmierbaren Lookup-Tabellen (LUT) hinterlegt (Abbildung 2.2). LUT besitzen zu jeder binären Eingangskombination einen Ausgangswert. Die Anzahl der Eingänge für eine LUT ist dabei vom FPGA abhängig und liegt meist bei vier bis sechs Eingängen. Für eine größere Anzahl von Eingängen werden mehrere LUTs hintereinander geschaltet.

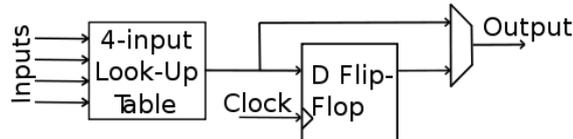


Abbildung 2.2: Logikblock eines FPGAs mit LUT und Flipflop *Quelle:* [27]

Die flexible Verbindungsmatrix ermöglicht das Verschalten aller Logikblöcke im FPGA. An diese Matrix können auch Ein- und Ausgänge des FPGAs angeschlossen werden. In Abbildung 2.3 ist das Prinzip der Verbindungsmatrix dargestellt.

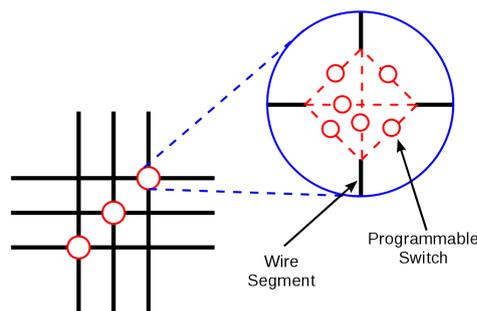


Abbildung 2.3: Prinzip der Verbindungsmatrix im FPGA *Quelle:* [27]

Vorteil dieses Konzepts ist die Wiederbeschreibbarkeit des SRAMs und somit des FPGAs. Da aber das SRAM aus flüchtigen Speichern besteht, verliert der FPGA seine Konfiguration nach Abschalten der Versorgungsspannung und muss bei jedem Start wieder neu konfiguriert werden.

Das zweite Konzept ist die Antifuse-Technologie. Bei den One-Time Programmable (OTP) FPGAs liegt eine dünne Isolierschicht zwischen zwei leitenden Materialien, die durch anlegen einer Konfigurationsspannung in leitendes Material gewandelt wird. Diese, so neu geschaffenen Verbindungen, bleiben auch nach dem Abschalten der Versorgungsspannung erhalten. Somit entfällt die Neukonfigurierung nach dem Starten des FPGAs. Allerdings kann

⁴In Abhängigkeit eines Steuersignals kann einer von mehreren Eingängen auf den Ausgang geschaltet werden.

eine geschaffene Verbindung nicht wieder getrennt werden. Eine neue Konfiguration des FPGAs ist, wie der Name OTP sagt, also ausgeschlossen. Diese Eigenschaft ist ein großer Nachteil für den Einsatz in flexiblen Systemen. Für Entwicklungs- oder Testzwecke eignen sich eher die SRAM-basierenden FPGAs durch ihre Rekonfigurierbarkeit.

Die Beschreibung von FPGAs erfolgt meist mit einer Hardware-Description-Language (HDL), wie der Very-High-Speed-Integrated-Circuit-HDL (VHDL) oder Verilog. Die HDL ermöglicht die Nebenläufigkeit von verschiedenen Funktionen zu repräsentieren. Das bedeutet, dass mehrere Funktionen gleichzeitig auf dem FPGA ausgeführt werden können. Zudem lässt sich auf einem FPGA ein sogenannter MicroBlaze⁵ implementieren. Auf diesem lässt sich Software, wie beispielsweise ein Betriebssystem, Firmware oder Treiber, installieren und ausführen. Genau diese Möglichkeit der parallelen Ausführbarkeit von Funktionen und das Ausführen benutzerdefinierter Software spricht sehr für die digitale Signalverarbeitung in Form eines Software Defined Radio.

2.2 Software Defined Radio (SDR)

Zu Beginn des 21. Jahrhunderts gibt es eine Menge Verfahren zu Datenübertragung mittels Funktechnik. Diese werden stetig weiter entwickelt, damit noch mehr Daten noch schneller übertragen werden können. Um die Funkübertragungssysteme, sei es Empfänger oder Sender, auf den aktuellsten Stand zu halten, müssen diese mit den neuen Verfahren aktualisiert werden. Ein gutes Beispiel bieten die Sende- und Empfangsstationen von Mobilfunknetzen. Für die Bereitstellung des neuen LTE⁶ (Long-Term-Evolution)-Netzes, ein Nachfolger vom UMTS⁷ (Universal Mobile Telecommunications System), müssen die Basisstationen auf den neuen Mobilfunkstandard modernisiert werden.

Besteht das Funksystem aus analoger Hardware, ist die Aktualisierung auf einen neuen Standard, wenn überhaupt, nur durch Änderung der Hardware möglich. Das begrenzt nicht nur die Flexibilität eines Funksystems, sondern verursacht auch hohe Kosten, wenn die Hardware geändert werden muss. Im Gegensatz dazu bieten Funksysteme, die nach dem SDR-Prinzip aufgebaut sind, eine effiziente und vergleichsweise kostengünstige Lösung für dieses Problem. Bei diesem Prinzip ist das Bestreben, ein Funksignal möglichst früh nach der Antenne zu digitalisieren und die anschließende Signalverarbeitung auf digitaler Basis durchzuführen zu können.

Mit SDR wird ein Funksender bzw. Funkempfänger bezeichnet, der flexibel umkonfigurierbar oder umprogrammierbar ist. Somit ist eine schnelle und flexible Anpassung an einen neuen Standard oder an eine geänderte Spezifikation möglich. Um eine größtmögliche Flexibilität

⁵Ist ein 32-Bit RISC Mikrocontroller, der in FPGAs der Firma Xilinx verwendet werden kann.

⁶Mit dem LTE-Netz können Datenübertragungsraten bis zu $100 \frac{MBit}{s}$ erreicht werden.

⁷UMTS ist knapp 14 mal langsamer als der neue LTE-Mobilfunkstandard. Es werden nur Geschwindigkeiten bis $21 \frac{MBit}{s}$ erreicht.

des Funksystems zu erreichen, ist beim SDR das Ziel, möglichst die gesamte Signalverarbeitung auf ein digitales, durch Software anpassbares System zu verlagern.

Das ideale SDR-System würde lediglich aus einer Antenne und einem Analog-Digital-Umsetzer bei einem Empfänger oder einem Digital-Analog-Umsetzer (DAU) beim Sender, bestehen. Die komplette Signalverarbeitung würde so auf einem Computer, Mikroprozessor oder einer digitaler Hardware verlagert werden. Jedoch wird meist beim Empfänger vor dem ADU noch ein analoges Filter, ein Verstärker zur Vollaussteuerung des ADUs und/oder ein analoger Mischer zum Heruntermischen des Signals auf eine niedrigere Zwischenfrequenz geschaltet. Beim Sender folgt dementsprechend dem DAU eine äquivalente analoge Schaltung.

In Abbildung 2.4 ist die allgemeine Struktur eines realen SDR-Empfängers dargestellt, die nachfolgend beschrieben wird.

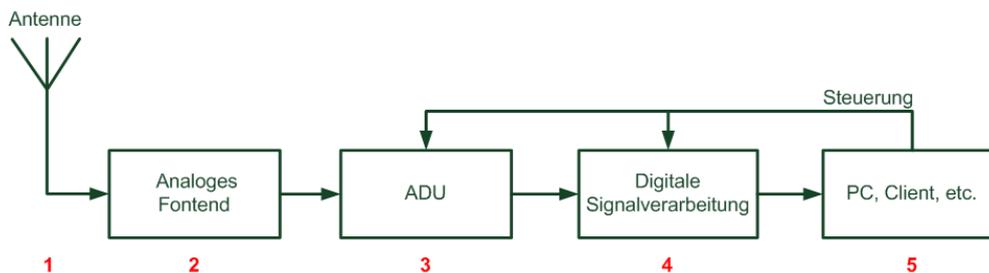


Abbildung 2.4: Allgemeine SDR-Struktur

1. Mit der Antenne werden Funksignale empfangen und in elektrische Signale umgewandelt. Die Qualität des Signals hängt dabei von der Antenne und deren Standort ab.
2. Der als 'Analoges Frontend' bezeichnete Block besteht aus analoger Hardware. Diese hat die Aufgabe, dass von der Antenne empfangende Signal an den ADU anzupassen. Ein Beispiel wäre ein Verstärker, der das schwache Signal verstärkt, um eine möglichst große Aussteuerung beim ADU zu erreichen.
3. Der Analog-Digital-Umsetzer erzeugt aus dem angepassten analogen Signal ein digitales Signal. Eine möglichst hohe Flexibilität wird durch eine große wandelbare Bandbreite des ADUs erlangt. Durch eine dynamische Abtastrate kann zudem die Verarbeitungsgeschwindigkeit des nachfolgenden Systems beeinflusst werden.
4. Die vom ADU umgesetzten digitalen Daten werden von einem digitalen System (zum Beispiel einem FPGA) entgegengenommen und verarbeitet. Ob die Signalverarbeitung in Block 4 oder in Block 5 ausgeführt wird, ist dabei dem Benutzer des SDR-Systems überlassen. Wird die Signalverarbeitung in einem dieser Blöcke (4 oder 5) durchgeführt, können die Daten an einen nachfolgenden Rechner oder ein anderes System weitergegeben werden.

- Zum Konfigurieren des SDR-Systems oder zur Implementierung der Signalverarbeitung auf digitale Hardware kann beispielsweise ein Computer dienen. Dieser nimmt die Daten, egal ob das Signal vom ADU oder schon das verarbeitete Signal ist, entgegen. Es besteht die Möglichkeit, die Daten weiter zu verarbeiten oder diese an Programme zu übergeben.

2.3 Frequenzmodulation

Bei einem frequenzmodulierten Signal liegt die Information in der Abweichung seiner Momentanfrequenz zur Trägerfrequenz. Die durch Rauschen oder Störungen verursachten Amplitudenschwankungen haben somit keinen direkten Einfluss auf die Information im Signal. Die maximale Abweichung von der Frequenz zum Träger wird als Frequenzhub ΔF bezeichnet. Abbildung 2.5 zeigt eine Kosinusschwingung und dessen frequenzmoduliertes Signal.

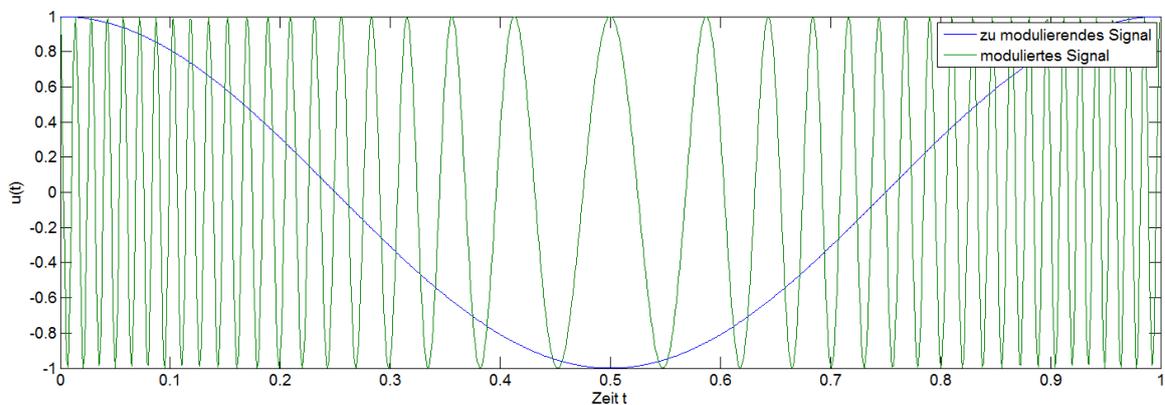


Abbildung 2.5: Frequenzmodulierte Kosinusschwingung

Die frequenzmodulierte Schwingung ist gegeben durch

$$s_{FM}(t) = a \cdot \cos(\omega_T \cdot t + \Delta\omega(t))$$

mit

$$\Delta\omega(t) = k \cdot \int_0^t s(\tau) d\tau.$$

Die Definition von $\Delta\omega(t)$ gilt nur für hinreichend langsame Veränderungen der Momentanfrequenz. Die maximale Amplitude des frequenzmodulierten Signals ist durch a gegeben. ω_T gibt die Trägerfrequenz des FM-Signals an und die Konstante k mit der Einheit $\frac{\text{Hz}}{\text{V}}$ wird

als Modulationskonstante bezeichnet und steuert den Modulationshub, also die im Signal maximale Frequenzänderung. $s(\tau)$ ist das Ursprungssignal, welches zu modulieren gilt. Der Modulationsindex η , der das Verhältnis von Frequenzhub ΔF zur höchsten auftretenden Signalfrequenz f_{NF} ist, wird wie folgt definiert:

$$\eta = \frac{\Delta F}{f_{NF}}$$

Ein wichtiger Aspekt, der bei Frequenzmodulation beachtet werden muss, ist die benötigte Bandbreite. Diese ist abhängig vom Modulationsindex und somit auch vom Frequenzhub. Je größer der Wert vom η bzw. ΔF , desto größer ist die Bandbreite des frequenzmodulierten Signals. Mit Hilfe der *Carson-Formel* lässt sich näherungsweise die Bandbreite des frequenzmodulierten Signals bestimmen.

$$B_{10\%} = 2(\Delta F + f_{NF}) = 2 \cdot f_{NF} \cdot (\eta + 1)$$

Hierbei werden alle Spektrallinien bis auf 10% des FM-Signals erfasst. Das bedeutet, dass Frequenzen außerhalb dieser Bandbreite nicht berücksichtigt werden. Für die Berücksichtigung aller Spektrallinien, bis auf 1%, gilt folgende Formel:

$$B_{1\%} = 2(\Delta F + 2 \cdot f_{NF}) = 2 \cdot f_{NF} \cdot (\eta + 2)$$

2.4 Basisbandsignal eines UKW-Rundfunksenders

UKW⁸-Rundfunksignale werden in Deutschland im VHF-2 Band gesendet. Dieses liegt im Frequenzbereich zwischen 87,5 MHz und 108 MHz. Jedem Sender ist dabei ein Ausschnitt zugeordnet, welcher sich um die Mittenfrequenz⁹ zentriert. Das VHF-2 Band ist in ein Kanalraster von 300 kHz aufgeteilt, aber in der Praxis wird dieser Abstand weit unterschritten. Dort wird meist nur ein Abstand von 100 kHz eingehalten, wie im ersten Teil der Tabelle 2.1 zu sehen ist. Allerdings ist der Abstand bei regionalen Sendern (zweiter Teil der Tabelle 2.1) deutlich größer, um gegenseitiges Stören zu vermeiden.

Die Mittenfrequenz, wie z. B. 103,6 MHz für Radio Hamburg, wird auf dem Empfangsgerät eingestellt, um den jeweiligen Sender zu empfangen. Abbildung 2.6 zeigt das theoretische Frequenzband eines FM-Rundfunksenders. In den Anfängen des UKW-Rundfunks wurde nur Mono-Audio übertragen. Diese liegt im Basisband bis 15 kHz des Senders. Mit Beginn

⁸Elektromagnetische Wellen, die sich im Frequenzbereich zwischen 30 MHz und 300 MHz befinden. Umgangssprachlich wird mit UKW der UKW-Rundfunk im Frequenzbereich von 87,5 MHz und 108 MHz bezeichnet.

⁹Ist die Trägerfrequenz, auf der die Rundfunksender ausgestrahlt werden. Z.B. NDR 2 auf 87,6 MHz.

Frequenz in MHz	Sendername
87,7	NDR Info Flensburg
87,9	NDR Info Heide
88,0	NDR Kultur Lübeck
88,1	Oldie 95 Hamburg-Bergedorf
:	
:	
103,6	Radio Hamburg
104,0	Radio Hamburg Fernsehturm
106,8	Alster Radio Hamburg
107,7	Delta Radio Hamburg-Bergedorf

Tabelle 2.1: Ausschnitt von Radiofrequenzen aus Norddeutschland *Quelle:* [18]

der Übertragung von Stereo-Audio musste eine Lösung gefunden werden, die kompatibel mit Monoempfängern ist, damit diese weiterhin die Signale empfangen und die Mono-Audio wiedergeben können. Es wurde daher ein Summations-Signal (kurz Sum-Signal), eine Addition aus linken und rechten Kanal (L+R), und ein Differenz-Signal (L-R) übertragen. Das Sum-Signal liegt im Basisband des Senders und kann von den Monoempfängern herausgefiltert und wie gewohnt wiedergegeben werden. Stereowiedergabe ist etwas aufwändiger und wird später genauer erläutert. Für die Stereo-Übertragung wird ein möglichst reiner Pilotton benötigt, der die Hälfte der Mittenfrequenz des Differenz-Signals kennzeichnet. Das Differenz-Signal wird auf den Hilfsträger von 38 kHz amplitudenmoduliert. Durch die Amplitudenmodulation entstehen auch die beiden Seitenbänder des Differenz-Signals. Nach dem Differenz-Signal, um die Frequenz 57 kHz, befindet sich der Bereich für Informationssignale, wie das Radio-Data-System (RDS) bzw. Radio-Broadcasting-Data-System (RBDS). Diese können beispielsweise den Namen des Senders, Verkehrsmeldungen oder auch Informationen zum gerade laufenden Lied enthalten. Auf den Unterträgern (Subcarrier), welche auf 67,65 kHz und 92 kHz liegen, können weitere analoge oder digitale Signale übertragen werden. Das Verteilen von mehreren Signalen auf mehrere Träger wird auch Frequenzmultiplexverfahren genannt. So hat das Multiplex-Signal (MPX-Signal) eines UKW-Senders seine Träger bei der Mittenfrequenz für das Sum-Signal, bei 38 kHz für das Differenz-Signal, bei 57 kHz für RDS/RBDS und wenn übertragen wird, bei 67,65 kHz und 92 kHz für weitere Informationen.

Im Abschnitt 'Frequenzmodulation' wurde gezeigt, wie sich die Bandbreite eines frequenzmodulierten Signals berechnen lässt. Mit dem im FM-Rundfunk festgelegten maximalen Frequenzhub von 75 kHz und den Frequenzen aus dem Basisbandkanal (vgl. Abb. 2.6), lässt sich nun der Bandbreitenbedarf für den Sender berechnen. Einfachheitshalber wird angenommen, dass der Rundfunksender nur die Audiodaten, also das Summations-Signal, das Differenz-Signal und den Pilotton überträgt. Damit ist die höchste zu übertragende Frequenz 53 kHz. Werden die Frequenz und der Frequenzhub in die 1%-Carson-Formel eingesetzt, so

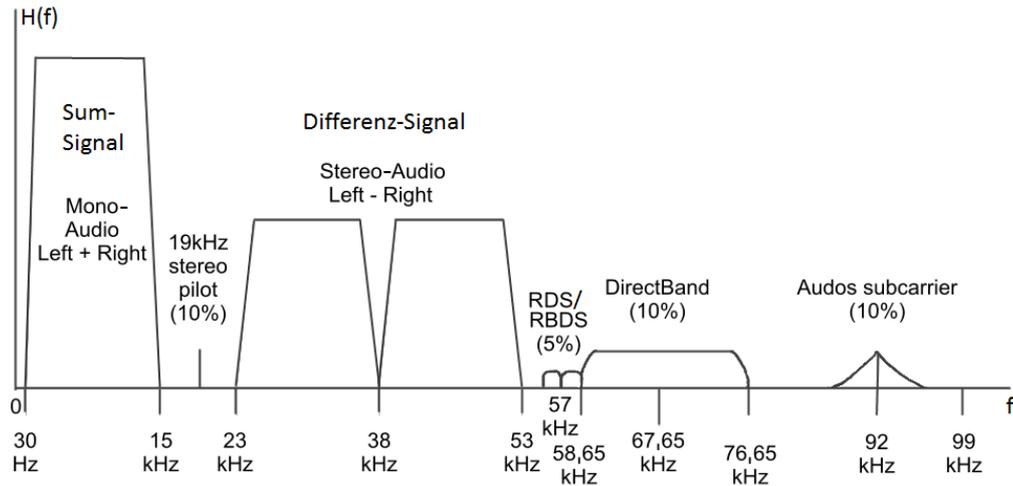


Abbildung 2.6: Basisbandsignal *Quelle: [25]*

ergibt das ein Bandbreite von 362 kHz. Diese ist größer als die Bandbreite im Kanalraster, was bedeutet, dass direkte Nachbarsender gestört werden könnten.

Um die Bandbreite auf das Senderaster zu begrenzen, wird der maximale Frequenzhub für beide Informationssignale (L+R und L-R) auf 45% des Gesamtfrequenzhubs verringert. Der Pilotton bekommt nur 10% des Gesamthubs. Für das Differenz-Signal teilt sich der Hub nochmals auf beide Seitenbänder auf. Mit der Verringerung errechnet sich der Bandbreitenbedarf auf

$$B_{1\%} = 2 \left(\frac{0,45}{2} \cdot 75 \text{ kHz} + 2 \cdot 53 \text{ kHz} \right) = 246 \text{ kHz}$$

Somit bleibt das Kanalraster erhalten und es werden keine Nachbarsender gestört. Selbst wenn noch RDS bei 57 kHz mit 5% des Gesamtfrequenzhubs oder DirectBand bei 67,65 kHz mit 10% des Hubs mitgesendet werden, liegt der Bandbreitenbedarf unter 300 kHz.

2.5 Abtastung

Um analoge Signale in digitalen Systemen verarbeiten zu können, müssen diese mittels eines ADUs digitalisiert werden. Abbildung 2.7 zeigt das allgemeine Prinzip, welches zur Digitalisierung angewendet wird.



Abbildung 2.7: Analog zu Digital Prinzip

Der ADU tastet dabei im definierten zeitlichen Abstand, welcher durch die Abtastfrequenz f_s gegeben ist, das Signal ab und weist diesen einen digitalen Zahlenwert zu. Die Zuweisung eines Zahlenwertes nennt sich Quantisierung. Die Genauigkeit, mit der die analogen Signale in digitale umgesetzt werden, ist von der Anzahl der Quantisierungsstufen abhängig, welche wiederum von der Anzahl der Bits abhängen. Um so genauer die Quantisierung und damit die Auflösung des Signals sein soll, desto mehr Bits werden benötigt. Ein ADU mit einer Auflösung von n-Bit hat dementsprechend 2^n Quantisierungsstufen, wenn diese binär kodiert werden, was bei den meisten Umsetzern der Fall ist. Ein Beispiel zur Digitalisierung eines analogen Signals ist in Abbildung 2.8 dargestellt. Dort wird eine Sinusschwingung mit einer Auflösung von 4 Bit quantisiert.

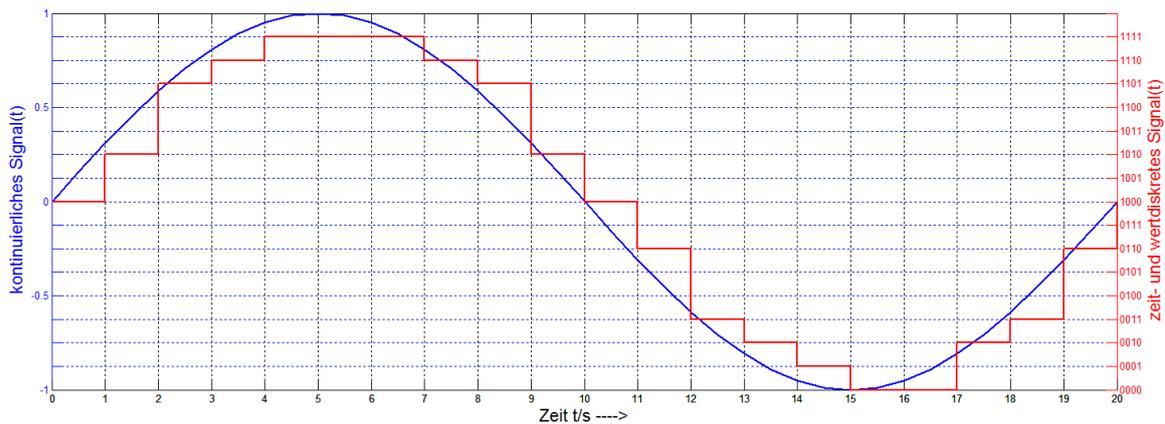


Abbildung 2.8: Abtastung einer Sinusschwingung

Durch die Signaltheorie lässt sich nachweisen, dass sich das Eingangsspektrum nach dem Abtasten periodisch mit der Abtastfrequenz f_s wiederholt. Das Abtasttheorem von Nyquist-Shannon besagt, dass die Abtastfrequenz mindestens doppelt so groß wie die höchste auftretende Frequenz des Signals sein muss, damit das zeit- und wertdiskrete Signal das Ursprungssignal eindeutig widerspiegelt. Eine korrekte Abtastung nach Nyquist-Shannon ist in Abbildung 2.9 dargestellt. Die Abtastfrequenz f_s ist größer als die doppelte Frequenz f_0 gewählt worden.

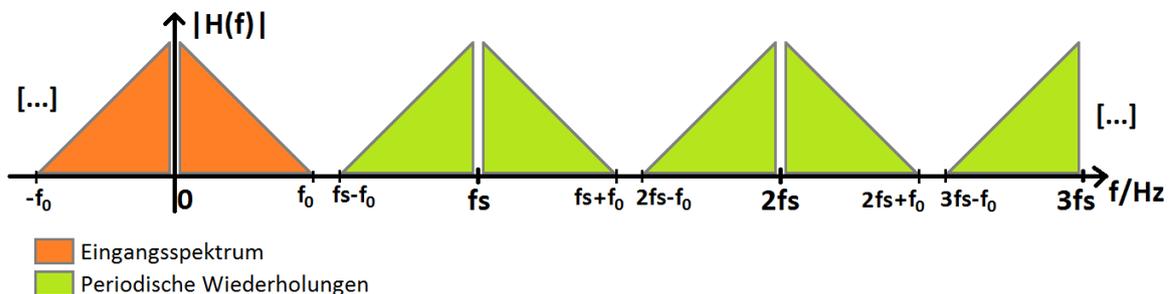


Abbildung 2.9: Abtastung im Spektrum ohne Alias-Effekt

Wird das Abtasttheorem verletzt, also die Mindestabtastfrequenz unterschritten, überlappen sich die periodisch wiederholten Spektren. Dieser Effekt wird Alias-Effekt oder auch Aliasing genannt. Abbildung 2.10 zeigt die Verletzung des Abtasttheorems.

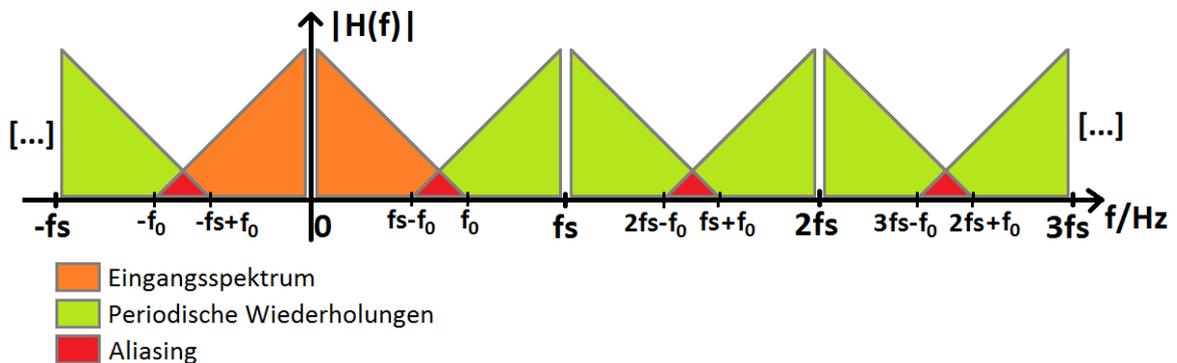


Abbildung 2.10: Abtastung im Spektrum mit Alias-Effekt

Tabelle 2.2 zeigt tabellarisch, an welchen Frequenzen sich das Eingangsspektrum und die periodischen Spektren nach der Abtastung befinden.

Negative Spektren	Positive Spektren
$-f_0$	f_0
$-f_A \pm f_0$	$f_A \pm f_0$
$-2f_A \pm f_0$	$2f_A \pm f_0$
$-3f_A \pm f_0$	$3f_A \pm f_0$
$-4f_A \pm f_0$	$4f_A \pm f_0$
\vdots	\vdots

Tabelle 2.2: Periodische Fortsetzung der Spektren nach der Abtastung

Bei realen elektrischen Signalen muss vor der Abtastung ein analoges Tiefpassfilter, ein sogenanntes Antialias-Filter vorgeschaltet werden, um Fremdsignale auf höhere Frequenzen oder auch Rauschsignale zu unterdrücken. Das Filter sollte den Frequenzbereich größer $\frac{f_s}{2}$ ausreichend dämpfen, um Aliasing zu vermeiden.

2.6 Bandpassunterabtastung

Der vorige Abschnitt 2.5 hat gezeigt, dass ein Signal mit der Frequenz f_0 mit mindestens der doppelten Abtastfrequenz $f_s \geq 2 \cdot f_0$ abgetastet werden muss um Aliasing zu vermeiden. Für niedrige Frequenzen ist das meist kein Problem, jedoch bei höheren Frequenzen. Eine höhere Abtastrate bedeutet auch, dass die nachfolgende Signalverarbeitung schneller sein muss.

Das VHF-2 Band, in dem die UKW-Radiosender senden, hat seinen Frequenzbereich von 87,5 MHz bis 108 MHz. Nach dem Abtasttheorem müssten die Signal mit mindestens 216 MHz abgetastet werden, um Aliasing zu vermeiden. Abbildung 2.11 zeigt dies. Bei einem ADU mit einer Auflösung von 16 Bit und der eben genannten Abtastrate würde der ADU ein Datenstrom von 432 MB/s liefern. Abgesehen davon, dass schnellere ADUs teurer sind, muss auch das nachfolgende System die Datenmengen verarbeiten, was bedeutet, dass dieses leistungsstärker sein muss und somit wiederum mit höheren Kosten verbunden ist.

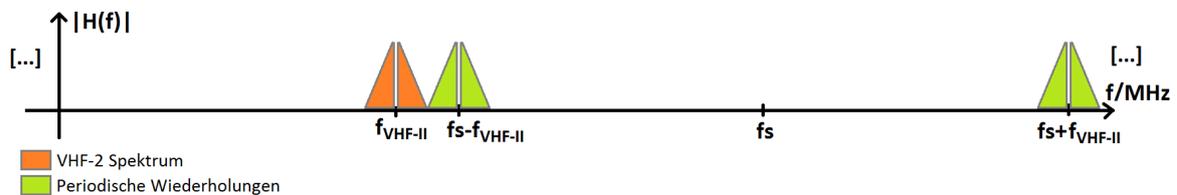


Abbildung 2.11: Abtastung des VHF-2 Bandes nach Nyquist-Shannon

In Tabelle 2.2 wurde dargestellt, bei welchen Frequenzen die periodisch wiederholten Spektren nach der Abtastung liegen. Diese periodische Fortsetzung lässt sich ausnutzen, um ein Bandpasssignal in einen niedrigeren Frequenzbereich zu verschieben. Zuvor muss dieses mittels eines Bandpassfilters selektiert werden, damit das Bandpasssignal sich nicht mit eventuellen Fremdsignalen überlagert, die sich im Frequenzbereich befinden, in den das Bandpasssignal hin verschoben werden soll. Wird die Abtastfrequenz, mit der das Bandpasssignal abgetastet wird, verringert, überlappt sich das Ursprungsspektrum mit dem periodisch wiederholten Spektrum und es entsteht Aliasing. Verringert sich jedoch die Abtastfrequenz so weit, bis sich das periodisch wiederholte Spektrum komplett durch das Ursprungsspektrum geschoben hat und sich schließlich vor diesem befindet, so bleibt der Alias-Effekt aus und es wird von Bandpassunterabtastung gesprochen.

In Abbildung 2.12 ist die Unterabtastung eines Bandpasssignals zu sehen. Das periodisch wiederholte Spektrum wurde vor das Ursprungsspektrum geschoben.

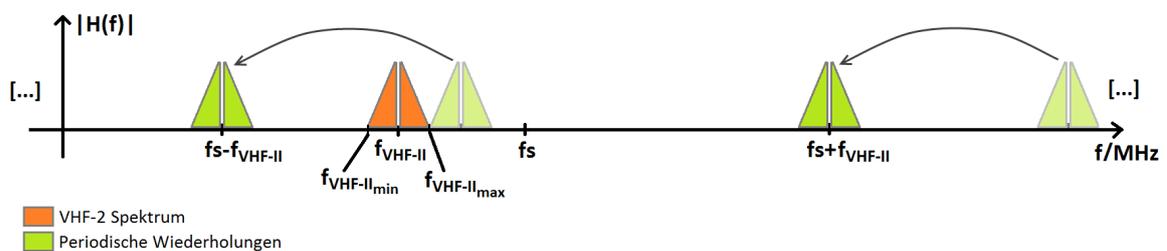


Abbildung 2.12: Bandpassunterabtastung

Zur Berechnung möglicher Abtastfrequenzen für die Unterabtastung muss als erstes ermittelt werden, wie oft das Bandpasssignal zwischen 0 Hz und f_{min} passt. Das kann mit

$$m_{max} = trunc\left(\frac{f_{min}}{f_{max} - f_{min}}\right) = trunc\left(\frac{f_{min}}{B}\right)$$

berechnet werden.¹⁰

Mögliche Abtastfrequenzen lassen sich nun mit

$$f_{smin} = \frac{2 \cdot f_{max}}{m + 1} \quad \text{und} \quad f_{smax} = \frac{2 \cdot f_{min}}{m}$$

ermitteln, wobei $m \leq m_{max}$ zu wählen gilt. Wird m gerade gewählt, befindet sich das Signal nach der Abtastung in Regellage. Das bedeutet, dass die niedrigste Frequenz im Bandpasssignal auch die niedrigste Frequenz im abgetasteten Signal ergibt. Bei einem ungeraden m ist das abgetastete Signal in Kehrlage, also die niedrigste Frequenz wird zur höchsten Frequenz.

Die Grenzen des neuen Frequenzbereichs und dessen periodische Wiederholungen sind der Tabelle 2.3 zu entnehmen.

f_{min} Grenzen	f_{max} Grenzen
$\pm f_A \pm f_{min}$	$\pm f_A \pm f_{max}$
$\pm 2f_A \pm f_{min}$	$\pm 2f_A \pm f_{max}$
$\pm 3f_A \pm f_{min}$	$\pm 3f_A \pm f_{max}$
\vdots	\vdots

Tabelle 2.3: Grenzen der neuen Frequenzbänder nach der Bandpassunterabtastung

Um das Prinzip der Unterabtastung zu verdeutlichen, wird diese am Beispiel des VHF-2 Bandes gezeigt. Vor der Abtastung muss ein analoges Bandpassfilter den Frequenzbereich des VHF-2 Bandes von $f_{min} = 87,5 \text{ MHz}$ bis $f_{max} = 108 \text{ MHz}$ selektieren, um bei der Abtastung Aliasing zu vermeiden. Das VHF-2 Band hat eine Bandbreite von $B = f_{max} - f_{min} = 20,5 \text{ MHz}$ und passt $m = trunc\left(\frac{f_{min}}{B}\right) = 4$ mal zwischen 0 Hz und f_{min} . Tabelle 2.4 listet die möglichen Abtastfrequenzen, die sich zur Unterabtastung des VHF-2 Bandes eignen.

Der für diese Thesis verwendete ADU hat eine Abtastfrequenz von $f_A = 80 \text{ MHz}$, welche eine mögliche Abtastfrequenz ($m=2$) ist. Zunächst wird der neue Frequenzbereich für das

¹⁰Die *trunc*-Funktion schneidet den Nachkommateil ab, sodass eine Ganzzahl entsteht.

m	f_{smin}	f_{smax}
0	216 MHz	∞
1	108 MHz	175 MHz
2	72 MHz	87,5 MHz
3	54 MHz	58,33 MHz
4	43,2 MHz	43,75 MHz

Tabelle 2.4: Mögliche Frequenzen zur Unterabtastung des VHF-2 Bandes

positive Spektrum ermittelt. Zur Übersichtlichkeit wird nur mit der Abtastfrequenz f_A und nicht mit den periodischen Fortsetzungen gerechnet.

$$80 \text{ MHz} + 87,5 \text{ MHz} = 167,5 \text{ MHz}$$

$$80 \text{ MHz} - 87,5 \text{ MHz} = -7,5 \text{ MHz}$$

$$80 \text{ MHz} + 108 \text{ MHz} = 188 \text{ MHz}$$

$$80 \text{ MHz} - 108 \text{ MHz} = -28 \text{ MHz}$$

Als nächstes wird die Verschiebung des negativen Spektrums und dessen neuen Grenzen berechnet.

$$-80 \text{ MHz} + 87,5 \text{ MHz} = 7,5 \text{ MHz}$$

$$-80 \text{ MHz} - 87,5 \text{ MHz} = -167,5 \text{ MHz}$$

$$-80 \text{ MHz} + 108 \text{ MHz} = 28 \text{ MHz}$$

$$-80 \text{ MHz} - 108 \text{ MHz} = -188 \text{ MHz}$$

Abbildung 2.13 verdeutlicht diese Verschiebung. Zu erkennen ist, dass sich das positive Spektrum in den negativen Frequenzbereich schiebt und das negative Spektrum in den positiven.

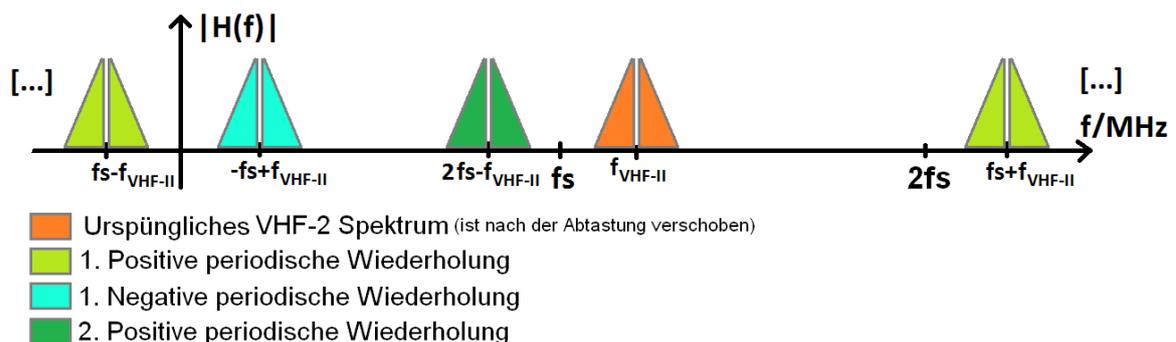


Abbildung 2.13: Unterabtastung des VHF-2 Bandes mit 80 MHz

Damit befindet sich das VHF-2 Band in den für uns interessanten Frequenzbereich zwischen 7,5 MHz und 28 MHz und zudem noch in Regellage.

2.7 Digital Down Conversion

Ein Digital Down Converter (DDC) (Abbildung 2.14) hat die Aufgabe, ein hochfrequentes digitales Signal im Frequenzbereich, meist ins Basisband (Mittelfrequenz 0 Hz), zu verschieben. Zusätzlich wird eine Reduzierung der Datenrate erreicht, damit die nachfolgende Signalverarbeitung nicht mit einer unnötig hohen Datenrate und somit dem verbundenen höheren Aufwand erfolgen muss. Durch das Herabmischen des Signals werden gleichzeitig die zueinander orthogonalen, um 90° verschobenen, Signalkomponenten I und Q erzeugt. Diese werden auch Quadratursignale genannt, wobei I die InPhase-Komponente und Q die Quadratur-Komponente ist.

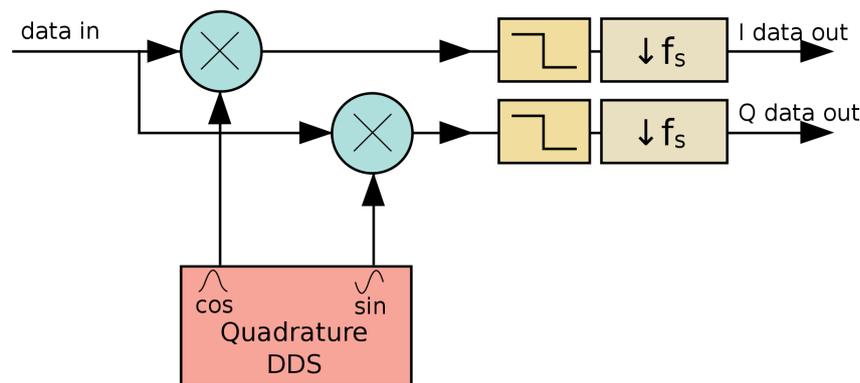


Abbildung 2.14: Struktur eines DDC *Quelle:* [24]

Für das Verschieben der Frequenzlage und die Erzeugung der Quadratur-signale werden zwei Hilfssignale benötigt. Ein Sinus- und ein Kosinussignal. Diese Signale werden mit einem Direct Digital Synthesizer (DDS) erzeugt. Wird das Eingangssignal mit den Hilfssignalen multipliziert, verschiebt sich dieses um die Frequenz der Hilfssignale. Durch Multiplikation mit dem Sinussignal erhalten wir die InPhase-Komponente (I) und das Kosinussignal erzeugt die Quadratur-Komponente (Q).

$$\cos(x) * \cos(y) = \frac{1}{2} [\cos(x - y) + \cos(x + y)] \quad (I)$$

$$\sin(x) * \cos(y) = \frac{1}{2} [\sin(x - y) + \sin(x + y)] \quad (Q)$$

Dieser Prozess wird auch als Mischen bezeichnet. Nachdem das Signal verschoben wurde, müssen die hochfrequenten Signalanteile mittels eines Tiefpassfilters entfernt werden. Anschließend wird die Abtast-rate auf ein Minimum reduziert, da diese meist größer als nötig ist.

Ein Beispiel soll das Prinzip des Mischens verdeutlichen. Als Eingangssignal wird das unterabgetastete VHF-2 Band aus Abschnitt 2.6 gewählt, dessen Spektrum sich im Frequenzbereich von 7,5 MHz bis 28 MHz befindet. Als Beispielsender soll 'Radio Hamburg' auf 103,6 MHz (vgl. Tabelle 2.1) dienen. Durch die Unterabtastung hat sich die Frequenz des Senders auf $f_{RHH_{neu}} = -f_A + f_{RHH} = -80 \text{ MHz} + 103,6 \text{ MHz} = 23,6 \text{ MHz}$ (vgl. Tabelle 2.3) verschoben. Um den Sender in Nulllage zu verschieben, muss der DDS die beiden Hilfssignale mit einer Frequenz von 23,6 MHz erzeugen.

Die Frequenz des DDS¹¹ lässt sich wie folgt berechnen:

$$f_{out} = \frac{\Delta\Theta \cdot f_{clk}}{B_{\Theta(n)}}$$

mit $\Delta\Theta$ = Phasenschrittweite und $B_{\Theta(n)}$ = Bitbreite der Phase.

Die Bitbreite der Phase und die Taktfrequenz f_{clk} werden fest eingestellt und sind somit als konstant angenommen. Damit ist die Phasenschrittweite die einzige Variable. Wird diese verändert, ändert sich auch die Frequenz der Ausgangssignale.

Die Schrittweite der Phase wird für eine bestimmte Ausgangsfrequenz mit

$$\Delta\Theta = \frac{f_{out} \cdot B_{\Theta(n)}}{f_{clk}}$$

berechnet.

Für dieses Beispiel muss also die Phasenschrittweite auf $\Delta\Theta = \frac{23,6 \text{ MHz} \cdot 2^{32}}{80 \text{ MHz}}$ eingestellt werden, damit der DDS die Hilfssignale mit einer Frequenz von 23,6 MHz erzeugt. Nach dem Mischen befindet sich der Sender 'Radio Hamburg' in der Nulllage, wie es in Abbildung 2.15 gezeigt wird.

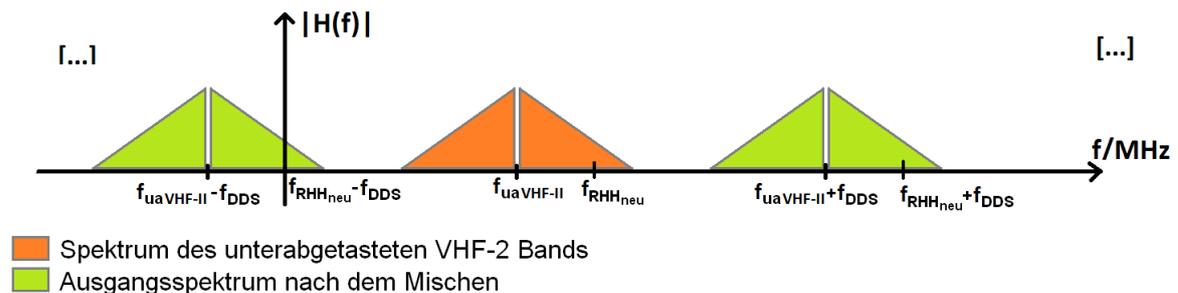


Abbildung 2.15: Ausgangsspektrum nach dem Mischen

Anschließend wird das Signal an die Filter-Kaskade weiter gegeben, welche die Abtastrate reduziert und den Sender heraus filtert.

¹¹Die Berechnung bezieht sich auf den Xilinx DDS Compiler v4.0[36].

3 Analyse und Konzept

In diesem Kapitel sollen Überlegungen angestellt werden, die zur Entwicklung des zu realisierenden Rundfunkempfängers erforderlich sind. Lösungsmöglichkeiten sollen gezeigt und analysiert werden. Zudem soll der Leser sich mit dem Entwurfskonzept dieser Thesis vertraut machen. Ein Überblick über das zu entwerfende System und dessen Struktur soll den Entwurfsablauf dieser Thesis zeigen. Eine genaue Spezifikation gibt die Entwurfsvorgaben des zu realisierenden Systems an. Zunächst soll jedoch das bestehende System für den Einsatz in dieser Thesis untersucht werden.

3.1 Bestehendes System

In der Masterarbeit [23] eines früheren Studenten der HAW Hamburg wurde ein IP-Core, der DDC-Core, und ein zugehöriges Testsystem entwickelt. Dieses soll als Grundlage für diese Thesis dienen. Im Folgenden wird der bestehende DDC-Core untersucht und für den Einsatz in dieser Thesis bewertet.

3.1.1 Aufbau und Funktion

Mit dem für Embedded Systeme entwickelten DDC-Core ist es möglich, ein hochfrequentes digitales Eingangssignal auf eine niedrigere Frequenz herunter zu mischen und gleichzeitig in seine orthogonalen Signalkomponenten I und Q zu zerlegen. In Abbildung 3.1 wird der Aufbau des DDC-Cores gezeigt.

Ein ADU, der LTC2206 ADC (16 Bit, 80 MHz) [16] von Linear Technology, wandelt das analoge Eingangssignal in einen digitalen 16-Bit breiten Datenstrom um und stellt diesen dem DDC-Core bereit. Durch die große wandelbare Bandbreite des ADUs ist es möglich, Signale mit einer Frequenz bis zu 700 MHz durch Unterabtastung zu digitalisieren.

Für die Erzeugung der orthogonalen Signalkomponenten und die Herabmischung des Eingangssignals, wird dieses mit den vom DDS erzeugten Sinus- und Kosinussignalen multipliziert. Es folgt je Signalpfad eine Tiefpass-Kaskade, die nicht nur die hochfrequenten Signalanteile entfernt, sondern auch eine Reduzierung der Abtastrate vornimmt. Als erstes Filter in der Kaskade ist ein CIC-Filter, welches die Abtastrate um Faktor 32 reduziert. Das besondere an CIC-Filtern ist, dass diese lediglich aus Addierern und einfachen Speichern

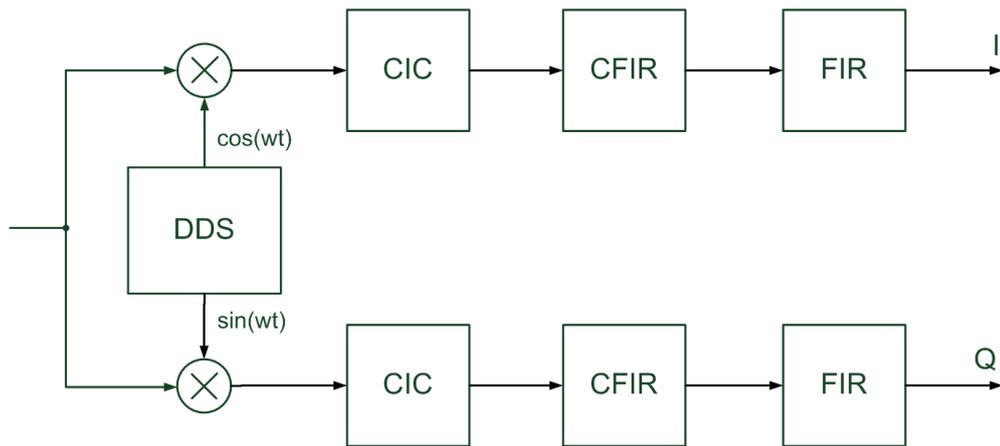


Abbildung 3.1: Aufbau des DDC-Cores

bestehen. Somit entfallen rechenintensive Multiplikationen. Allerdings ist dadurch die Anpassung der Filtereigenschaften sehr eingeschränkt. Zum einem wird durch den $\frac{\sin x}{x}$ -förmigen Amplitudengang das Signal im Durchlassbereich gedämpft und zum anderen ist durch die gegebene Steilheit der Filterflanke keine exakte Kanalselektion möglich. Für das Problem der Dämpfung folgt dem CIC-Filter ein sogenanntes Kompensations-Filter (CFIR). Dieses hat einen Amplitudengang $\frac{x}{\sin x}$, welcher den des CIC-Filter entgegengesetzt ist. Somit wird die Dämpfung innerhalb des Durchlassbereiches kompensiert. Eine weitere Reduzierung der Abtastrate wird durch einen Teilungsfaktor von zwei im CFIR-Filter erreicht. Das letzte Filter in der Kaskade ist ein Tiefpass-FIR-Filter. Dieses hat eine Grenzfrequenz von 200 kHz und dient zur späteren Kanalselektion. Vorteil der Filter-Kaskade ist, dass durch die verringerte Abtastrate die Länge des FIR-Filters stark reduziert wird. In Abbildung 3.2 sind die Amplitudengänge der einzelnen Filter und der Amplitudengang der Filter-Kaskade dargestellt.

Durch die Reduzierung der Abtastrate um Faktor 64, liefert der DDC-Core am Ausgang einen Datenstrom mit einer Übertragungsrate von $f_{\text{Sdezimiert}} \cdot 2 \text{ Samples} \cdot 16 \text{ Bit} = \frac{80 \text{ MHz}}{64} \cdot 32 \text{ Bit} = 5 \frac{\text{MB}}{\text{s}}$. Um die Daten nicht über den Processor Local Bus (PLB) zum RAM zu transportieren, wurde ein Native-Port-Interface (NPI) eingebunden, welches den direkten Zugriff auf den DDR2-SDRAM Speicher erlaubt. Die Daten werden somit über ein FIFO-Register und dem NPI direkt im RAM abgelegt.

Weil das NPI keine Nutzung des kompletten Speichers unterstützt, muss ein Speicherbereich selektiert werden. Die Festlegung in welchem Bereich die Daten im Speicher abgelegt werden, erfolgt, ebenso wie das Einstellen der Mischerfrequenz oder das Starten und Stoppen des DDC-Cores, mit einem am PLB angebundenen Prozessor. Eine 32-Bit Speicheradresse definiert die Startadresse des zu nutzenden Speicherbereichs. Die Größe des verwendeten Bereichs wurde auf 20 MB festgelegt, welches sich auf vier Segmente mit je 5 MB aufteilt. Die Segmentgröße entspricht bei einer Abtastrate von 80 MHz und der Reduzierung von 64 exakt einer Sekunde. Der Speicher fungiert dabei als Ringspeicher. Das heißt, es werden die

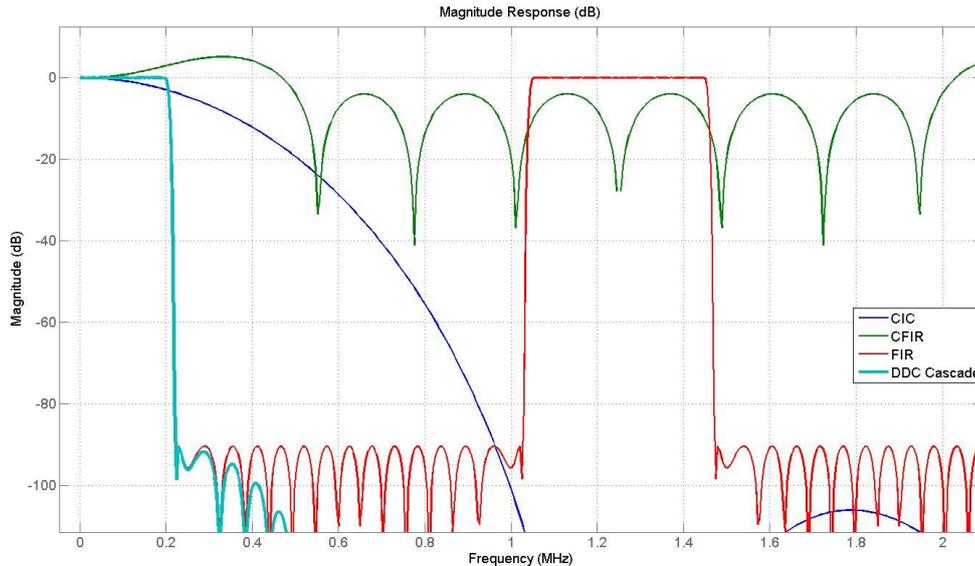


Abbildung 3.2: Übersicht der Amplitudengänge der Filter-Kaskade *Quelle:* [23]

Segmente nacheinander beschrieben. Ist das letzte Speichersegment beschrieben worden, fängt der Core wieder mit der Beschreibung des ersten Segmentes an.

Ist ein Segment vollgeschrieben, soll dieses von einer Software, die beispielsweise auf einem PC läuft, ausgelesen werden. Zur Verfolgung des beschriebenen Speichers dient eine Interruptleitung, die sobald 32 kB an Daten in den Speicher geschrieben worden sind, einen Interrupt auslöst. Die Firmware des DDC-Cores zählt die Interrupts mit und kann so errechnen, welches Speichersegment als nächstes von der Software ausgelesen werden muss.

Um mit einer Software auf den Speicher zugreifen zu können, wurde durch [23] eine USB-Übertragung auf Basis eines USB-Massenspeichers eingerichtet. Wird das FPGA-Board mit einem PC verbunden, erscheint dieses als USB-Massenspeicher. Die FAT¹²-Datei, die im Massenspeicher erscheint, dient als Shared Memory¹³ zwischen dem DDC-Core und dem PC. Dieses Shared Memory beinhaltet die vier 5 MB großen Speichersegmente und einen 512 Byte großen Control-Block. Dieser befindet sich am Anfang der Shared Memory Datei und wird zum Austausch von Statusinformationen und Kontrollanweisungen benutzt. Somit ist es möglich, mittels einer PC-Software den Core zu starten bzw. zu stoppen oder auch die Frequenz des Mischers einzustellen. Zudem befindet sich ein Segmentzähler im Control-Block, welcher der Software Information über das als nächstes auszulesenden Speichersegment liefert.

Zum Testen des Systems wird mit einem Signalgenerator ein reiner oder ein modulierter Sinus auf das System gegeben (Abbildung 3.3). Über ein C++-Programm wird der Core über

¹²Ist ein Dateisystem und wird für die Verwaltung von Unterverzeichnissen eingesetzt.

¹³Mehrere Prozesse nutzen ein Teil des Speichers gemeinsam. Sie ermöglichen so eine Kommunikation zwischen den verschiedenen Prozessen.

den Control-Block gestartet. Anschließend liest das Programm in bestimmten zeitlichen Abständen (polling) den Segmentzähler aus, um festzustellen, welches Segment als nächstes gelesen werden muss. Die ausgelesenen Daten werden vorerst in einer temporären Datei gespeichert, um danach in MATLAB¹⁴ wieder eingelesen zu werden. In MATLAB ist eine Weiterverarbeitung, sowie die grafische Darstellung der Daten, möglich.

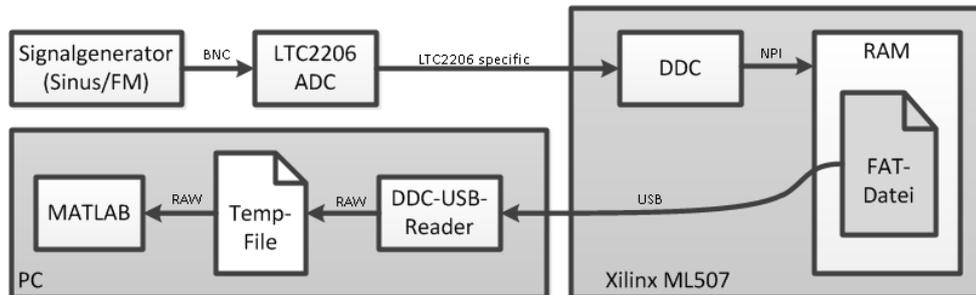


Abbildung 3.3: Übersicht des bestehenden Testsystems *Quelle: [23]*

Für den weiteren Verlauf dieser Thesis wird der DDC-Core als gegeben angenommen. Die Masterarbeit von [23] wird als Datenblatt für diesen Core genutzt.

3.1.2 Bewertung des bestehenden Systems

Eine Bewertung des Systems soll Aufschluss geben, ob und unter welcher Berücksichtigung dieses System sich für den Einsatz in dieser Thesis eignet.

- Die in dieser Thesis benötigte Signalverarbeitung wird komplett auf dem FPGA umgesetzt. Die vom DDC-Core kommenden Daten werden somit an den nachfolgenden Signalverarbeitungsblock übergeben. Eine Speicherung der Daten ins RAM ist damit nicht notwendig.
- Weil die Daten nicht mehr ins RAM gespeichert werden müssen, entfallen auch die darauf aufbauenden Komponenten. Die USB-Massenspeicherlösung und der MPMC Speicher-Controller für das NPI werden somit nicht mehr benötigt.
- Die Grenzfrequenz der Filter-Kaskade ist fest auf 200 kHz dimensioniert und muss den gegebenen Spezifikation der Thesis angepasst werden.
- Um den Aufwand der nach dem DDC-Core folgenden Signalverarbeitung so gering wie möglich zu halten, muss die Reduzierung der Abtastrate an das zu verarbeitende Signal abgestimmt werden.

¹⁴Ist ein Programm zur numerischen Berechnung mathematischer Probleme und für die Visualisierung der Ergebnisse oder anderen Daten.

- Durch die fest implementierte Schnittstelle des ADUs, ist der DDC-Core nur mit dem LTC2206 ADC oder einem kompatiblen ADU nutzbar.
- Der Takteingang (Encode Input) des ADUs wird von einem Signalgenerator mit einem Takt versorgt. Die Wahl der Takterzeugung erfolgte, weil der Jitter¹⁵ eines auf dem Entwicklungsboard erzeugten Taktes größer als der des Signalgenerators ist. Durch Vergrößerung des Jitters verschlechtert sich der Signal-Rausch-Abstand (SNR). Es ist zu prüfen, ob die Verwendung des auf dem Board erzeugten Taktes eine Auswirkung auf die Signalqualität der Radiosignale hat. Ein Boardtakt hat den Vorteil, dass das System unabhängig von einem Signalgenerator wäre.

3.2 FM-Demodulation

Im Kapitel 2 wurde in Abschnitt 2.5 gezeigt, wie sich ein frequenzmoduliertes Signal zusammensetzt. Nun soll in diesem Abschnitt untersucht werden, welche Möglichkeiten es gibt, ein FM-Signal zu demodulieren. Es werden hier vier verschiedene Demodulationsarten vorgestellt.

1. FM-AM-Umsetzung:

Ein klassisches Verfahren für die Demodulation von FM-Signalen ist die FM-AM-Umsetzung mit anschließender Hüllkurven-Demodulation (Abbildung 3.4).



Abbildung 3.4: FM-Demodulation mittels FM-AM-Umsetzung

Das Prinzip der Umsetzung beruht darauf, dass ein höher frequentes Sinussignal eine steilere Flanke im Nulldurchgang hat. Durch die zeitliche Ableitung des frequenzmodulierten Signals wird dieses in ein amplitudenmoduliertes Signal überführt. Eine anschließende Hüllkurven-Demodulation mittels eines Hüllkurvendemodulators erzeugt das Ursprungssignal.

In Abbildung 3.5 ist zu erkennen, dass sich die Steilheit der Flanke auch mit der Amplitude ändert. Eine solche durch Störungen verursachte Amplitudenschwankung muss vor der FM-AM-Umsetzung entfernt werden, da sonst Störungen im demodulierten Signal auftreten würden.

¹⁵Leichtes zeitliches Zittern des Taktsignals.

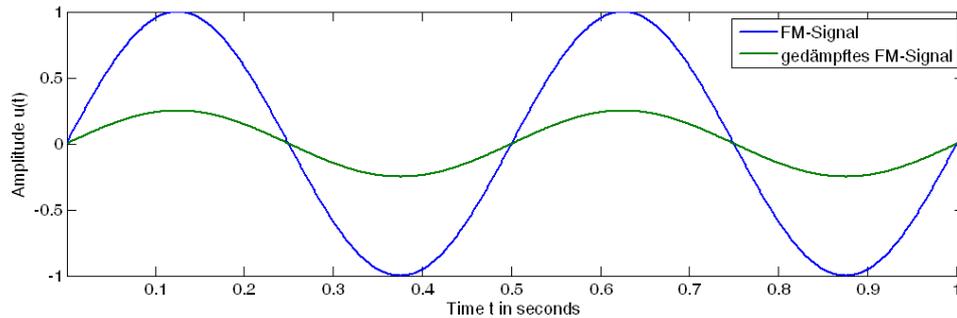


Abbildung 3.5: Amplitudendämpfung des FM-Signals

2. Frequenzzähl-Demodulation:

Eine weitere Möglichkeit ein frequenzmoduliertes Signal zu demodulieren, ist das Zählen von Nulldurchgängen. Diese Methode eignet sich besonders bei digitalen Signalen, denn dort können die Abtastwerte zwischen zwei Nulldurchgängen gezählt werden. Die Anzahl an Abtastwerten bestimmen die Länge einer halben Periode des FM-Signals. Erhöht sich die Frequenz, sinkt die Anzahl an Abtastwerten zwischen zwei Nulldurchgängen. Sinkt die Frequenz, so erhöht sich die Anzahl. In der Anzahl der Abtastwerte liegt also die Information des Ursprungssignals. Um daraus das Ausgangssignal zu gewinnen, wird eine Referenzanzahl benötigt. Diese wird durch die Zwischenfrequenz des FM-Signals und der daraus resultierenden Anzahl an Abtastwerten zwischen zwei Nulldurchgängen definiert. Durch Subtraktion der Referenzanzahl von den gezählten Abtastanzahlen wird das demodulierte Signal erhalten. In Abbildung 3.6 ist der Aufbau eines Frequenzzählmodulators gezeigt.

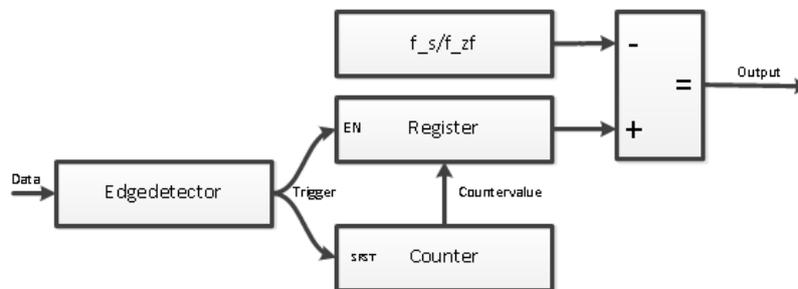


Abbildung 3.6: Aufbau eines Frequenzzähl-Demodulators für digitale Signale *Quelle:* [22]

3. PLL-Demodulator:

Ein PLL-(Phase-Locked-Loop-)Demodulator, auch als Phasenregelschleife bezeichnet, ist eine weitere Alternative zur FM-Demodulation. Dieser besteht aus einem Phasendiskriminator, einem Schleifenfilter als Tiefpass und einem spannungsgesteuerten Oszillator (VCO) (Abbildung 3.7).

Der Ansatz dabei ist, dass der Regelkreis möglichst genau die Frequenz des modulier-

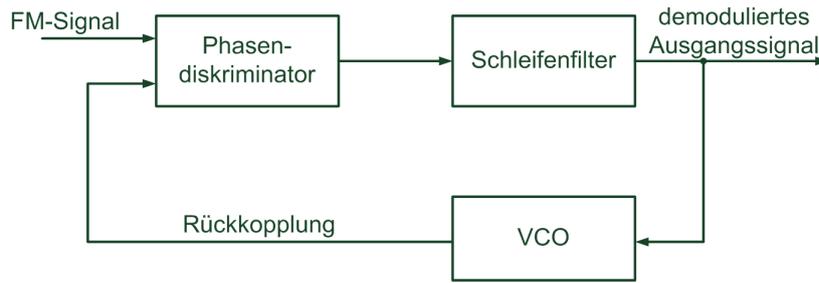


Abbildung 3.7: Aufbau eines PLL-Demodulators

ten Signals nachbilden soll. Hierzu wird der VCO auf die Trägerfrequenz des frequenzmodulierten Eingangssignals eingestellt. Bei einem unmodulierten FM-Signal entsteht nach der Phasendiskriminierung¹⁶ und der Tiefpassfilterung¹⁷ das Signal 'Null'. Der VCO wird nicht angeregt und schwingt auf der Trägerfrequenz des FM-Signals. Wird das Eingangssignal moduliert, entsteht eine Frequenzabweichung zwischen dem Eingangssignal und dem VCO-Signal. Dieses wird mittels des Phasendiskriminators detektiert und an den VCO weitergegeben. Dieser passt sich nun der neuen Frequenz des Eingangssignals an. Die Abweichung der Momentanfrequenz zur eingestellten Trägerfrequenz des VCOs stellt so das demodulierte Signal dar. Einfacher ausgedrückt, erhöht sich die Frequenz des Eingangssignals, wird eine positive Abweichung festgestellt und das Ausgangssignal wird dementsprechend auch positiv. Bei einer negativen Frequenzabweichung wird das Ausgangssignal folglich negativ.

4. Basisband-Verzögerungsdemodulator:

Wie der Name schon sagt, wird für die Demodulation das FM-Signal im Basisband, Trägerfrequenz bei 0 Hz, benötigt. Der Gedanke bei dem Demodulator ist, durch komplexe Multiplikation das Ursprungssignal wiederzugewinnen (Abbildung 3.8).

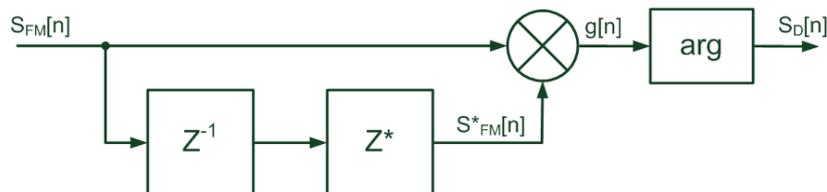


Abbildung 3.8: Aufbau eines komplexen Verzögerungsdemodulators

Das komplexe frequenzmodulierte Eingangssignal wird um einen Takt verzögert und komplex konjugiert. Anschließend wird dieses mit dem ursprünglichen Eingangssignal multipliziert. Das Ausgangssignal folgt aus dem Argument des komplexen Signals. Folgendes Beispiel soll die komplexe Multiplikation verdeutlichen.

¹⁶Wird üblicherweise mittels eines Multiplizierers realisiert.

¹⁷Bei der Multiplizierung entstehen zwei Frequenzanteile (s. Abschnitt 2.7). Der höherfrequente Anteil muss entfernt werden.

Das komplexe Eingangssignal sei $S_{FM}[n] = e^{j\varphi_{FM}[n]}$. Daraus ergibt sich das verzögerte und komplex konjugierte Signal $S_{FM}^*[n] = e^{-j\varphi_{FM}[n-1]}$. Um die Multiplikation der Signale etwas genauer zu betrachten, werden die Signale nach der eulerschen Formel¹⁸ in ihre trigonometrischen Funktionen umgeschrieben und dann erst multipliziert.

$$\begin{aligned}
 g[n] &= S_{FM}[n] \cdot S_{FM}^*[n] = e^{j\varphi_{FM}[n]} \cdot e^{-j\varphi_{FM}[n-1]} \\
 &= [\cos(\varphi_{FM}[n]) + j\sin(\varphi_{FM}[n])] \cdot [\cos(\varphi_{FM}[n-1]) - j\sin(\varphi_{FM}[n-1])] \\
 &= \cos(\varphi_{FM}[n]) \cdot \cos(\varphi_{FM}[n-1]) + \sin(\varphi_{FM}[n]) \cdot \sin(\varphi_{FM}[n-1]) \\
 &\quad + j[\sin(\varphi_{FM}[n]) \cdot \cos(\varphi_{FM}[n-1]) + \cos(\varphi_{FM}[n]) \cdot \sin(\varphi_{FM}[n-1])] \\
 &= \cos(\varphi_{FM}[n] - \varphi_{FM}[n-1]) + j \sin(\varphi_{FM}[n] - \varphi_{FM}[n-1]) \\
 &= e^{j(\varphi_{FM}[n] - \varphi_{FM}[n-1])}
 \end{aligned}$$

Für die komplexe Multiplikation werden demnach vier Multiplizierer benötigt. Es ist festzustellen, dass die benötigten Informationen zur Demodulation nur im Real- und Imaginärteil des Signals vorhanden sind. Werden dem Verzögerungsdemodulator die reellen Signale mit jeweils dem Real- und Imaginärteil zugeführt, reduziert sich die Anzahl der Multiplizierer auf zwei. Abbildung 3.9 zeigt einen solchen Verzögerungsdemodulator.

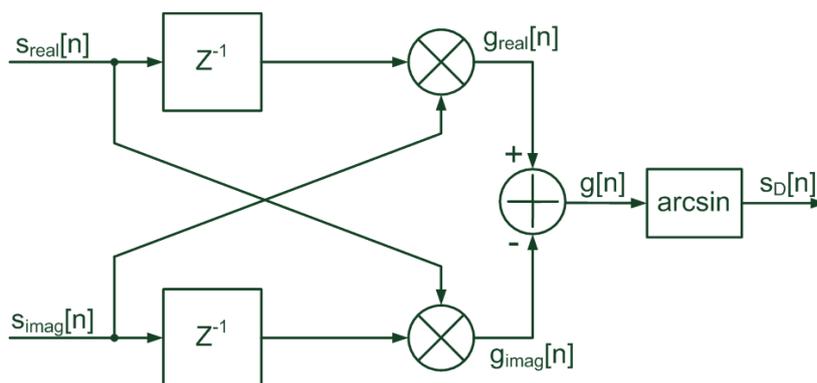


Abbildung 3.9: Aufbau eines realen Verzögerungsdemodulators

Auch hier soll ein Beispiel zur Verdeutlichung der Multiplikation helfen. Das Eingangssignal mit dem Realteil sei $s_{real}[n] = \cos(\varphi_{FM}[n])$ und das Signal mit dem Imaginärteil sei $s_{imag}[n] = \sin(\varphi_{FM}[n])$. Verzögert und multipliziert erhalten wir für

$$\begin{aligned}
 g_{real}[n] &= \sin(\varphi_{FM}[n]) \cdot \cos(\varphi_{FM}[n-1]) \\
 &= \frac{1}{2} [\sin(\varphi_{FM}[n] - \varphi_{FM}[n-1]) + \sin(\varphi_{FM}[n] + \varphi_{FM}[n-1])]
 \end{aligned}$$

¹⁸Leonhard Euler war ein bedeutender Mathematiker. Die nach ihm benannte eulersche Formel $e^{j\varphi} = \cos(\varphi) + j \sin(\varphi)$ bildet den Zusammenhang zwischen trigonometrischen Funktionen und komplexen Zahlen.

und für

$$\begin{aligned}g_{imag}[n] &= \sin(\varphi_{FM}[n-1]) \cdot \cos(\varphi_{FM}[n]) \\ &= \frac{1}{2} [\sin(\varphi_{FM}[n-1] - \varphi_{FM}[n]) + \sin(\varphi_{FM}[n-1] + \varphi_{FM}[n])] \\ &= \frac{1}{2} [-\sin(\varphi_{FM}[n] - \varphi_{FM}[n-1]) + \sin(\varphi_{FM}[n-1] + \varphi_{FM}[n])]\end{aligned}$$

Die anschließende Subtraktion der Signale ergibt

$$g[n] = g_{real}[n] - g_{imag}[n] = \sin(\varphi_{FM}[n] - \varphi_{FM}[n-1])$$

Das Argument des Sinussignals entspricht nun dem Ursprungssignal.

Ein Blick auf die Funktion des Arcus-Sinus (Anhang {19}) zeigt, dass diese im mittleren Bereich als gerade angenommen werden kann. Bewegt sich das Signal nach der komplexen Demodulation in diesem Bereich, kann die Berechnung des Arcus-Sinus weggelassen werden. Das demodulierte Signal ergibt sich dann aus

$$s_D[n] = \varphi_{FM}[n] - \varphi_{FM}[n-1].$$

Im Abschnitt 2.4 wurde gezeigt, dass der maximale Frequenzhub für das Summations- und Differenz-Signal auf nur 45% des Gesamtfrequenzhubs verringert wurde. Die volle Amplitude von Eins kann damit nicht mehr erreicht werden. Das Signal bewegt sich somit im linearen Bereich der Arcus-Sinus-Funktion und eine Berechnung dessen wird nicht benötigt.

Die erforderlichen Signale für diesen realen Verzögerungsdemodulator werden beispielsweise durch die Digital Down Conversion (Abschnitt 2.7) erzeugt. Dabei enthält das I-Signal den Realanteil und das Q-Signal den Imaginärteil.

Bevor das FM-Signal demoduliert wird, müssen auch hier eventuelle Amplitudenschwankungen, die dem FM-Signal eine zusätzliche Amplitudenmodulation bescherehen, eliminiert werden.

3.3 Unterdrückung von Amplitudenmodulation

Amplitudenschwankungen erzeugen eine zusätzliche Amplitudenmodulation des FM-Signals. Diese ist in den meisten Fällen unerwünscht und muss daher entfernt werden. Eine Veränderung der Amplitude kann mehrere Gründe haben. Störungen die bei der Übertragung des Signals auftreten, können das Signal dämpfen oder auch verstärken. Bei Funkübertragungen können solche Störungen zum Beispiel durch ein Gewitter hervorgerufen werden.

Es müssen aber nicht immer Störungen sein, die eine Veränderung der Amplitude hervorrufen. Je näher der Empfänger am Sender ist, desto größer ist die empfangende Amplitude.

Damit der nachfolgende Demodulator immer mit der gleichen Amplitude arbeitet, wird das Signal auf den Betrag Eins normiert. Hierfür werden die beiden Signale mit dem Real- und Imaginäranteil im Basisband benötigt. Die Quadratursignale I und Q bieten sich in diesem Fall gut an, da diese den Real- und Imaginärteil beinhalten und zudem auch noch ins Basisband verschoben werden können. Für die Normierung wird zuerst der Kehrwert der Hüllkurve des amplitudenmodulierten FM-Signals gebildet. Für das Bilden der Hüllkurve werden der Real- und Imaginäranteil quadriert und anschließend die Wurzel aus der Summe der beiden Quadrate gezogen. Den Kehrwert der Hüllkurve ergibt sich durch Kehrwertbildung.

$$R = \frac{1}{\sqrt{s_{real}^2[n] + s_{imag}^2[n]}}$$

Der Faktor R wird zum Entfernen der Amplitudenmodulation mit dem Real- und Imaginärteil des FM-Signals multipliziert. Abbildung 3.10 zeigt den dazugehörigen Aufbau zur Unterdrückung von Amplitudenmodulation.

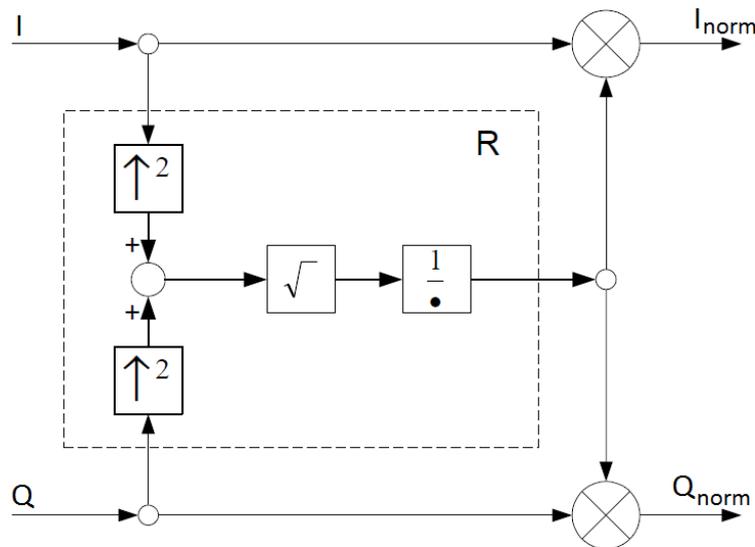


Abbildung 3.10: Aufbau zur Eliminierung von Amplitudenmodulation *Quelle:* [12]

Ein konkretes Beispiel soll ein besseres Verständnis für die Amplitudennormierung geben. Als Eingangssignal stehen die beiden Signale $I = a[n] \cdot \cos(\varphi_{FM}[n])$ und $Q = a[n] \cdot \sin(\varphi_{FM}[n])$ zur Verfügung. $a[n]$ sei hier die gestörte Amplitude.

Die Quadrierung ergibt

$$R = \frac{1}{(a[n]^2 \cdot \cos(\varphi_{FM}[n])^2) + (a[n]^2 \cdot \sin(\varphi_{FM}[n])^2)}$$

$$= \frac{1}{a[n]^2 \cdot (\cos(\varphi_{FM}[n])^2 + \sin(\varphi_{FM}[n])^2)}$$

Mit der Wurzel erhalten wir

$$R = \frac{1}{\sqrt{(a[n]^2 \cdot (\cos(\varphi_{FM}[n])^2 + \sin(\varphi_{FM}[n])^2))}}$$

$$= \frac{1}{\sqrt{a[n]^2} \cdot \sqrt{(\cos(\varphi_{FM}[n])^2 + \sin(\varphi_{FM}[n])^2)}}$$

Für das weitere Verständnis soll ein Blick auf die Zeigerdarstellung in der komplexen Ebene helfen. Abbildung 3.11 zeigt die beiden Signale als Real- und Imaginäranteil im Einheitskreis der komplexen Zahlenebene.

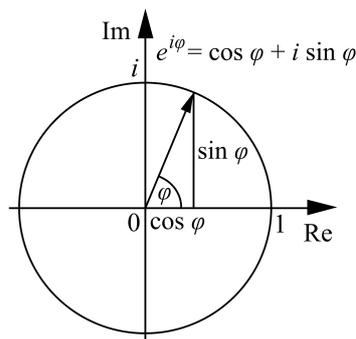


Abbildung 3.11: Real- und Imaginäranteil in der komplexen Ebene *Quelle: [26]*

Nach Euler ist $e^{j\varphi} = \cos(\varphi) + j \sin(\varphi)$. Mit Blick auf den *Satz des Pythagoras*¹⁹ erhalten wir für unseren Ausdruck $\sqrt{\cos(\varphi)^2 + \sin(\varphi)^2}$ den komplexen Zeiger $e^{j\varphi}$, der die Länge Eins hat. Eingesetzt in die Formel des Faktors R ergibt das

$$R = \frac{1}{\sqrt{a[n]^2 \cdot 1}} = \frac{1}{a[n]}$$

¹⁹In einem rechtwinkligen Dreieck ist die Wurzel aus der Summe der Kathetenquadrate die Länge der Hypotenuse. Als Formel: $c = \sqrt{a^2 + b^2}$

R wird nun mit den Eingangssignalen multipliziert, um so die unerwünschte Amplitudenmodulation zu entfernen.

$$I_{norm} = I \cdot R = \frac{a[n] \cdot \cos(\varphi_{FM}[n])}{a[n]} = \cos(\varphi_{FM}[n])$$

$$Q_{norm} = Q \cdot R = \frac{a[n] \cdot \sin(\varphi_{FM}[n])}{a[n]} = \sin(\varphi_{FM}[n])$$

Die Eingangssignale sind auf den Betrag Eins normiert und können an einen nachfolgenden FM-Demodulator weiter gegeben werden.

3.4 Emphasis

Üblicherweise nimmt bei Audiosignalen die Amplitude mit steigender Frequenz ab. Da jedem Signal Rauschen, zumindest thermisches Rauschen²⁰, überlagert ist, hat dieses zur Folge, dass sich das Verhältnis von Signalleistung zur Rauschleistung (SNR) verkleinert. Gerade bei der analogen Übertragung von Audiosignalen, sei es über eine Leitung oder mittels Funk, macht sich so schnell zusätzliches Rauschen in den höheren Frequenzanteilen bemerkbar. Es wurde daher eine Technik entwickelt, die zur Verbesserung des Signal-Rausch-Abstandes beiträgt. Eine Lösung ist es, vor der Übertragung die höheren Frequenzen des Audiosignals pegelmäßig zu verstärken und später im Empfänger wieder abzusenken. Das Anheben der hohen Frequenzen, die Vorverzerrung, wird als Pre-Emphasis und das Entzerren, also die Absenkung der höheren Frequenzen, als De-Emphasis bezeichnet. Abbildung 3.12 zeigt beide Amplitudengänge der Emphasis.

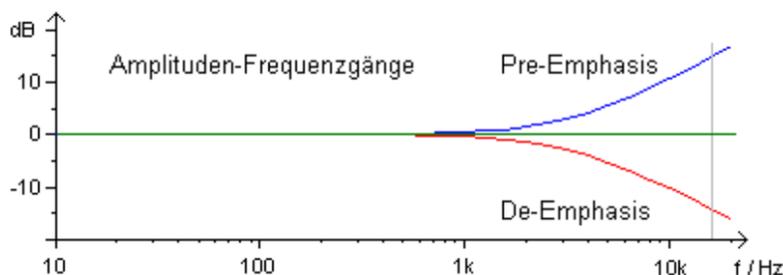


Abbildung 3.12: Amplitudengänge von Pre-Emphasis und De-Emphasis *Quelle:* [7]

Nach der Pre-Emphasis können sich während der Übertragung des Signals Störanteile als Rauschen dazu addieren. Im Empfänger wird beim Absenken der höheren Frequenz

²⁰Thermische Bewegung der Ladungsträger in elektrisch leitenden Materialien verursacht eine Rauschspannung. Es enthält alle Frequenzen und hat ein kontinuierliches Leistungsspektrum und wird auch als Wärmerauschen oder weißes Rauschen bezeichnet.

dann nicht nur die Signalamplitude verringert, sondern auch die Amplitude des überlagerten Rauschsignals.

Die Emphasis-Technik wird unter anderen in der Rundfunkübertragung, bei Tonaufzeichnungen oder auch beim Schallplattenschneiden eingesetzt. In den frühen 80er-Jahren wurde diese auch bei CDs angewendet.

Im UKW-Rundfunk werden für die Pre-Emphasis und De-Emphasis die einfachen Netzwerke nach Abbildung 3.13 genutzt.

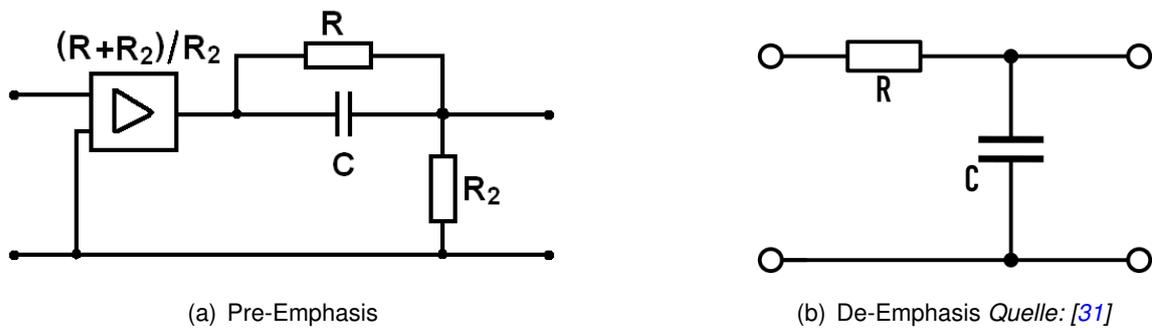


Abbildung 3.13: Emphasis-Netzwerke im UKW-Rundfunk

Das Pre-Emphasis Netzwerk stellt einen Hochpass da. Entsprechend ist das De-Emphasis Netzwerk ein Tiefpass. Im europäischen Raum ist die Zeitkonstante $\tau = R \cdot C$ auf $50 \mu s$ festgelegt, woraus sich eine untere Grenzfrequenz von $f_g = 3,183 \text{ kHz}$ ergibt. In den USA beträgt die Zeitkonstante $\tau = 75 \mu s$. Die daraus resultierende Grenzfrequenz ist $f_g = 2,122 \text{ kHz}$. Beim UKW-Rundfunk wird im Pre-Emphasis Netzwerk noch eine zweite Zeitkonstante $\tau_2 = R_2 \cdot C = 15 \mu s$ verwendet. Diese bewirkt im oberen Frequenzbereich ab der Grenzfrequenz $f_{g_2} = 10,61 \text{ kHz}$ eine geringere bzw. gleichbleibende Anhebung der Frequenzen.

Das Einsetzen der Emphasis-Netzwerke bewirkt eine Verbesserung des Signal-Rausch-Abstandes um über 10 dB.

3.5 Decodieren des Multiplex-Signals

Beim Multiplexverfahren werden mehrere Signale zusammengefasst, um diese gemeinsam über eine Leitung oder Funkstrecke zu übertragen. Dadurch kann die Übertragungsstrecke optimal ausgenutzt werden. Das Multiplexverfahren unterscheidet sich in der Art der Bündelung von Signalen oder Daten. Unter anderem gibt es das Zeitmultiplex- und Frequenzmultiplexverfahren.

Beim Zeitmultiplexverfahren wird jedem Übertragungskanal ein fester Zeitabschnitt zugeordnet, in dem die Daten übertragen werden. Ist ein Zeitabschnitt abgearbeitet, wird nach einer

kurzen Unterbrechung dem nächsten Kanal ein neuer Zeitabschnitt zugewiesen. Das Zeitmultiplexverfahren unterscheidet sich zudem noch in synchroner und asynchroner Übertragung. Bei der synchronen Übertragung werden die Daten der verschiedenen Kanäle nacheinander übertragen (Abbildung 3.14). In welcher Reihenfolge die Übertragung der Daten stattfindet, wird vorher festgelegt, damit die Daten im Empfänger auch richtig getrennt werden können. Ein Vorteil bei synchroner Übertragung ist, dass jeder Kanal so eine konstante Datenübertragungsrate besitzt. Wenn allerdings ein Kanal keine Daten zum Übertragen hat, wird der dafür vorgesehene Zeitabschnitt nicht genutzt, was eine nicht optimale Auslastung der Übertragungsstrecke bedeutet.

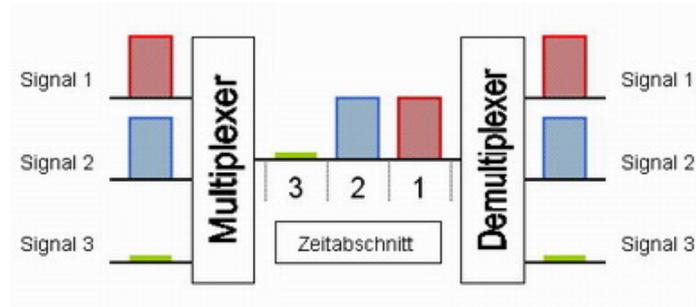


Abbildung 3.14: Übertragung mittels synchronen Zeitmultiplexverfahren *Quelle:* [28]

Die asynchrone Übertragung behebt das Problem mit den nicht ausgenutzten Zeitabschnitten. Hier wird einem Kanal erst ein Zeitschlitz zugeordnet, wenn dieser Daten senden möchte. Dadurch geht die eindeutige Zuordnung von Zeitabschnitten verloren. Um diese dennoch zuordnen zu können, werden jedem Datenpaket eine Kanalinformation angehängt.

Beim Frequenzmultiplexverfahren können gleichzeitig und unabhängig mehrere Signale auf unterschiedliche Trägerfrequenzen übertragen werden. So werden beispielsweise mehrere schmalbandige Signale zu einem breitbandigen Signal zusammengefasst und dann übertragen (Abbildung 3.15). Ein schmales Schutzband zwischen den einzelnen Frequenzbändern, schützt diese vor gegenseitiger Überlappung und ermöglicht eine bessere Trennung der Bänder im Empfänger.

Im Empfänger müssen die einzelnen Frequenzbänder mittels Filter getrennt werden. Das Mischen der einzelnen Bänder mit deren Trägerfrequenz verschiebt diese wieder in ihre ursprüngliche Frequenzlage zurück.

Eine der bekanntesten Anwendungen von Frequenzmultiplex ist die Stereo-Übertragung im UKW-Rundfunk. Dort wird das Differenz-Signal der beiden Audiosignale auf einen 38 kHz Hilfsträger moduliert und mit dem 19 kHz Pilotton dem Träger des Senders aufmoduliert. Auch Informationssignale wie RDS oder DirectBand können so dem Sendesignal hinzugefügt werden.

Im Abschnitt 2.6 wurde gezeigt, wie sich das Basisbandsignal eines UKW-Senders zusammensetzt. Für reine Mono-Audiowiedergabe muss lediglich das Summations-Signal mittels

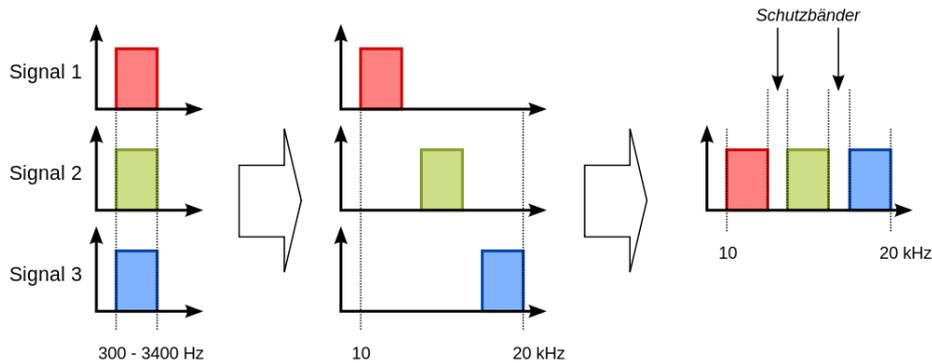


Abbildung 3.15: Darstellung des Frequenzmultiplexverfahrens *Quelle: [28]*

eines Tiefpasses herausgefiltert werden.

Die Wiedergabe von Stereo-Audio ist aufwändiger. Dazu werden in diesem Abschnitt zwei Schaltungen vorgestellt, die aus dem Multiplex-Signal das linke und rechte Audiosignal erzeugen.

1. Matrix-Verfahren:

Bei diesem Verfahren werden das Summations-Signal, das Differenz-Signal und der Pilotton durch Filter voneinander getrennt. Das Differenz-Signal wird mit dem frequenzverdoppten Pilotton multipliziert, um es in das Basisband zu verschieben. Eine anschließende Tiefpassfilterung eliminiert die höherfrequenten Terme, die beim Mischvorgang entstanden sind. Die so gewonnenen zwei Signale $s_l(t) + s_r(t)$ und $s_l(t) - s_r(t)$ werden dann einmal miteinander addiert und einmal subtrahiert. Daraus ergeben sich die beiden Audio-Signale $2s_l(t)$ und $2s_r(t)$.

$$[s_l(t) + s_r(t)] + [s_l(t) - s_r(t)] = 2s_l(t)$$

$$[s_l(t) + s_r(t)] - [s_l(t) - s_r(t)] = 2s_r(t)$$

Das Blockschaltbild zur Realisierung eines solchen Decoders ist in Abbildung 3.16 gezeigt.

2. Schaltdecoder:

Eine weitere Möglichkeit, aus dem Multiplex-Signal die Stereosignale zu gewinnen, ergibt sich aus der mathematischen Formulierung des MPX-Signals.

$$s_{MPX} = s_l(t) + s_r(t) + [s_l(t) - s_r(t)] \cdot \cos(2\pi f_H t)$$

Für $\cos(2\pi f_H t) = 1$ gilt

$$s_{MPX} = s_l(t) + s_r(t) + [s_l(t) - s_r(t)] = 2s_l(t)$$

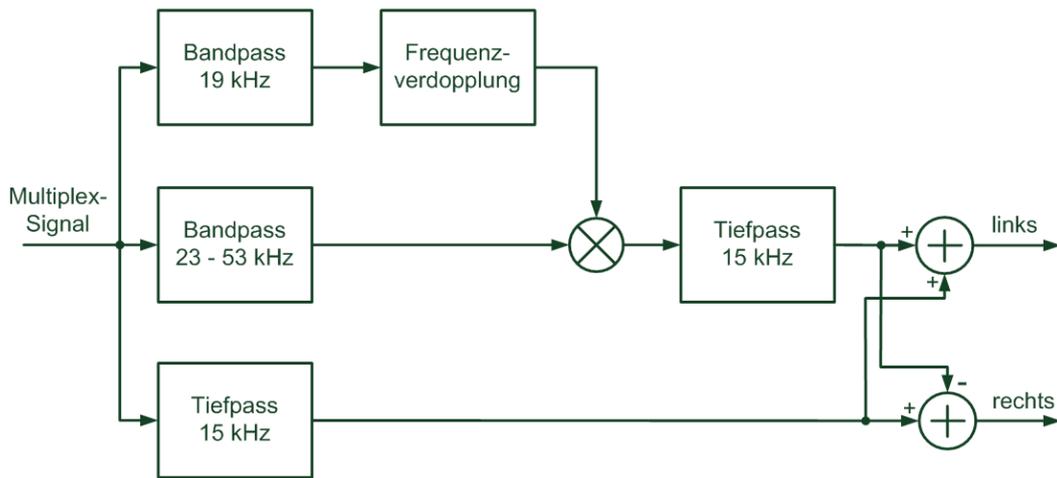


Abbildung 3.16: Multiplex-Signal-Decoder nach dem Matrix-Verfahren

Dementsprechend gilt für $\cos(2\pi f_H t) = -1$

$$s_{MPX} = s_l(t) + s_r(t) - [s_l(t) - s_r(t)] = 2s_r(t)$$

Zusammengefasst bedeutet es, dass das Multiplex-Signal zu dem Maxima des 38 kHz Trägersignals allein das linke Audiosignal und zu dem Minima allein das rechte Audiosignal enthält. In Abbildung 3.17 ist der Zeitverlauf eines Multiplex-Signals dargestellt. Der Pilotton sowie die Informationssignale sind unterdrückt.

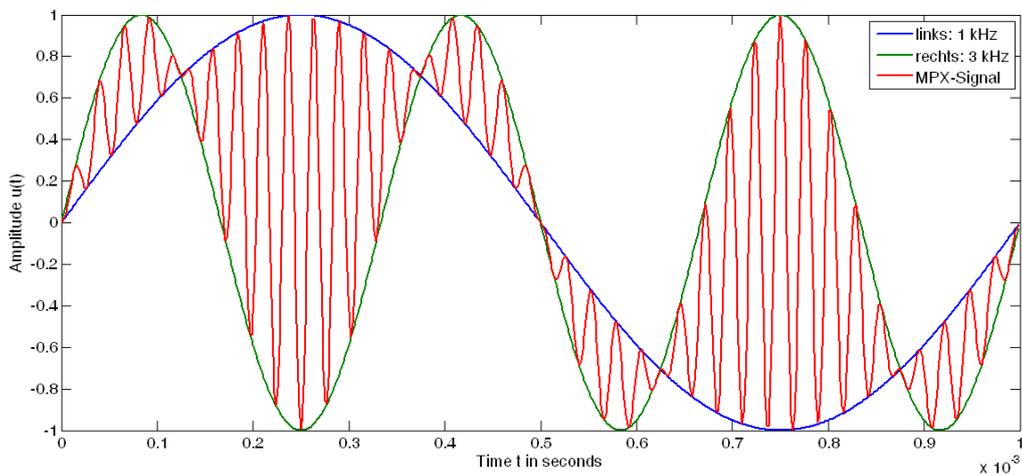


Abbildung 3.17: Zeitverlauf eines Multiplex-Signals

Das MPX-Signal muss jeweils zu dem Maxima und Minima des 38 kHz Hilfsträgers abgetastet werden. Der Hilfsträger wird durch Frequenzverdopplung des Pilottons erzeugt, welcher vorher mittels eines Bandpassfilters aus dem MPX-Signal selektiert

wurde. Im Audiosignalpfad des Decoders werden zuerst durch ein Tiefpassfilter die Informationssignale oberhalb des Differenz-Signals entfernt. Als nächstes muss der Pilotton mit einer Bandsperre unterdrückt werden. Nun enthält das Multiplex-Signal nur noch das Summations- und Differenz-Signal, welches zu den Extrema des Hilfstägers abgetastet wird. Ein nachgeschaltetes Tiefpassfilter, je linken und rechten Signalpfad, erzeugt aus dem abgetasteten Signal ein kontinuierliches Signal. Das Blockschaltbild eines solchen Schaltdecoders ist in Abbildung 3.18 zu sehen.

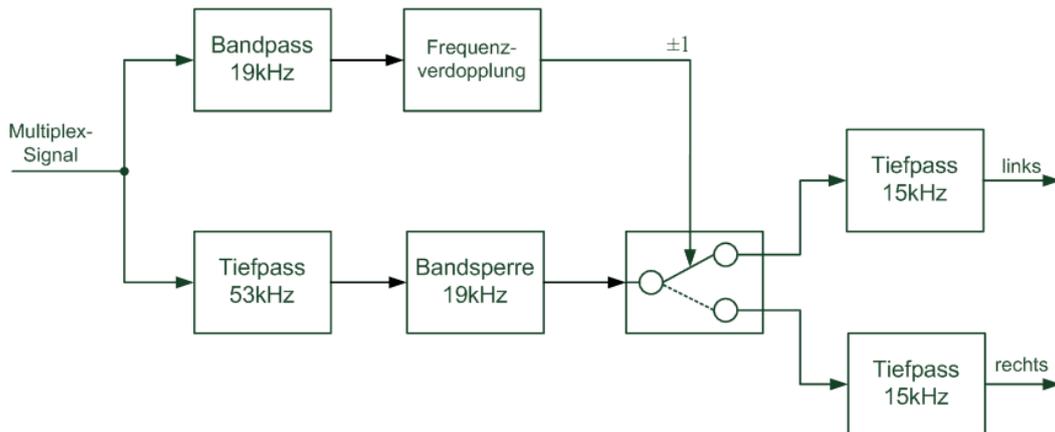


Abbildung 3.18: Blockschaltbild eines Schaltdecoders

3.6 Analoges Frontend

Das Grundprinzip bei einem SDR-System besteht darin, ein empfangendes Funksignal möglichst früh zu digitalisieren und die Signalverarbeitung auf digitaler Hardware zu vollziehen. Idealerweise würde das analoge Funksignal mit der Antenne empfangen und danach direkt mit einem ADU in einen digitalen Datenstrom umgewandelt. In der Realität sieht das aber anders aus. Im Spektrum des Funksignals sind meistens noch andere Frequenzen, als das gewünschte Frequenzband enthalten. In Abbildung 3.19 ist ein solches Spektrum eines Funksignals zu erkennen.

Dieses wurde direkt hinter einer DVB-T Antenne (OneForAll SV9360) mit einem Spektrumanalyser gemessen. Das VHF-2 Spektrum zwischen 87,5 MHz und 108 MHz ist deutlich zu erkennen. Außerhalb des VHF-2 Bandes sind noch weitere Frequenzen, wie z. B. der DVB-T Signale, vorhanden. Diese unerwünschten Frequenzen werden vom ADU mit umgewandelt und würden durch eventuelle Unterabtastung von zu hohen Frequenzen zu Aliasing im eigentlichen Frequenzband führen. Um das zu vermeiden, müssen alle Frequenzen außerhalb des erwünschten Frequenzbandes mittels eines Filters ausreichend unterdrückt werden.

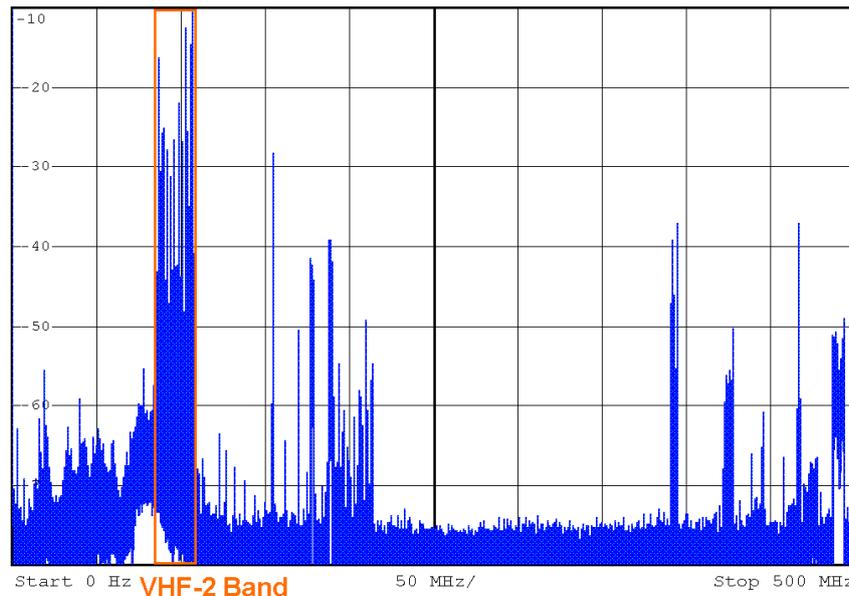


Abbildung 3.19: Funksignalspektrum gemessen mit einer OneForAll SV9360 DVB-T Antenne ohne Filter

Mit dieser Thesis sollen Funksignale aus dem VHF-2 Band empfangen werden. Für die Umwandlung des analogen Signals in ein digitales Signal wird der gegebene ADU LTC2206 ADC (16 Bit, 80 MHz) eingesetzt. Das VHF-2 Band wird durch Bandpassunterabtastung (s. Abschnitt 2.6) in einen niedrigeren Frequenzbereich verschoben. Dort befindliche Frequenzen würden sich mit dem verschobenen VHF-2 Band überlappen und die Signalqualität erheblich beeinträchtigen. Um dem ADU eine aliasingfreie Analog-Digital-Umsetzung zu ermöglichen, müssen alle Spektralanteile außerhalb des VHF-2 Bandes hinreichend gedämpft werden. Die Selektion des VHF-2 Bandes geschieht mit einem Bandpassfilter. Eine mögliche Filtercharakteristik ist in Abbildung 3.20 dargestellt.

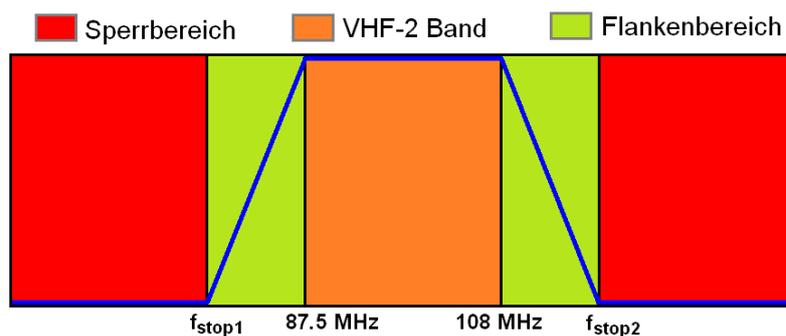


Abbildung 3.20: Mögliche Filtercharakteristik für ein VHF-2 Bandpassfilter

Die Stopbandfrequenzen müssen so gewählt werden, dass sich nach der Bandpassunterabtastung die Spektren des verschobenen VHF-Bandes und deren periodischen Wieder-

holungen nicht überlappen. Im Abschnitt 2.6 wurde am Beispiel des VHF-2 Frequenzbereiches eine Unterabtastung mit 80 MHz gezeigt. Die Abtastung bewirkt, dass sich das positive VHF-2 Spektrum in negativen Frequenzbereich von -7,5 MHz bis 28 MHz und das negative Spektrum in den positiven Bereich von 7,5 MHz bis 28 MHz verschiebt. Abbildung 2.13 zeigt die Lage der Spektren. Damit sich die unerwünschten Frequenzen neben dem VHF-2 Spektrum, nicht mit selbigen überlagern und so zu Aliasing führen, darf der Flankenbereich maximal den Abstand zwischen den Spektren betragen. Mit einem Abstand von 15 MHz zwischen dem positiven und negativen Spektrum ergibt das eine untere Stoppfrequenz von $f_{stop1} = 87,5 \text{ MHz} - 15 \text{ MHz} = 72,5 \text{ MHz}$. Der obere Flankenbereich kann dagegen etwas größer ausfallen, da der Abstand zum nächsten Spektrum (2. positive periodische Wiederholung bei 52 MHz bis 72,5 MHz in Kehrlage) 24 MHz beträgt. Die obere Stoppfrequenz errechnet sich so auf $f_{stop2} = 108 \text{ MHz} + 24 \text{ MHz} = 132 \text{ MHz}$

Als nächstes muss die Frage zu der Dämpfung geklärt werden. Für den Durchlassbereich gilt, dass dort die Durchlassdämpfung so klein wie möglich sein sollte, damit auch schwache Signale im VHF-2 Band einen großen SNR aufweisen.

Im Sperrbereich hingegen ist eine hohe Dämpfung wünschenswert. Der verwendete ADU hat einen SNR von ca. 75 dB [16]. Um mit diesem eine gute Störunterdrückung zu erreichen, müssen die Frequenzen im Sperrbereich soweit gedämpft werden, dass diese einen Signalstörabstand von mindestens 75 dB zum VHF-2 Band besitzen.

Ein weiterer Punkt der geklärt werden muss, ist die Signalamplitude des empfangenen Funksignals. Diese ist in der Regel sehr gering und beträgt meist nur einige Millivolt oder weniger. Der gegebene ADU verfügt über eine Auflösung von 16 Bit. Um diese auszunutzen, muss das empfangende Signal am Eingang des ADUs den vollen Spannungshub besitzen. In diesen Fall sind das 2,25 V Peak-Peak²¹ oder bei eingeschalteten Programmable-Gain-Amplifier²² (PGA) 1,5 V Peak-Peak für Fullscale²³ des ADUs. Ein Breitbandverstärker müsste das analoge Eingangssignal mit einer Pegelanpassung an den maximalen Spannungshub des ADUs anpassen.

Die DVB-T Antenne SV9360 von OneForAll hat bereits einen regelbaren Verstärker bis 45 dB integriert. Das Funksignalspektrum aus Abbildung 3.19 wurde mit der vollen Verstärkung aufgenommen. Es ist ein Signalpegel des VHF-2 Bereichs von ca. -20 dB zu erkennen. Dieses entspricht einer Signalspannung von $U_{pp} = \sqrt{10^{\left(\frac{-20}{10}\right)} \cdot 1 \text{ mW} \cdot 50 \Omega} \approx 22 \text{ mV}$. Das liegt weit von den 1,5 V entfernt. Somit sinkt die Auflösung des Signals auf theoretische $\log_2 \left(\frac{2^{16} \cdot 22 \text{ mV}}{1,5 \text{ V}} \right) = 9,9 \text{ Bit}$. Um die vollen 16 Bit des ADUs ausnutzen zu können, wäre eine weitere Verstärkung des Signals um $A = 20 \cdot \log \left(\frac{1,5 \text{ V}}{22 \text{ mV}} \right) \approx 36 \text{ dB}$ nötig. Da die Information eines FM-Signals in der Frequenz steckt, kann diese theoretisch mit nur einem Bit (Rechteck-Signal) übertragen werden. Für die Anforderung des Radioempfangs ist daher die

²¹Ist der Spannungshub zwischen niedrigster und höchster Amplitude. Ein Sinus mit 1 V Peak-Peak besitzt üblicherweise eine Amplitude von $\pm 0,5 \text{ V}$.

²²Interner Vorverstärker des LTC2206 ADCs.

²³Bezeichnet die volle Aussteuerung des ADUs.

etwas geringere Auflösung des Signals ausreichend. Auf einen weiteren Breitbandverstärker wird verzichtet.

Eine Übersicht des zu realisierenden analogen Frontends ist in Abbildung 3.21 gegeben.

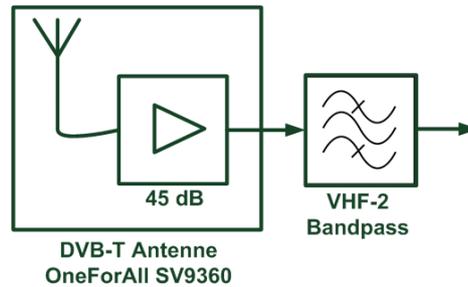


Abbildung 3.21: Aufbau des analogen Frontends

3.7 Datenübertragung zum PC

Bei der Entwicklung eines SDR-System oder auch anderen Systemen kann schnell ein unerwartetes Verhalten oder ein Fehler auftreten. Das Problem muss dann zügig behoben werden, um nicht in Verzug zu geraten. Eine Möglichkeit ist die Analyse von Daten, die z. B. im SDR-System verarbeitet werden. Es sollte also möglich sein, Daten des Systems über eine Schnittstelle beispielsweise an einen Computer senden zu können. Ein z. B. fehlerhafter Signalverarbeitungsblock ist so rasch identifiziert und kann behoben werden. Es muss sich aber nicht zwingend um eine Untersuchung der Daten handeln. Eine einfache Datenübertragung zur Weiterverarbeitung in anderen Systemen kann auch eingesetzt werden.

In dieser Thesis wird ein SDR-System entwickelt, wo die Signalverarbeitung ausschließlich auf digitaler Hardware vollzogen wird. Für die Möglichkeit einer Untersuchung der Signale muss eine Datenübertragung zum PC realisiert werden. Über diese werden die Daten der Signalverarbeitung, wie beispielsweise das normierte oder demodulierte Signal, an einen Computer geschickt, wo diese mittels einer Software untersucht oder dargestellt werden können. In diesem Abschnitt sollen verschiedene Übertragungsarten vorgestellt werden, die für die Implementierung in das System in Frage kommen.

Zuerst soll die Thesis auf besondere Vorgaben bei einer Datenübertragung untersucht werden. Wie schon erwähnt, handelt es sich lediglich um eine mögliche Untersuchung der Daten. Das bedeutet, dass eine Echtzeitübertragung nicht benötigt wird. Die zu übertragene Daten werden in einem Zwischenpuffer gespeichert, welcher beim Erreichen des Speicherlimits übertragen wird. Ein weiterer Punkt ist die Verbindung zum Computer. Eine Datenübertragung zum PC soll jedoch nicht die Hauptaufgabe dieser Thesis sein. Die Verbindung zwischen dem Board und dem PC soll sich leicht und schnell realisieren lassen, um die

Entwicklungszeit in die Hauptaufgabe zu stecken. Zur Untersuchung der Daten sollen diese zudem direkt in MATLAB eingelesen und grafisch dargestellt werden.

Als Basis soll das verwendete Xilinx ML507 Entwicklungsboard dienen, welches einige Schnittstellen zur Datenübertragung besitzt.

- **Serial-ATA**

Serial-ATA (SATA - Serial Advanced Technology Attachment) ist eine serielle Punkt-zu-Punkt Verbindung. Sie wurde von Intel im Jahr 2000 entwickelt und wird hauptsächlich für den geräteinternen Datenaustausch zwischen Prozessor und Festplatte verwendet. Mit Serial-ATA kann eine Übertragungsrate von 150 MB/s erreicht werden. Der neuere Standard SATA 2.0 erlaubt sogar eine doppelt so schnelle Datenrate von 300 MB/s. In der neusten SATA Version 3.0 ist die Datenrate nochmals verdoppelt worden [29]. Mit der Einführung von SATA 2.0 wurde auch der eSATA (External SATA) Anschluss eingeführt, welcher für den externen Betrieb geeignet ist. Diese Schnittstelle ist jedoch nicht bei jedem Computer verfügbar, wie es z.B. bei USB der Fall ist. Eine mobile Nutzung des Systems an verschiedenen Computern ist daher eingeschränkt. Zudem ist nicht immer eine Verbindung der Geräte im laufenden Betrieb möglich.

- **USB**

Heutzutage hat so gut wie jeder Computer einen USB (Universal Serial Bus)-Anschluss. Eine Datenübertragung via USB würde sich demnach sehr eignen. Als das serielle Bussystem im Jahre 1996 von Intel entwickelt wurde, besaß es gerade mal eine Datenrate von maximal 1,5 MB/s. Mit der Version 2.0 wurde eine Übertragungsgeschwindigkeit von maximal 60 MB/s spezifiziert. In der Praxis werden jedoch nur Geschwindigkeiten von ca. 30 MB/s erreicht. Bei der neusten Version, USB 3.0, ist die Übertragungsrate nochmals 10-mal schneller als bei USB 2.0.

Für die USB-Verbindung stehen verschiedene Übertragungsmodi zwischen den einzelnen Endpunkten zur Verfügung. Nach Erkennen eines USB-Geräts wird zunächst der Control-Modus für den Austausch erster Kommunikationsdaten in Anspruch genommen. Bei diesem Modus werden die Daten beider Richtungen bestätigt, sodass sichergestellt ist, dass diese auch beim Empfänger angekommen sind. Ein weiterer Modus ist der Bulk-Transfer. Dieser ist für große Datenmengen geeignet, die nicht zeitkritisch sind. Er wird beispielsweise bei USB-Massenspeichern eingesetzt. Für Geräte die eine konstante Datenrate benötigen, wie z. B. eine USB-Webcam, ist der Isochrone-Transfer geeignet. Dabei wird in fest definierten Zeitabständen das Gerät abgefragt. Der vierte Übertragungsmodus, der Interrupt-Modus, wird eingesetzt, wenn ein Gerät nur kleine Datenmengen übertragen muss und das zu unbestimmten Zeitpunkten. Geräte wie Mäuse und Tastaturen benutzen diesen Modus.

Damit ein USB-Gerät an einem Computer erkannt wird, muss der erforderliche Treiber verfügbar sein. Für die meisten Geräte ist im Betriebssystem ein generischer Treiber vorhanden, der diesen für die Benutzung des Gerätes bereitstellt. Da aber nicht jedes Gerät mit den Treibern kompatibel ist, muss für das jeweilige Betriebssystem ein

Treiber entwickelt werden. Eine plattformunabhängige Verbindung mit dem Entwicklungsboard ist damit nicht unbedingt gewährleistet.

- **Ethernet**

Ethernet wurde in den 70er Jahren am Xerox Palo Alto Research Center (PARC) für die Datenübertragung in lokalen Netzen (LAN - Local Area Networks) entwickelt. Damals war es noch ein firmenspezifisches Produkt und daher nicht standardisiert. 1980 begann das Institute of Electrical and Electronics Engineers (IEEE) in der Arbeitsgruppe 802 an einer Standardisierung des Ethernets. Trotz seiner anfangs geringen Übertragungsrate von maximal 10 MBit/s hat sich Ethernet schnell durchgesetzt. Heutige Netzwerke besitzen mittlerweile Geschwindigkeiten von 100 MBit/s oder auch schon 1000 MBit/s (Gigabit-Ethernet). Diese werden auch von dem PHY²⁴ des verwendeten ML507 Boards unterstützt.

Die unterschiedlichen Standards des Ethernets werden durch das Paket IEEE 802.3²⁵ beschrieben. Diese wurden durch die International Standards Organisation (ISO) in das OSI-Schichtenmodell aufgenommen. Im OSI-Modell befindet sich Ethernet auf den unteren beiden Schichten, der Bitübertragungsschicht (OSI-Schicht 1) und der Sicherungsschicht (OSI-Schicht 2). Die erste Schicht legt die Spezifikation, wie z. B. elektrische Signale, einer physischen Verbindung fest. Schicht 2 regelt den Zugriff auf das Übertragungsmedium und trifft Vorkehrungen für eine möglichst fehlerfreie Übertragung der Daten.

Ein LAN-Netzwerk verbindet unterschiedliche Geräte wie Computer und Drucker miteinander. Der Datenaustausch findet dabei paketorientiert statt. Die Größe der Datenpakete ist dabei variable. Als Standard ist eine Größe von 1500 Byte vorgesehen. Durch die serielle Datenübertragung von Ethernet kann nur eine bidirektionale Verbindung zwischen zwei Endpunkten aufgebaut werden. Für ein Netzwerk mit mehreren Endpunkten ist das daher ungünstig. Die Verwendung eines aufgesetzten TCP/IP-Stacks ermöglicht eine paketorientierte Kommunikation in den höheren Schichten des OSI-Modells. Somit ist nicht nur eine Verbindung zwischen mehreren Endpunkten des Netzwerkes möglich, sondern auch eine Kommunikation über das LAN-Netzwerk hinaus.

Der aufgesetzte Stack besteht aus dem Internet Protokoll (IP), dem Transmission Control Protocol (TCP) und dem User Datagram Protocol (UDP). In der dritten Schicht des OSI-Modells, der Vermittlungsschicht, ist das Internet Protokoll angesiedelt. Dieses ist für die Kommunikation zwischen den Endpunkten zuständig und sorgt für eine Weitervermittlung von empfangenen Paketen. In der Transportschicht, eine Schicht über der Vermittlungsschicht, sind das TCP und UDP anzufinden. Sie bieten den darüber liegenden Schichten einen einheitlichen Zugriff und erlaubt eine Kommunikation auf unterschiedlichen Ports.

²⁴Ist ein Chip der die unterste Schicht des OSI-Modells umsetzt.

²⁵Nähere Informationen sind unter <http://www.ieee802.org/3/> zu finden.

Das TCP ist verbindungsorientiert und ermöglicht einen zuverlässigen Verbindungsaufbau zwischen zwei Endpunkten. Dadurch wird sichergestellt, dass die Datenpakete in der richtigen Reihenfolgen beim Empfänger ankommen. Zudem werden Datenverluste erkannt und automatisch behoben. Bei TCP-Verbindungen ist eine Kommunikation in beide Richtungen möglich. Durch diese Eigenschaften ist das TCP weit verbreitet. Eingesetzt wird es u. a. in der Verbindung mit dem Internet.

Vergleichsweise zu TCP, ist das UDP einfacher aufgebaut. Das verbindungslose Protokoll beschränkt sich lediglich auf den Austausch von Daten zwischen Ports von Endpunkten. Eine automatische Fehlersicherung bei verlorengegangenen Paketen findet deshalb, genauso wie eine Sortierung der richtigen Reihenfolge, nicht statt. So kann es in großen Netzwerken passieren, dass später verschickte Pakete einen schnelleren Weg durch das Netzwerk finden und so früher beim Endpunkt ankommen. Durch die fehlenden Kontrollfunktionen kann mit dem UDP jedoch eine höhere Datenübertragungsrate gegenüber dem TCP erreicht werden.

Ethernet ist heutzutage ein gängiger Standard und ein Anschluss ist an fast jedem Computer anzutreffen. Es werden auch keine speziellen Treiber benötigt, da mittlerweile in jedem gebräuchlichen Betriebssystem ein TCP/IP-Stack implementiert ist. Eine Verbindung zwischen dem SDR-System und Computer lässt sich so schnell realisieren. Zudem muss das SDR-System nicht direkt mit dem Computer verbunden sein, sondern kann sich irgendwo im Netzwerk befinden.

3.8 Spezifikation

In diesem Abschnitt soll eine Spezifizierung des zu realisierenden System stattfinden. Eine Spezifikation legt genau fest, welche Anforderungen das System erfüllen soll. Damit sind zugleich die Prüf- und Testkriterien für das System festgelegt. In der Entwicklungsphase und nach der Fertigstellung wird das System gegen die festgesetzten Anforderungen geprüft bzw. getestet. Besteht es die Prüfungstests, sind die gegebenen Vorgaben erfüllt. Gibt es Abweichungen zu den Anforderungen, sollen diese erklärt oder wenn möglich das System nachgebessert werden.

Die Zusammensetzung des gesamten Systems und der Signalverarbeitungsstrecke ist der Abbildung [3.22](#) zu entnehmen.

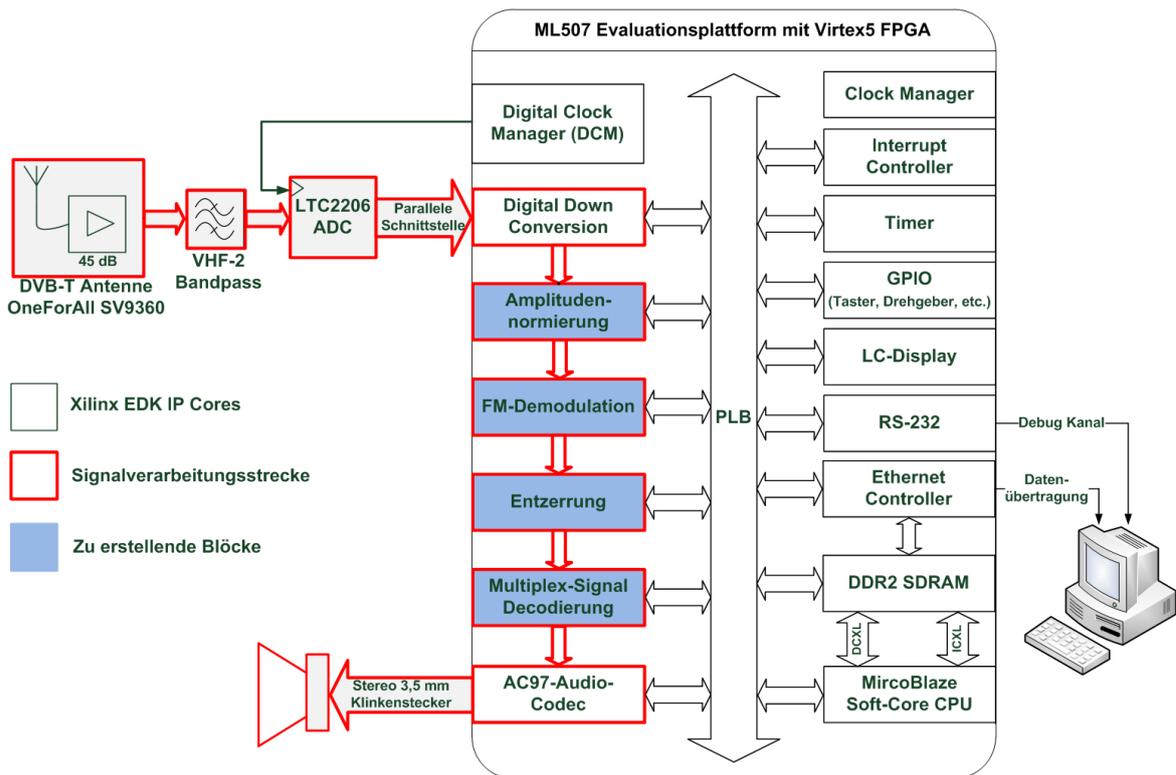


Abbildung 3.22: Übersicht des zu realisierenden Gesamtsystems

Nachfolgend werden die genauen Anforderungen des zu realisierenden Systems aufgelistet.

- **Antenne:** DVB-T Antenne OneforAll SV9360 mit integrierter Verstärkung bis 45 dB.
- **VHF-2 Bandpass:**
 - Untere Stoppfrequenz: 72,5 MHz
 - Untere Grenzfrequenz: 87,5 MHz
 - Obere Grenzfrequenz: 108 MHz
 - Obere Stoppfrequenz: 132 MHz
 - Durchlassdämpfung: < 15 dB
 - Störabstand: > 75 dB
- **Analog-Digital-Umsetzung:** LTC2206 ADC von Linear Technology
 - Minimale Auflösung: 8 Bit
 - Maximale Auflösung: 16 Bit
 - Abtastrate: 80 MHz
 - Taktquelle: Entwicklungsplattform mittels DCM-Modul

- **Digital Down Conversion:** Entwickelter DDC-Core durch [23] und digitale Mischung des zu empfangenden Kanals ins Basisband.

Reduzierungsfaktor:	128
Abtastrate am Ausgang:	625 kHz
Tiefpass Bandbreite:	300 kHz
Tiefpass Grenzfrequenz:	150 kHz
Ripple ²⁶ im Durchlassbereich des Tiefpasses:	< 0,1 dB
Tiefpass Stoppbanddämpfung:	> 70 dB

- **Amplitudennormierung:** Entfernen von Amplitudenmodulation durch Normierung der Amplitude auf den Betrag Eins.
- **FM-Demodulation:** Demodulation mit dem Basisband-Verzögerungsdemodulator. Keine Berechnung der Arkus-Sinus-Funktion nötig.
- **Entzerrung:** De-Emphasis des Signals mit einfachen RC-Netzwerk. Zeitkonstante $\tau = 50 \mu s$
- **Multiplex-Signal Decodierung:** Trennung des linken und rechten Audiosignals aus dem Multiplex-Signal mittels Schaltdecoder.

- Auflösung der Signale am Ausgang: 16 Bit

- Bandpass:

Untere Stoppfrequenz:	15 kHz
Untere Grenzfrequenz:	18,5 kHz
Obere Grenzfrequenz:	19,5 kHz
Obere Stoppfrequenz:	23 kHz
Ripple im Durchlassbereich:	< 0,1 dB
Dämpfung im Sperrbereich:	> 70 dB

- Tiefpass:

Grenzfrequenz:	53 kHz
Stoppfrequenz:	56 kHz
Ripple im Durchlassbereich:	< 0,1 dB
Dämpfung im Sperrbereich:	> 70 dB

- Bandsperre:

Untere Grenzfrequenz:	15 kHz
Untere Stoppfrequenz:	18,5 kHz
Obere Stoppfrequenz:	19,5 kHz
Obere Grenzfrequenz:	23 kHz
Ripple im Durchlassbereich:	< 0,1 dB
Dämpfung im Sperrbereich:	> 60 dB

²⁶Ist ein ungewohntes welliges Verhalten des Amplitudenganges.

Eine grafische Darstellung der Filtercharakteristiken des Schaltdecoders ist in Abbildung 3.23 zu finden.

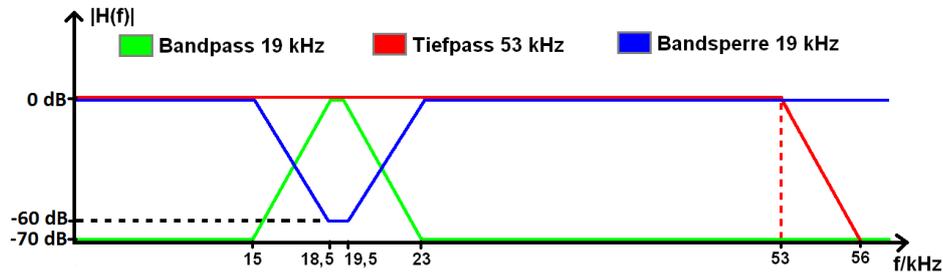


Abbildung 3.23: Filtercharakteristiken des Schaltdecoders

- **Digital-Analog-Umsetzung:** AC97-Audio-Codec der Entwicklungsplattform.
 - Interpolations-Bandpass: 20 Hz bis 20 kHz
 - Abtastrate: 48 kHz
 - Lautstärkenregelung: 0 dB bis -46 dB
 - Klinkenstecker: 3,5 mm
- Datenübertragung an MATLAB.
 - Schnittstelle: Ethernet
 - Übertragungsprotokoll: UDP
 - Keine Echtzeitübertragung
- Manuelle Umschaltung zwischen Mono- und Stereo-Audio mittels DIP²⁷-Schalter.
- Ausgabe von Meldungen über RS-232²⁸ Schnittstelle.
- Bedienung des Systems über Taster, Drehgeber und DIP-Schalter.
- Anzeige von Frequenz und Lautstärke auf dem LC-Display.

3.9 Zusammenfassung der Analyse

Radio zu hören klingt einfach, doch es ist mehr nötig, als nur eine Antenne mit Lautsprechern. Dieses Kapitel hat sich mit der Analyse benötigter Schritte für einen erfolgreichen Runkfunkempfang beschäftigt. Der letzte Abschnitt dieses Kapitels soll dem Leser die Vorgehensweise zur Realisierung des FM-Stereo-Rundfunkempfängers kurz zusammenfassen.

²⁷Kleine Schalter die beispielsweise auf Platinen für Grundeinstellungen genutzt werden. Umgangssprachlich werden diese auch als 'Mäuseklavier' bezeichnet.

²⁸Der offizielle Name lautet EIA RS-232C. RS-232 ist ein Standard für serielle Schnittstellen bei Computern.

Eine DVB-T Antenne empfängt reale Funksignale (elektromagnetische Wellen) und wandelt diese in ein elektrisches Signal um. Die Amplitude eines solchen Signals beträgt meist nur wenige Millivolt. Um bei der Digitalisierung eine möglichst hohe Auflösung des analogen Signals zu erreichen, muss dieses an den maximalen Spannungshub des ADUs angepasst werden. Die interne Verstärkung der Antenne sorgt für eine Anhebung des Signalpegels, sodass das analoge Signal mit einer ausreichenden Auflösung umgesetzt werden kann. Bevor das Signal digitalisiert wird, muss der geforderte Frequenzbereich des VHF-2 Bandes (87,5 MHz bis 108 MHz) mittels eines Bandpassfilters selektiert werden. Die Selektion sorgt dafür, dass beim Abtasten des Signals kein Aliasing entsteht. Für die Umwandlung des analogen Signals in ein digitales, wird der gegebene LTC2206 ADC von Linear Technology eingesetzt. Dieser besitzt eine Auflösung von 16 Bit bei einer Abtastrate von 80 MHz. Die Abtastrate sorgt für eine Unterabtastung des VHF-2 Bandes und verschiebt dessen Spektrum in den niedrigeren Frequenzbereich von 7,5 MHz bis 28 MHz.

Der vom ADU kommende digitale Datenstrom wird den durch [23] entworfenen DDC-Core zugeführt. Die Analyse des Cores hat gezeigt, dass dieser an die Thesis angepasst werden muss. Die Bandbreite des Tiefpassfilters wurde zu groß dimensioniert, so dass eine Störung direkter Nachbarsender nicht auszuschließen ist. Eine Verkleinerung der Bandbreite auf die des Senderasters, bewahrt vor diesem Problem. Weiterhin soll die Abtastrate noch stärker reduziert werden, um den Aufwand der nachfolgenden Signalverarbeitung so gering wie möglich zu halten. Im DDC-Core wird aus dem digitalisierten Funksignal der jeweilig zu empfangende Sender ins Basisband verschoben. Die anschließende Filter-Kaskade sorgt für eine Kanalselektierung und einer Reduzierung der Abtastrate. Am Ausgang des Cores stehen die beiden Quadratursignale I und Q zur Verfügung.

Durch Störungen verursachte Amplitudenschwankungen erzeugen eine zusätzliche Amplitudenmodulation des FM-Signals. Diese führt bei der Demodulation zu einer Überlagerung der Störungen. Um das zu vermeiden, müssen die beiden Quadratursignale auf eine konstante Amplitude gebracht werden. Eine Normierung auf den Betrag Eins eliminiert so vorhandene Amplitudenschwankungen. Dieses wird durch die Multiplikation des Kehrwertes der Hüllkurve mit jeweils dem I- und Q-Signal erreicht.

Zur Demodulation des frequenzmodulierten Signals gibt es verschiedene Ansätze. In dieser Thesis wird auf Grund seines vergleichsweise einfachen Aufbaus der Basisband-Verzögerungsmodulator eingesetzt. Die Analyse hat gezeigt, dass sich durch komplexe Multiplikation das Ursprungssignal wiedergewinnen lässt. Die Eigenschaft des Multiplex-Signals erlaubt das Weglassen der Berechnung der Arkus-Sinus-Funktion.

Das am Demodulatorausgang entstandene Signal wird als Multiplex-Signal bezeichnet. Dieses beinhaltet jedoch die senderseitige Pre-Emphasis. Bei dieser Vorverzerrung wurden die hohen Frequenzen des Signals angehoben. Im Empfänger müssen diese wieder abgesenkt werden. Das geschieht mittels einer einfachen RC-Tiefpass-Struktur. Als Zeitkonstante wird im europäischen Raum ein Wert von $\tau = 50 \mu s$ verwendet. Bei der De-Emphasis werden

nicht nur die angehobenen Frequenzen gesenkt, sondern auch das Rauschen. Der SNR wird so um über 10 dB gesteigert.

Aus dem entzerrten Multiplex-Signal kann nun durch einfache Tiefpassfilterung das Summations-Signal für Monoempfänger gewonnen werden. Zur Erzeugung des Stereo-Audiosignals ist mehr Aufwand nötig. Eine Möglichkeit ist die Addition und Subtraktion des Summations- und Differenz-Signals. Da für diesen Decoder aber mehr Filter als für den Schaltdecoder benötigt werden, fällt die Wahl zur Decodierung auf den Schaltdecoder. Das Prinzip des Schaltdecoders ist recht einfach. Zu den Minima des 38 kHz Hilfsträgers enthält das Multiplex-Signal allein das rechte und zu den Maxima allein das linke Audiosignal. Nach Frequenzverdopplung des Pilottons muss das MPX-Signal jeweils zu den Extrema des Hilfsträgers abgetastet werden.

Für die Wiedergabe der digitalen Signale, seien es die beiden Stereo-Signale oder das Mono-Signal, müssen diese in ein analoges Signal umgewandelt werden. Das analoge Interpolations-Bandpass des AC97-Audio-Codecs erzeugt aus dem digitalen zeit- und wertdiskreten Signal ein analoges und kontinuierliches Signal, welches über angeschlossene Lautsprecher wiedergegeben wird.

Bei der Entwicklung eines SDR-Systems kann es zu einem unerwarteten Verhalten des Systems kommen. Damit die Fehlerursache schnell lokalisiert werden kann, ist es hilfreich, die Signale der Signalverarbeitung untersuchen zu können. In Abschnitt 3.7 wurde untersucht, welche Möglichkeiten es gibt, die Daten an einen Computer zu übertragen. Die Untersuchung hat gezeigt, dass für ein plattformunabhängiges Arbeiten nicht jede Schnittstelle geeignet ist.

Zuletzt wurde das zu realisierende System konkret spezifiziert. Es wurde festgelegt aus welchen Signalverarbeitungsblöcken sich die Signalstrecke zusammensetzt. Zudem wurde jedes Filter eine genaue Filtercharakteristik zugeordnet. Auch die Anforderungen an das gesamte System wurden gestellt. So wurde beispielsweise geregelt, welche Schnittstelle zur Datenübertragung verwendet werden soll.

Zur Realisation eines FM-Stereo-Rundfunkempfängers auf digitaler Hardware sind einige Schritte nötig. Deshalb ist eine gründliche Analyse des zu realisierenden Systems genauso erforderlich, wie ein Entwurfskonzept und eine genauen Spezifikation.

4 Simulation

In diesem Teil der Thesis sollen die in der Analyse (Kapitel 3) vorgestellten Komponenten der Signalverarbeitungsstrecke in Simulink²⁹ aufgebaut und simuliert werden. Die theoretischen Überlegungen, die im vorigen Kapitel angestellt wurden, sollen in ein realisierbares Modell umgesetzt und anhand verschiedener Simulationen verifiziert werden. Für die Erstellung der Modelle ist ein schrittweises Vorgehen nötig, da die Komponenten der Signalverarbeitungsstrecke jeweils das Signal der vorigen Stufe geliefert bekommen. Daher werden fertiggestellte Modelle getestet, um sicher zustellen, dass die nachfolgenden Modelle immer mit einem funktionierenden Teilsystem arbeiten. Der Aufbau erfolgt mit Blöcken aus der Xilinx System Generator Toolbox, damit eine spätere Implementierung der Modelle auf dem FPGA möglich ist.

4.1 Bestehender DDC-Core

Für die Digital Down Conversion wird der bereits vorhandene und getestete DDC-Core verwendet. Es erfolgt lediglich eine Anpassung der Filtereigenschaften an die Bedingungen dieser Thesis. Für Informationen über Simulationen des DDC-Cores wird auf die Masterarbeit von [23] verwiesen.

Aus dem Abschnitt 2.4 geht hervor, dass die benötigte Bandbreite für die Stereo-Übertragung ca. 250 kHz beträgt. Damit befindet diese sich im 300 kHz Kanalraster des VHF-2 Bandes. Durch [23] wurde die Bandbreite des Tiefpass-Kaskade auf 400 kHz festgelegt, welche für diese Thesis auf die Bandbreite des Kanalrasters geändert werden muss, um Störungen durch direkte Nachbarsender zu vermeiden. Die Amplitudengänge der geänderten Filter-Kaskade sind in Abbildung 4.1 zu sehen. Die Anpassung der Bandbreite wurde durch Änderung der Tiefpassbandbreite erreicht.

Der DDC-Core reduziert zudem die Abtastrate um Faktor 64 von 80 MHz auf 1,25 MHz. Damit der Aufwand der nachfolgenden Signalverarbeitung gering gehalten wird, soll die Abtastrate noch weiter verringert werden. Im Tiefpassfilter wird eine zusätzliche Reduzierung um Faktor 2 vorgenommen. Die Abtastrate ergibt sich so am Ende des DDC-Cores zu 625 kHz. Das geänderte Simulinkmodell ist dem Anhang {1} zu entnehmen.

²⁹Ist ein integriertes Programm von MATLAB. Es stellt eine grafische Entwicklungsumgebung bereit, mit der Simulationen durchgeführt werden können.

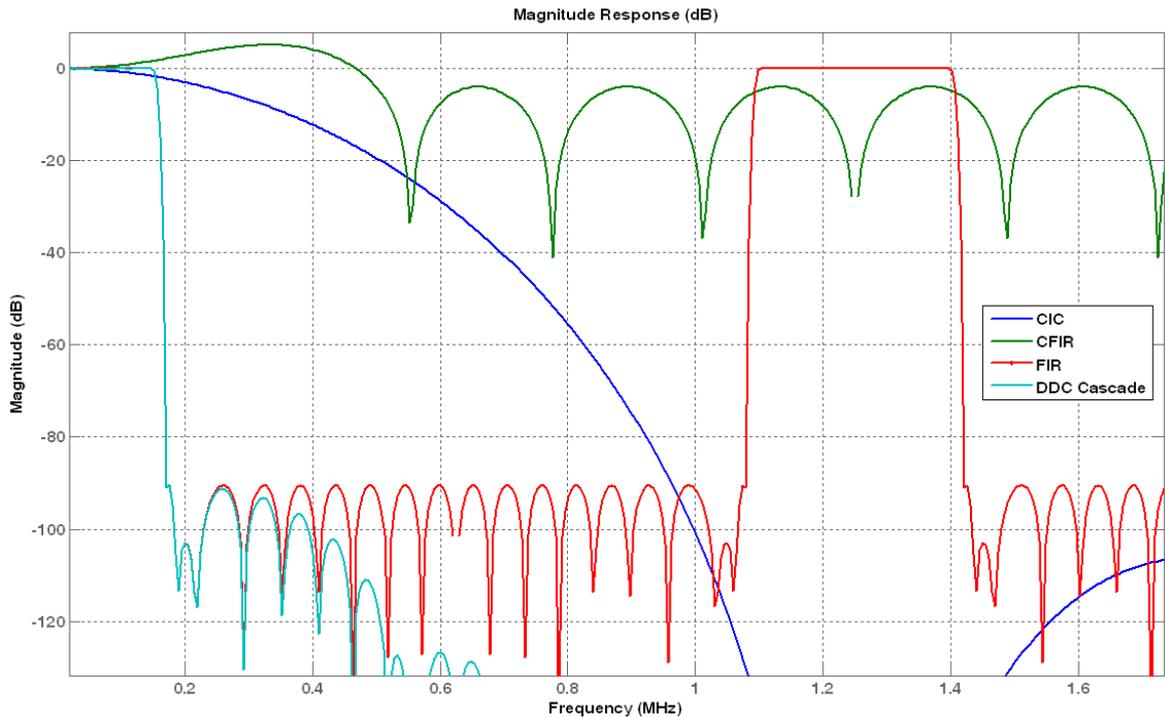


Abbildung 4.1: Angepasster Amplitudengang der DDC-Fiter-Kaskade

4.2 Normierung der Amplitude

Störungen des Funkkanals führen zu Amplitudenschwankungen des Signals. Solche Schwankungen versetzen dem frequenzmodulierten Funksignal eine zusätzliche Amplitudenmodulation. Diese kann bei manchen Demodulatoren zu einer falschen Demodulation oder einer Überlagerung von Störungen führen. Das gilt zu vermeiden, indem das Signal auf eine konstante Amplitude gebracht wird. Eine Normierung der Signalamplitude auf einen Betrag von Eins wird mittels der im Abschnitt 3.3 vorgestellten Methode erfolgen. Das in Simulink erstellte Modell zur Unterdrückung von Amplitudenmodulation ist in Abbildung 4.2 zu finden.

Zur Bildung des Kehrwertes der Hüllkurve werden zuerst die beiden Signale I und Q quadriert und anschließend miteinander addiert. Die Wurzel wird mit dem im Xilinx Blockset bereitgestellten CORDIC³⁰-Core berechnet. Die Anzahl der Takte, die der CORDIC bis zum ersten Ausgabewert für die Wurzelberechnung benötigt, hängt von der Bitlänge des Ausgangssignals ab. Für ein n-Bit Ausgangssignal werden im CORDIC n Takte gebraucht. Um diese Anzahl von Takten müssen die ursprünglichen Signale I und Q verzögert werden, damit bei der späteren Multiplikation die beiden richtigen Abtastwerte miteinander multipliziert

³⁰Coordinate Rotation Digital Computer ist ein Algorithmus zur Berechnung elementarer trigonometrische und hyperbolische Funktionen.

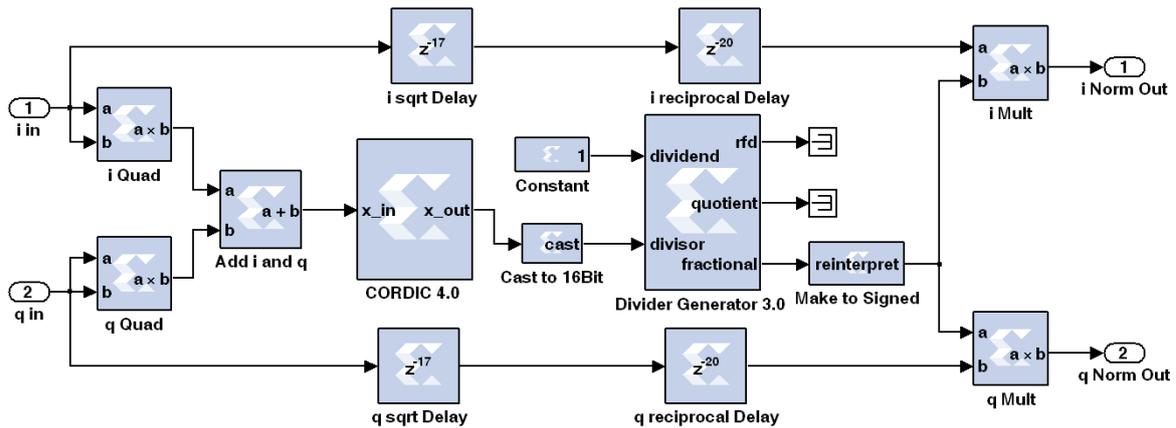


Abbildung 4.2: Simulinkmodell zur Normierung der Amplitude

werden. Die Kehrwertbildung geschieht mit dem Divider Generator 3.0 von Xilinx. Auch hier müssen die ursprünglichen Signale wieder verzögert werden. Die Anzahl der Verzögerungstakte berechnet sich aus der Bitlänge des Dividenden plus die Bitlänge des Bruchanteils plus zwei extra Takte. Im Modell ist die Bitlänge des Divideneingangs auf zwei gesetzt worden und die Länge des Ausgangssignals soll, wie auch die originalen Signale, eine Länge von 16 Bit besitzen. Da das Ausgangssignal des Divider Generators vorzeichenlos ist, wird es mit einem reinterpret-Block zu einem vorzeichenbehafteten Signal gewandelt.

Die anschließende Multiplikation der Signale I und Q mit dem Kehrwert eliminiert Amplitudenschwankungen durch die Normierung der Amplitude auf einen konstanten Wert.

Bei Vollaussteuerung des ADUs wird das analoge Eingangssignal mit der vollen Auflösung von 16 Bit digitalisiert. Die maximale Amplitude erreicht dabei einen Wert von ± 32767 (2^{15} , ein Bit ist für das Vorzeichen). Eine kleinere Eingangsspannung bedeutet eine geringere Auflösung, was wiederum die Amplitude des digitalisierten Signals verkleinert. Die Simulation erfolgt mit einem einfachen 1 kHz Sinus für das I-Signal und mit einem um 90° verschobenen Sinus, also ein Kosinus, für das Q-Signal. Das Modell (Anhang {2}) wird mit unterschiedlichen Amplitudenwerten simuliert. In Tabelle 4.1 sind die Simulationsergebnisse gelistet.

Zu den jeweiligen Amplitudenwerten der Eingangssignale wurden die Amplituden der normierten Signale erfasst. Es ist zu erkennen, dass es leichte Schwankungen in der normierten Amplitude gibt. Besonders bei größeren Amplituden sinkt der normierte Betrag bis auf 0,7. Die normierten Signale haben hingegen zu kleineren Amplituden einen konstanten Betrag von Eins. Zudem ist noch zu vermerken, dass selbst bei einer Dämpfung von 99,8% eine erfolgreiche Normierung der Signale stattfindet. Eingangssignale mit der geforderten Auflösung von mindestens 8 Bit (Abschnitt 3.8) können somit auf eine konstante Amplitude gebracht werden.

Für den letzten Test des Modells werden die I- und Q-Signale des DDC-Cores verwendet. Es soll so sichergestellt werden, dass die Signale auch bei eventuellen Ungenauigkeiten, wie

Dämpfung der Maximalamplitude in %	Amplitude der Eingangssignale	Betrag der normierten Amplituden
0	32768	1
10	29491	0,9
20	26491	0,8
30	22938	0,7
40	19661	0,9
50	16384	1
60	13107	1
70	9830	0,9
80	6554	1
90	3277	1
95	1638	1
99	328	1
99,8	66	1

Tabelle 4.1: Simulationsergebnisse der Amplitudennormierung

z. B. keine exakte Phasenverschiebung von 90° , normiert werden. Ein Sinussignal mit einer Frequenz von 10,01 MHz wird dem DDC-Core als Eingangssignal bereitgestellt. Nach der Digital Down Conversion besitzen die Quadratur-signale nur noch eine Frequenz von 10 kHz und werden der Amplitudennormierung übergeben. Um einen direkten Vergleich zu den normierten Signalen der Sinusgeneratoren zu erhalten, werden die Quadratur-signale mit den gleichen Amplituden normiert. Eine grafische Darstellung der Ergebnisse ist in Abbildung 4.3 zu finden.

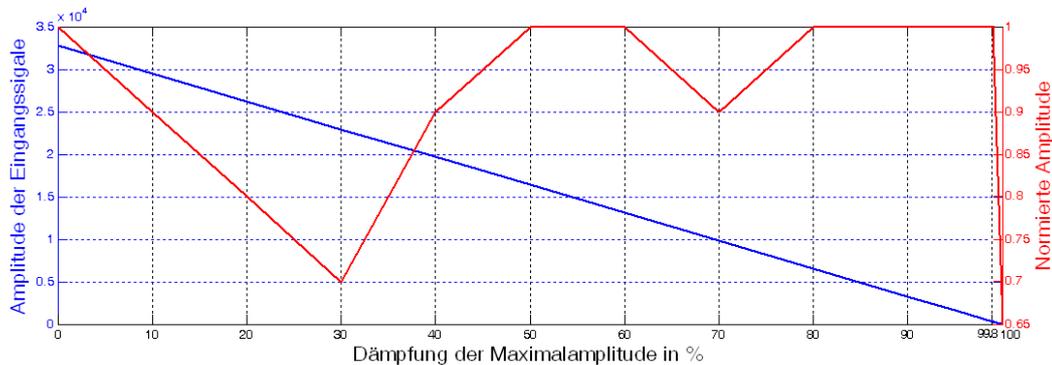


Abbildung 4.3: Diagramm der Simulationsergebnisse zur Amplitudennormierung mit den Quadratursignalen

Der Vergleich mit der Tabelle 4.1 zeigt, dass es keine, bzw. vernachlässigbar kleine, Abweichungen gibt. Die Amplitudennormierung der beiden Signale I und Q ist damit sichergestellt.

4.3 FM-Demodulation

Die Information des Eingangssignals liegt in dessen Frequenz. Zur Gewinnung des Informationssignals muss das frequenzmodulierte Signal demoduliert werden. Hierzu kommt der aus Abschnitt 3.2 beschriebene Basisband-Verzögerungsdemodulator zum Einsatz. Das zugehörige Simulinkmodell ist der Abbildung 4.4 zu entnehmen.

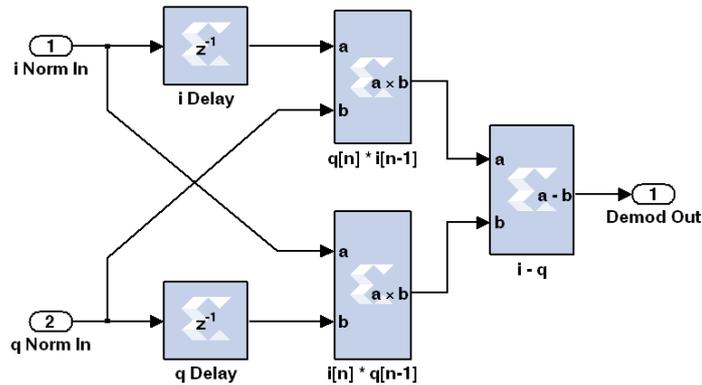


Abbildung 4.4: Simulinkmodell des FM-Demodulators

Für die Simulation des Demodulators werden die beiden frequenzmodulierten Signale I und Q benötigt. Ein einfacher 1 kHz Sinus wird auf eine Trägerfrequenz von 10 MHz frequenzmoduliert und dem Eingang des DDC-Cores bereitgestellt. Bei der Digital Down Conversion wird das FM-Signal wieder ins Basisband verschoben. Die anschließend normierten Quadratur-signale werden als Eingangssignale des FM-Demodulators verwendet. Das Eingangssignal und das demodulierte Signal sind in Abbildung 4.5 zu erkennen.

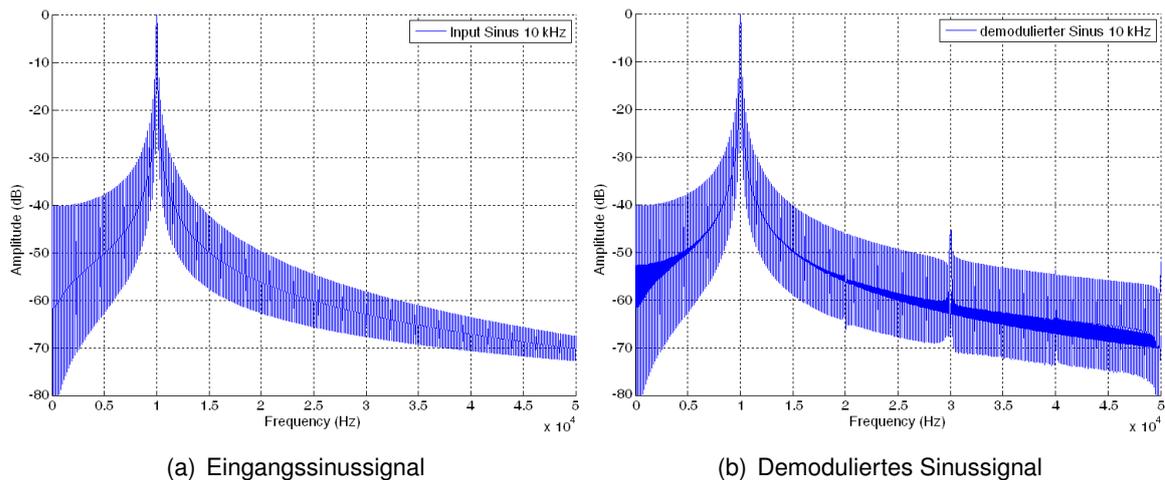


Abbildung 4.5: FM-Demodulation eines Sinussignals

Es ist zu sehen, dass beim demodulierten Sinussignal der Rauschanteil in höheren Frequenzen geringfügig größer ist als bei dem Eingangssinussignal. Eine weitere Simulation soll prüfen, ob die Demodulation eines breitbandigen Signals ebenso richtig erfolgt. Für die Simulation wird mit einem Simulinkmodell (Abbildung 4.6) ein Multiplex-Signal erzeugt, welches als breitbandiges Signal dienen soll.

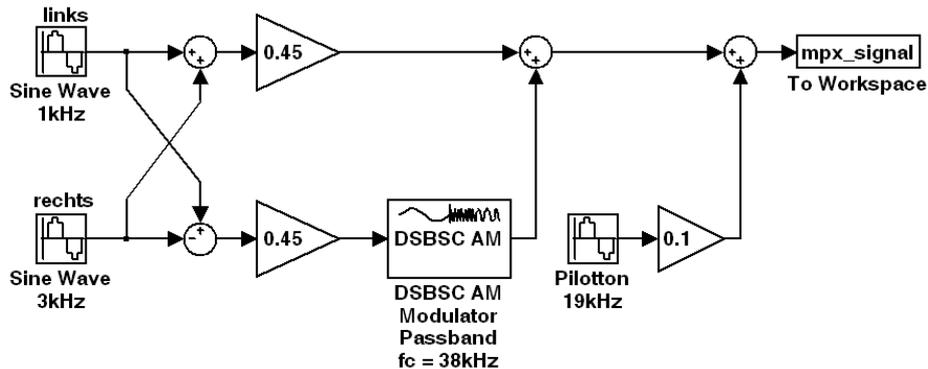


Abbildung 4.6: Simulinkmodell zur Erzeugung eines Multiplex-Signals

Als Audiosignale werden einfache Sinussignale verwendet. Dem linken Kanal wird ein 1 kHz Sinus zugeführt und dem rechten Kanal ein 3 kHz Sinus. Nachdem das Summations- und Differenz-Signal gebildet worden sind, wird dem Signal der Pilotton bei 19 kHz hinzugefügt. Das Spektrum des erzeugten Multiplex-Signals ist in Abbildung 4.7 dargestellt.

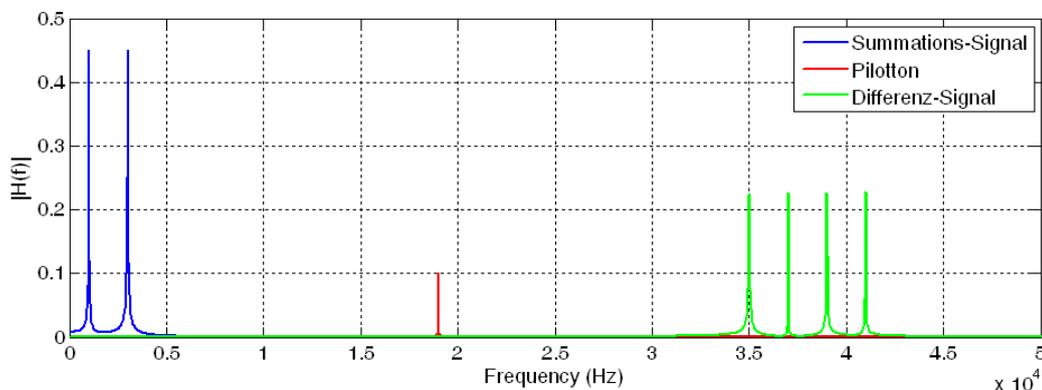


Abbildung 4.7: Spektrum vom erzeugten Multiplex-Signal

Bevor das Multiplex-Signal dem Demodulator zugeführt wird, muss es die vorige Signalverarbeitungsstrecke durchlaufen. Das heißt, es wird zuerst auf einen Träger von 10 MHz frequenzmoduliert. Nach Durchlaufen des DDC-Cores befindet sich das FM-Signal wieder im Basisband. Der FM-Demodulator erzeugt aus dem normierten Signal wieder das ursprüngliche Multiplex-Signal. Das Prozedere ist wichtig, weil bei der späteren Implementierung das

empfangende Funksignal auch die ganze Signalstrecke durchlaufen muss. Eventuelle Störungen in einem Verarbeitungsblock werden so in der Simulation schneller sichtbar.

Abbildung 4.8 zeigt das Spektrum des demodulierten Multiplex-Signals. Der Vergleich mit dem ursprünglichen Multiplex-Signal zeigt, dass die Spektrallinien des demodulierten Signals etwas kleiner sind. Zum einen kommt das durch den nicht 100%ig linearen Bereich des Arkus-Sinus und zum anderen durch eine andere Skalierung des Ausgangssignals des Demodulators. Die geringfügige Abschwächung des Signals kann jedoch vernachlässigt werden.

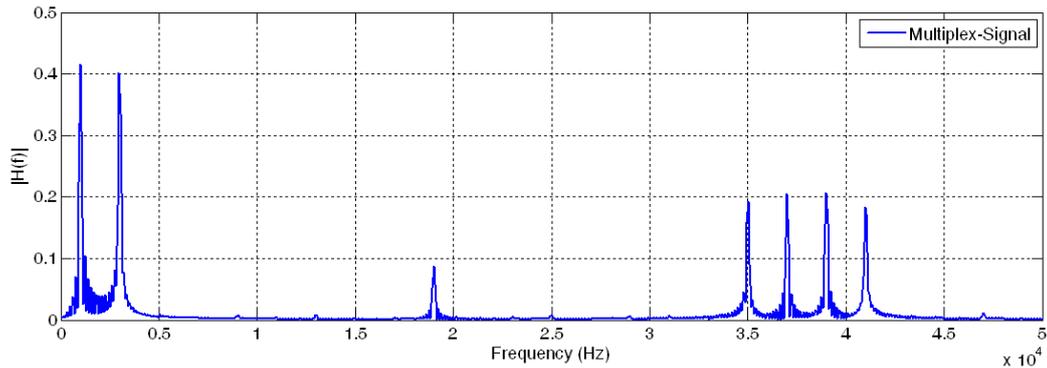


Abbildung 4.8: Spektrum des demodulierten Multiplex-Signals

4.4 De-Emphasis Filter

Im UKW-Rundfunk wird zur De-Emphasis des demodulierten Signals ein einfaches RC-Tiefpass mit der Zeitkonstante $\tau = R \cdot C = 50 \mu s$ verwendet. Da die gesamte Signalverarbeitung in digitaler Hardware vollzogen wird, ist der Einsatz eines analogen RC-Netzwerkes nicht möglich. Stattdessen wird ein äquivalentes digitales Filter verwendet, welches sich mittels bilinearer Transformation aus dem analogen RC-Tiefpass berechnen lässt.

In Abbildung 3.13 ist das RC-Netzwerk dargestellt. Die Übertragungsfunktion im Zeitbereich lautet dafür

$$H(j\omega) = \frac{\frac{1}{j\omega C}}{\frac{1}{j\omega C} + R} = \frac{\frac{1}{R \cdot C}}{\frac{1}{R \cdot C} + j\omega}$$

Im Frequenzbereich lässt diese sich wie folgt schreiben:

$$H(s) = H(j\omega)|_{j\omega=s} = \frac{\frac{1}{R \cdot C}}{\frac{1}{R \cdot C} + s} = \frac{\omega_g}{\omega_g + s} \quad \text{mit } \omega_g = \frac{1}{R \cdot C}$$

Der Frequenzgang eines analogen Filters erstreckt sich über alle Frequenzen von $f = -\infty$ bis $f = \infty$. Bei der bilinearen Transformation wird dieser nichtlinear auf den Bereich von $-\frac{f_s}{2} \leq f \leq \frac{f_s}{2}$ gestaucht. Dabei verschiebt sich auch die Grenzfrequenz des Filters. Durch Vorverzerrung (Pre-warping) wird die Kreisfrequenz ω_g an diesen Effekt angepasst.

$$\omega_{pre} = \frac{2}{T} \cdot \tan\left(\frac{\omega_g \cdot T}{2}\right)$$

Mit der Abtastzeit $T = \frac{1}{f_s} = \frac{1}{625 \text{ kHz}}$ und der Kreisfrequenz $\omega_g = \frac{1}{T}$ berechnet sich

$$\omega_g = \frac{2}{T} \cdot \tan\left(\frac{1}{50 \mu\text{s} \cdot 625 \text{ kHz} \cdot 2}\right) = \frac{2}{T} 0,01600136547$$

Mit der bilinearen Substitution von s durch $\frac{2}{T} \frac{(z-1)}{z+1}$ wird die Übertragungsfunktion des RC-Filters in die digitale Ebene transformiert.

$$H(z) = H(s) \Big|_{s=\frac{2}{T} \frac{(z-1)}{z+1}} = \frac{\frac{2}{T} 0,01600136547}{\frac{2}{T} 0,01600136547 + \frac{2}{T} \frac{(z-1)}{z+1}}$$

Umformung und anschließende Teilung durch die höchste Potenz, sowie die Normierung des ersten Nennerkoeffizienten auf den Wert 1, ergibt

$$H(z) = \frac{0,0157493543 (1 + z^{-1})}{1 - 0,9685612914 \cdot z^{-1}}$$

Mit der allgemeinen rekursiven Z-Übertragungsfunktion

$$H(z) = \frac{Y(z)}{X(z)} = \frac{b_0 + b_1 z^{-1}}{a_0 + a_1 z^{-1}}$$

ergeben sich die Filterkoeffizienten zu

$$a_0 = 1$$

$$a_1 = -0,9685612914$$

$$b_0 = 0,0157493543$$

$$b_1 = 0,0157493543$$

Die allgemeine Filterstruktur des äquivalenten digitalen Filters ist in Abbildung 4.9 gezeigt.

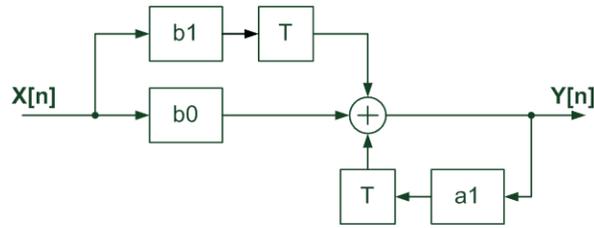
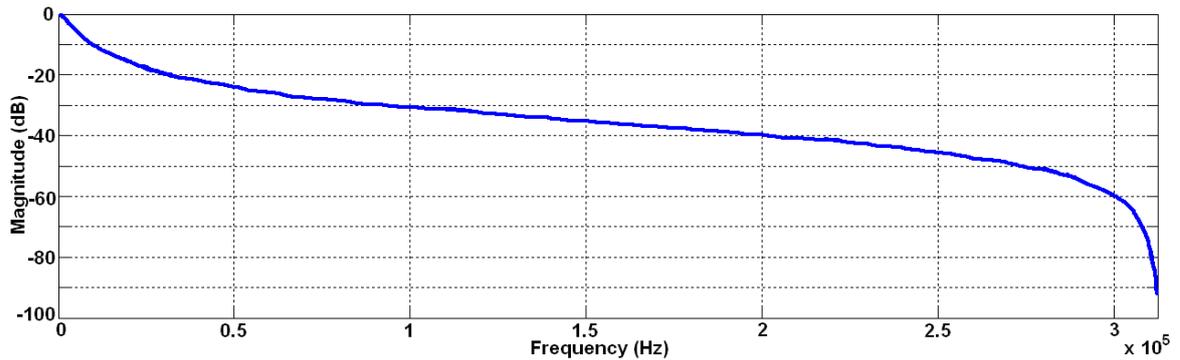
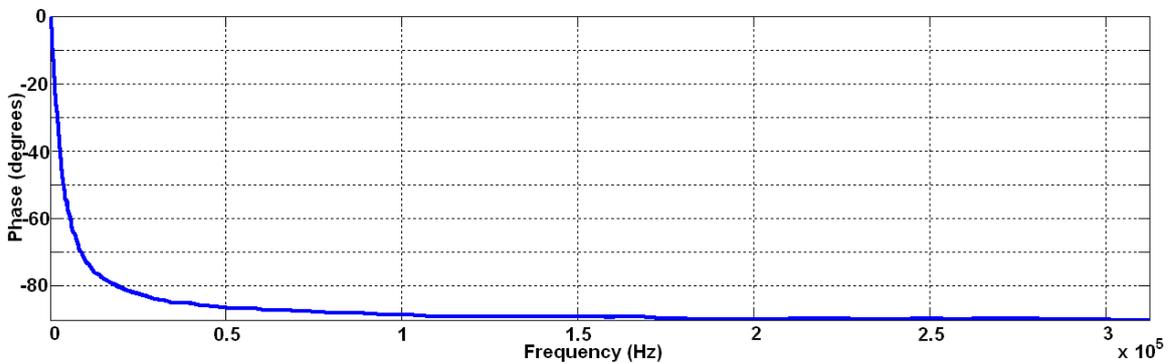


Abbildung 4.9: Allgemeine Filterstruktur des digitalen De-Emphasis Filters

Der mit MATLAB erzeugte Frequenzgang des Filters ist in Abbildung 4.10 dargestellt. Die obere Grafik zeigt den Amplitudengang und die Untere den Phasengang.



(a) Amplitudengang



(b) Phasengang

Abbildung 4.10: Gesamter Frequenzgang des digitalen De-Emphasis Filters

Die Betrachtung des Amplitudenganges im Frequenzbereich bis 10 kHz (Abbildung 4.11) zeigt, dass die Grenzfrequenz des digitalen Filters bei 3180 Hz liegt.

Es ist zu erkennen, dass niedrige Frequenzen keine bzw. nur eine niedrige Dämpfung erfahren. Erst die hohen Frequenzen werden stärker gedämpft. Der Amplitudengang stimmt mit der Analyse des De-Emphasis Filters aus Abschnitt 3.4 überein. Das aus den berechneten

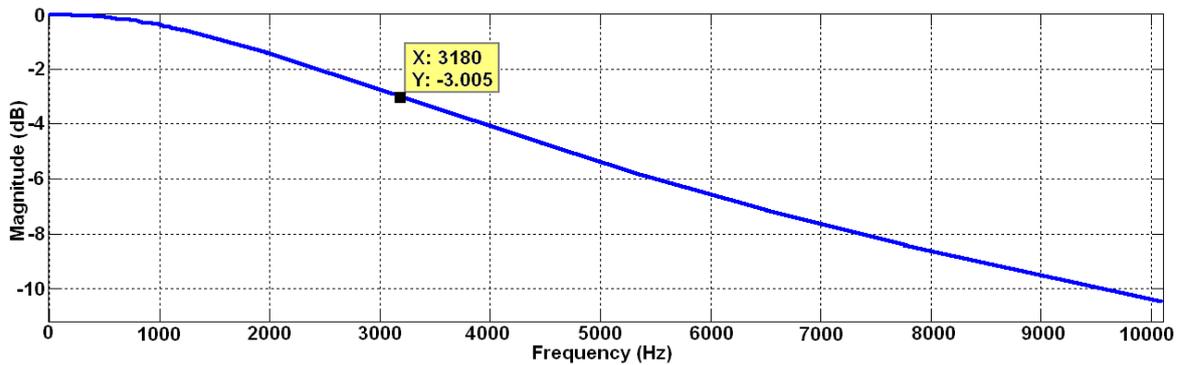


Abbildung 4.11: Frequenzausschnitt des Amplitudenganges vom De-Emphasis Filter

Filterkoeffizienten in Simulink erstellte Modell des De-Emphasis Filters ist in [Abbildung 4.12](#) zu betrachten.

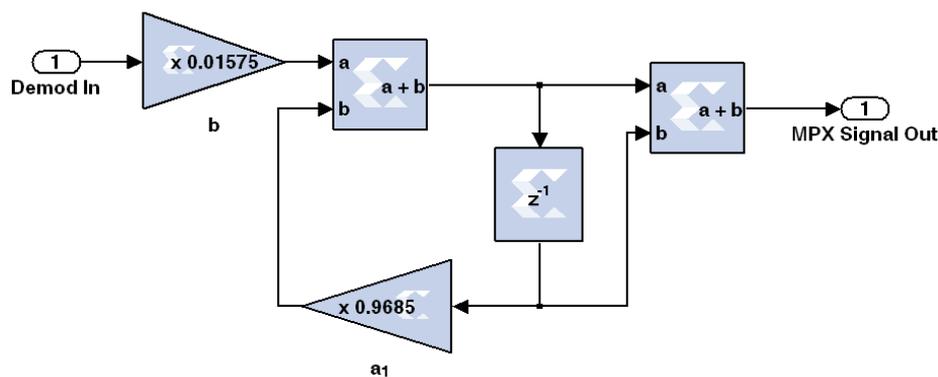


Abbildung 4.12: Simulinkmodell des De-Emphasis Filters

4.5 Schaltdecoder

Im Multiplex-Signal sind die Informationen für die beiden Audiosignale enthalten. Im Basisband bis 15 kHz ist das Summations-Signal, die Addition des linken und rechten Audiokanals, zu finden. Für die Wiedergabe von Mono-Audio, muss lediglich dieser Bereich mit einem Tiefpass herausgefiltert werden. Bei Stereowiedergabe ist mehr Aufwand erforderlich. In [Abschnitt 3.5](#) wurden zwei Lösungen für das Decodieren des Multiplex-Signals vorgestellt. Die Entscheidung fiel, wegen der Einsparung eines Filters bei der Implementierung, auf die Wahl des Schaltdecoders. [Abbildung 4.13](#) zeigt das dazugehörige Simulinkmodell.

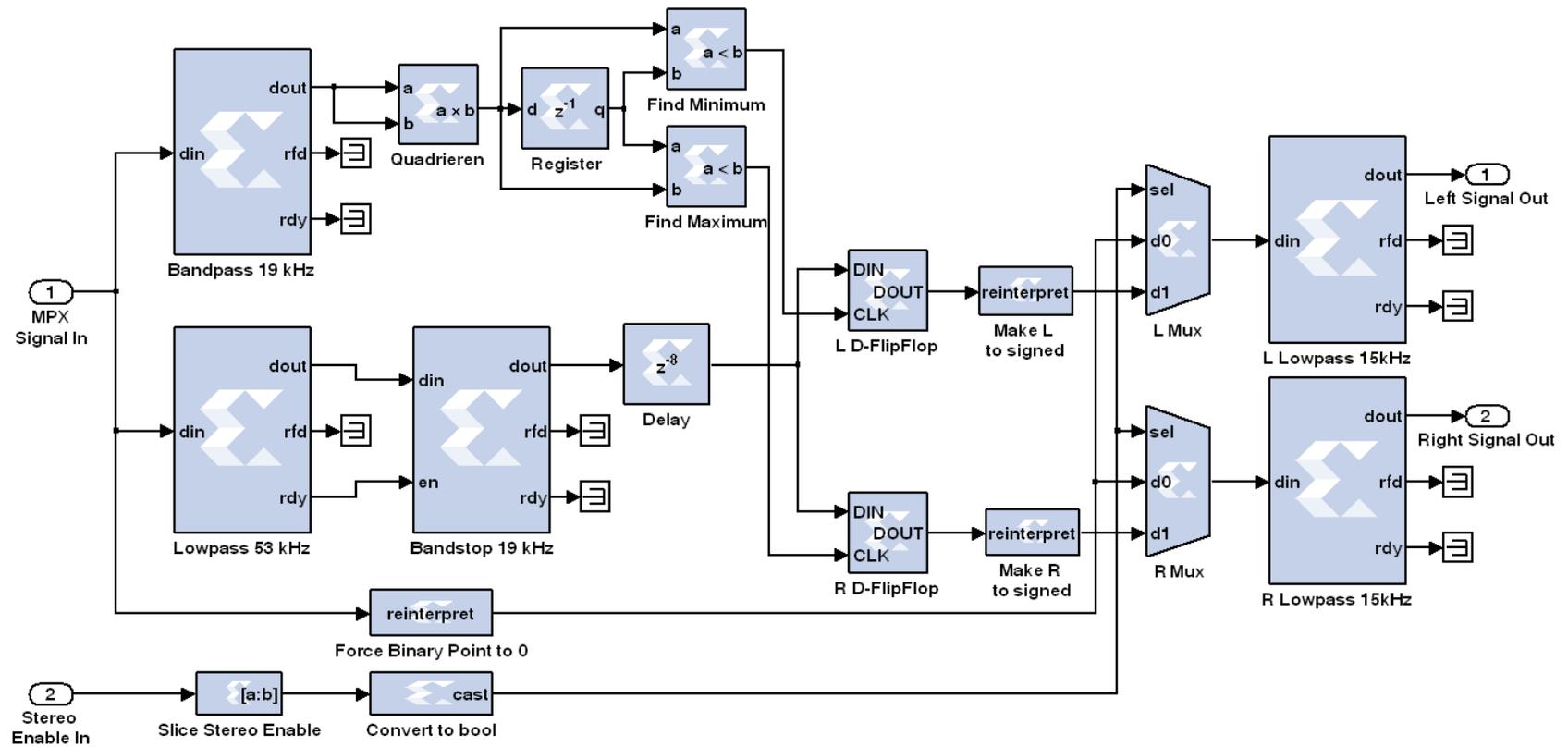


Abbildung 4.13: Simulinkmodell des Schaltdecoders

Der Schaltdecoder tastet zu dem Minima und Maxima des 38 kHz Hilfsträgers das Multiplex-Signal ab und erzeugt so das linke und rechte Audiosignal. Der Hilfsträger wird durch Quadrieren des 19 kHz Pilottons produziert. Zuvor muss der Pilotton mittels eines Bandpassfilters aus dem Multiplex-Signal selektiert werden. Die Multiplikation des Pilottons mit sich selbst erzeugt den Hilfsträger. Die Detektion der Extrema erfolgt mit zwei Vergleichen und einem Verzögerungsregister. Mit Hilfe der Abbildung 4.14 soll das Prinzip der Extremadetektion erklärt werden.

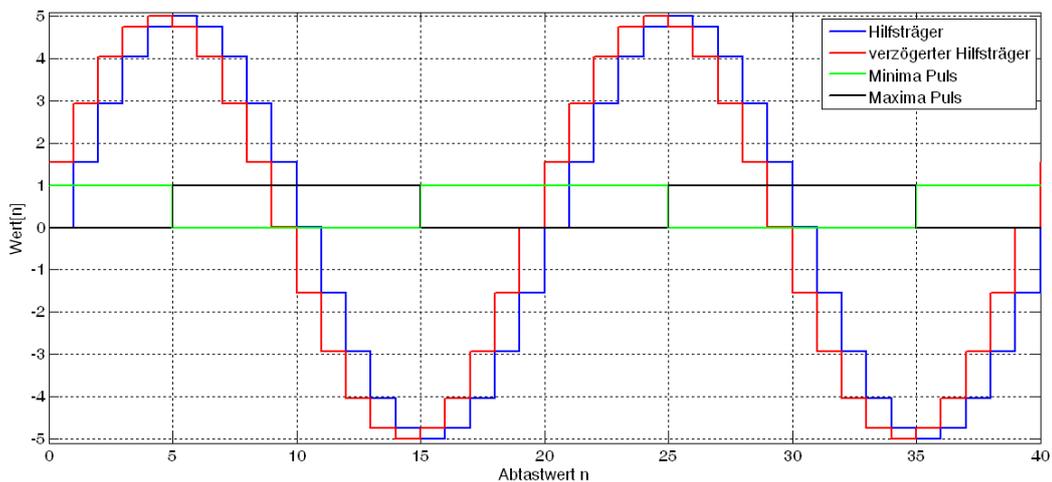


Abbildung 4.14: Detektion der Extrema des Hilfsträgers

Zuerst teilt sich das Signal in zwei Pfade auf, bei den einer den Hilfsträger um einen Abtasttakt verzögert. Anschließend werden die beiden Signale miteinander verglichen. Um das Minimum der Signalschwingung zu finden, wird geprüft, ob das nicht verzögerte Signal kleiner als das verzögerte Signal ist. Wenn dem so ist, wird das Ausgangssignal des Minima-Vergleichers auf high gesetzt. Dieses bleibt so lange aktiviert, wie auch die Bedingung *Hilfsträger < verzögerter Hilfsträger* zutrifft. Die Detektion des Maxima funktioniert genauso. Hier wird geprüft, ob der verzögerte Hilfsträger kleiner als der andere Hilfsträger ist. Die beiden Ausgangssignale der Vergleiche toggeln demnach den high-Status im Idealfall jede halbe Periode des 38 kHz Trägers. Sie werden zur Abtastung des Multiplex-Signal als Takteingang zweier D-Flipflops dienen.

Da bei der Abtastung nur das Summations- und Differenz-Signal vorhanden sein dürfen, müssen unerwünschte Signale aus dem MPX-Signal entfernt werden. Ein Tiefpass selektiert das Signal bis zur höchsten Frequenz des Differenz-Signals und unterdrückt so eventuell vorhandene Informationssignale auf höheren Frequenzen. Mit einem nachgeschalteten Bandstopfilter wird der Pilotton eliminiert. Die unterschiedlichen Laufzeiten der Filter führen zu einem Auseinanderlaufen des MPX- und Pilotton-Signals. Eine Verzögerung von 8 Takten sorgt dafür, dass das MPX-Signal zum richtigen Abtastwert abgetastet wird. Das präparierte MPX-Signal wird nun an die Eingänge der beiden D-Flipflops geführt. Wird im Flipflop eine steigende Flanke des Minima-Signals bzw. Maxima-Signals registriert, speichert es den am

Eingang befindenden Abtastwert des MPX-Signals, bis eine neue steigende Flanke detektiert wird.

Die beiden abgetasteten Signale beinhalten jetzt die Informationen des linken und rechten Audiosignals. Weil die Flipflops nur ein vorzeichenloses Signal als Ausgang besitzen, müssen die Audiosignale mittels eines reinterprete-Blocks in ein vorzeichenbehaftetes Signal gewandelt werden.

Ein Umschalten zwischen Mono- und Stereo-Audio ist mit einem Multiplexer je Audiokanal realisiert worden. Zuvor muss das MPX-Signal, welches zur Mono-Wiedergabe dienen soll, ins richtige Format gebracht werden. Dem Decoder wird das vorzeichenbehaftete Signal im Q15-Format³¹ zugeführt. Das Ausgangssignal soll eine 16-Bit Zahl ohne Nachkommastellen sein. Ein reinterprete-Block verschiebt den Binärpunkt zum niederwertigsten Bit, womit der Nachkommaanteil verschwindet. Durch ein Steuersignal wird der Multiplexer geschaltet und leitet so entweder das Stereo- oder das Mono-Signal weiter.

Das Tiefpassfilter in jedem Audiokanal ersetzt das Interpolationsfilter des AC97-Audio-Codecs, welcher bei der Implementation dem Decoder nachgeschaltet ist.

Die Dimensionierung der Filter erfolgt nach den in der Spezifikation (Abschnitt 3.8) festgelegten Filtercharakteristiken. Abbildung 4.15 zeigt die Amplitudengänge der im Schaltdecoder eingesetzten Filter.

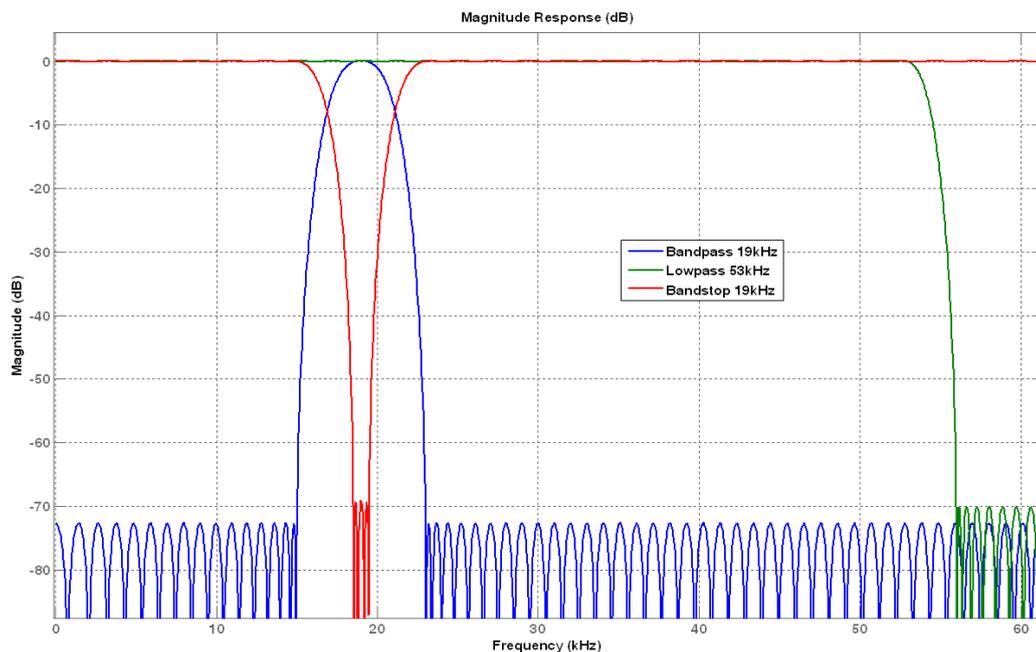


Abbildung 4.15: Amplitudengänge der Filter des Schaltdecoders

³¹Das Q-Format gibt Vor- und Nachkommastellen einer Binärzahl an. Beispielsweise besitzt eine Binärzahl im 2Q3-Format ein Vorzeichenbit, zwei Bits für den Ganzzanteil und drei Bits für die Nachkommastellen.

Für die Simulation wird das demodulierte Multiplex-Signal aus Abschnitt 4.3 verwendet. Die Simulation soll zeigen, ob der Schaltdecoder die beiden Audiokanäle (links 1 kHz, rechts 3 kHz) richtig voneinander trennen kann, um so die Wiedergabe von Stereo-Audio zu ermöglichen. Zuerst muss der Pilotton aus dem Multiplex-Signal selektiert werden. In Abbildung 4.16 ist zu erkennen, dass nach dem Bandpassfilter die Spektrallinien des Summations- und Differenz-Signals unterdrückt wurden. Hinzugekommen ist die Spektrallinie des 38 kHz Hilfsträgers, der zur Abtastung des Multiplex-Signals benötigt wird.

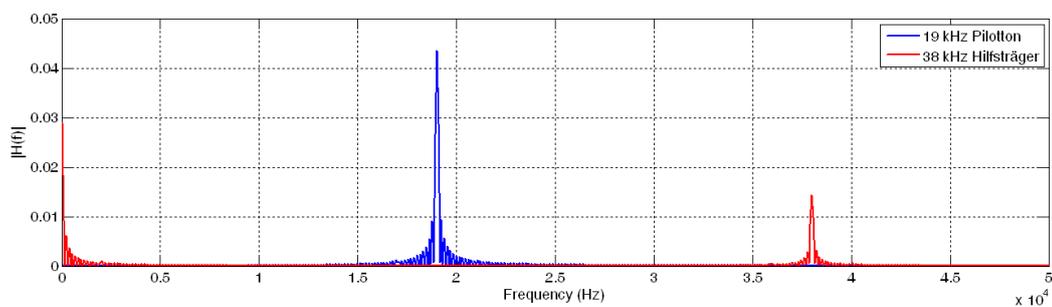


Abbildung 4.16: Spektrum vom gefilterten Pilotton und des Hilfsträgers

Der Gleichanteil des Hilfsträgers bei 0 Hz, welcher durch das Quadrieren entstanden ist, kann vernachlässigt werden, weil dieser keinen Einfluss auf die Erkennung der Extrema hat.

Die Analyse in Abschnitt 3.5 hat gezeigt, dass zur Gewinnung der beiden Audiokanäle das Multiplex-Signal jeweils zu den Minima und Maxima des Hilfsträgers abgetastet werden muss. Die Detektion der Extrema des 38 kHz Trägers und dieser selbst sind in Abbildung 4.17 zu betrachten.

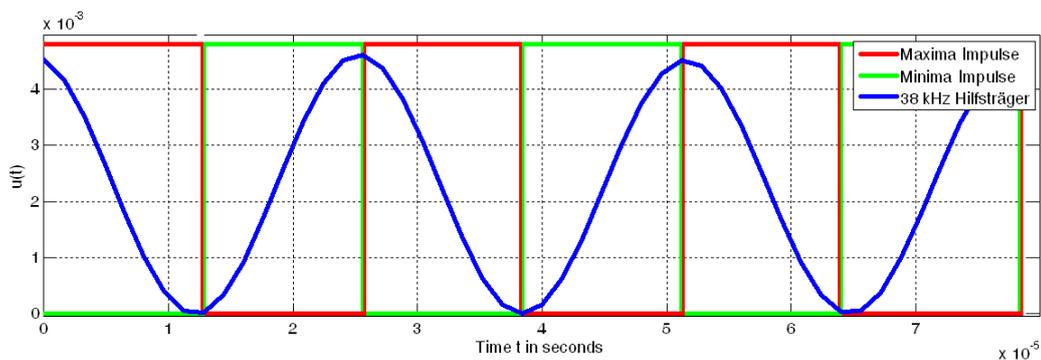


Abbildung 4.17: Detektion der Minima und Maxima des Hilfsträgers

Die Abtastung des Multiplex-Signals zu den Minima- und Maxima-Impulsen erzeugt die beiden Audiokanäle. Das Spektrum der decodierten Audiokanäle ist in Abbildung 4.18 zu betrachten.

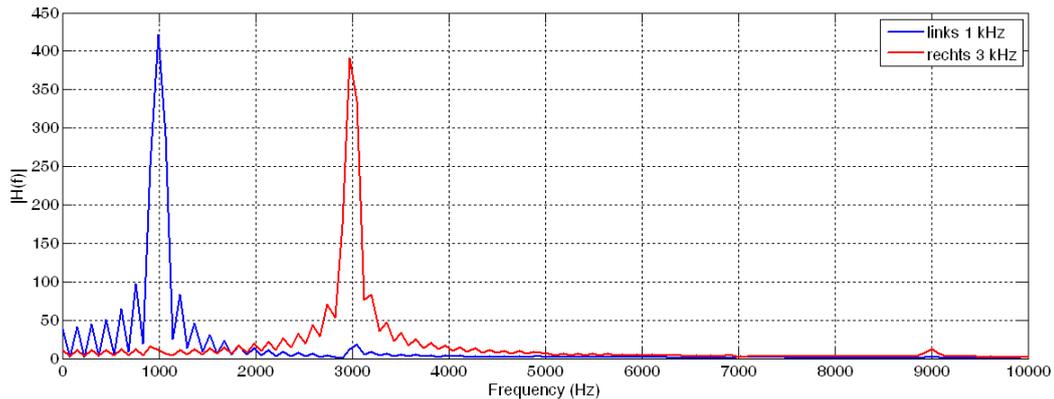


Abbildung 4.18: Decodiertes Stereo-Audiosignal

Die Simulation hat gezeigt, dass ein Decodieren des Multiplex-Signals mit einem Schaltdecoder möglich ist. Beide Audiokanäle wurden ordnungsgemäß voneinander getrennt, sodass die Wiedergabe von Stereo-Audio gegeben ist.

4.6 Speicherung der digitalen Daten

Ein Teil dieses Kapitel soll sich mit der Simulation der Datenspeicherung beschäftigen. Für Untersuchungen, Fehleranalysen oder für eine grafische Darstellung, sollen die Daten über Ethernet an einen Computer gesendet werden. Der Ethernet-Controller benötigt die Daten in einem Paket. Nun gibt es mehrere Möglichkeiten, die Daten zu bündeln und an den Controller zu übergeben. Eine ist zum Beispiel die Daten in Software zu speichern und dort zu bündeln. Dazu wird jeder Abtastwert über den PLB an die laufende Firmware im MicroBlaze gesendet. Bei einer hohen Abtastrate bedeutet dieses allerdings eine hohe Belastung des PLBs und des MicroBlazes.

Ein effizienterer Weg die Daten zusammen zufassen, ist diese in Hardware zu speichern und gemeinsam blockweise auszulesen. Bei dieser Methode wird der PLB nur kurzzeitig belastet. Die Speicherung der digitalen Abtastwerte findet in Shared Memorys statt. Da die Daten nur zur Analyse übertragen werden, ist eine Echtzeitübertragung nicht notwendig. Eine Übertragung soll erst stattfinden, wenn vom Computer bzw. dem Benutzer Daten angefordert werden. Wird eine Anfrage gestellt, werden eine bestimmte Anzahl von Daten zuerst in den Speicher geschrieben. Ist die Anzahl erreicht, liest die Firmware die Daten blockweise aus dem Speicher und übergibt diese dem Ethernet-Controller. In [Abbildung 4.19](#) ist eine Simulation gezeigt, die das Speichern der Daten in die Shared Memorys verdeutlichen soll. Für die Simulation wurden die Speicher mit einer Tiefe von 5 Bit initialisiert. Das bedeutet, es können 32 Werte gespeichert werden.

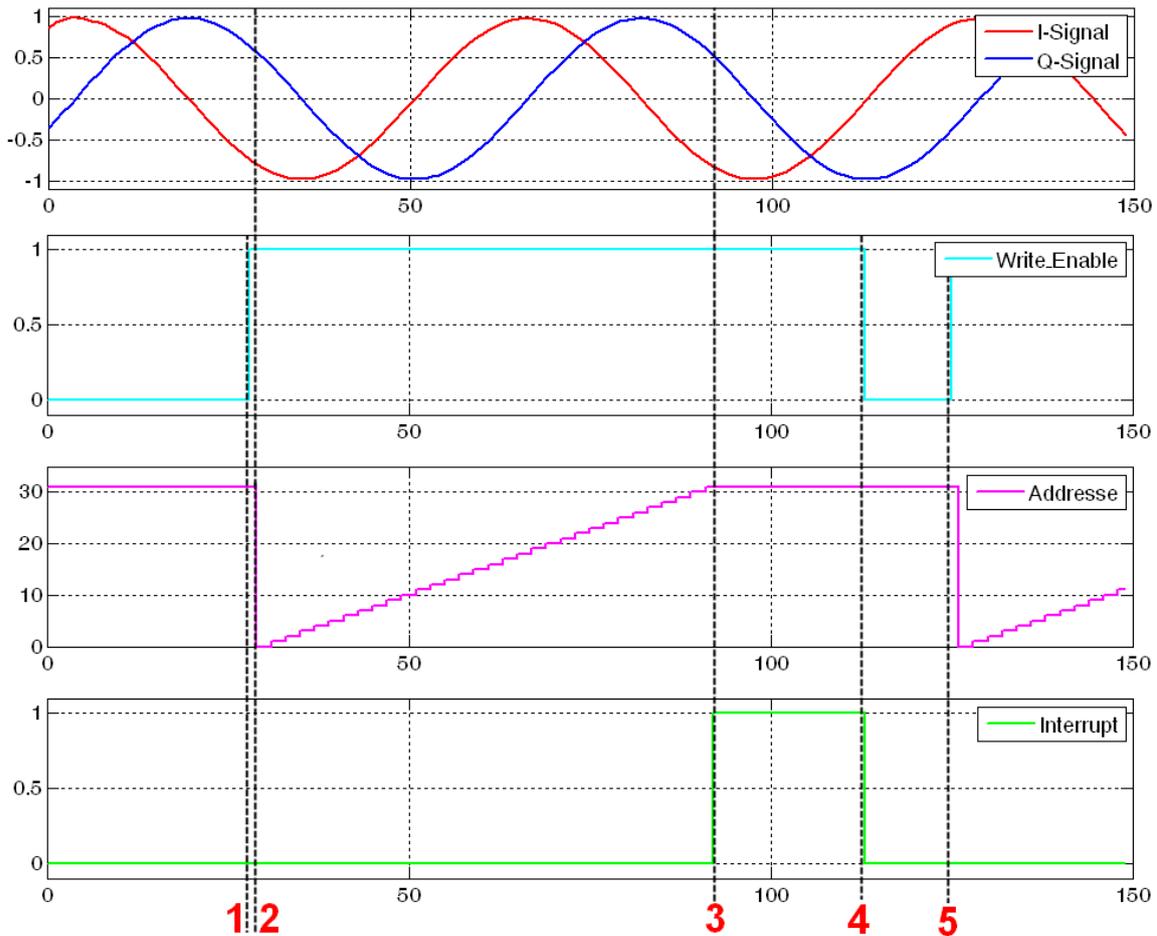


Abbildung 4.19: Simulation zur Speicherung der digitalen Daten

Im ersten Plot sind die beiden normierten Quadratursignale zu erkennen, welche gespeichert werden sollen. In der Darstellung darunter ist das Write_Enable-Signal zu finden. Dieses signalisiert eine Anfrage des Computers auf eine Übertragung. Im dritten Plot ist die Adresse des zu beschreibenden Speicherplatzes dargestellt und im letzten Plot ist der Interrupt, der beim Erreichen des Speicherlimits generiert wird, zu finden.

1. Der Computer fordert eine Übertragung der Daten an. Das Write_Enable-Signal wird auf Eins geschaltet und gibt so der Hardware zu erkennen, dass die Daten gespeichert werden sollen.
2. Einen Takt nachdem das Write_Enable-Signal gesetzt wurde, werden die Daten in die Shared Memorys abgespeichert. Zu jedem neuen Abtastwert ändert sich auch die Adresse des zu beschreibenden Speicherelements.
3. Nach Erreichen der oberen Speichergrenze wird ein Interrupt-Signal ausgelöst, wel-

ches der Firmware im MicroBlaze signalisiert, dass die Speicher voll sind und ausgelesen werden können.

4. Die Firmware erkennt den Interrupt und setzt zuerst das Write_Enable-Signal zurück. Anschließend liest diese den Speicher blockweise aus und übergibt die Daten dem Ethernet-Controller, der diese an den Computer überträgt.
5. Nachdem der Computer alle Daten empfangen hat, sendet dieser eine neue Anfrage für eine Datenübertragung und der ganze Ablauf beginnt wieder von neuem.

Das dazugehörige Simulinkmodell ist in Abbildung 4.20 zu finden.

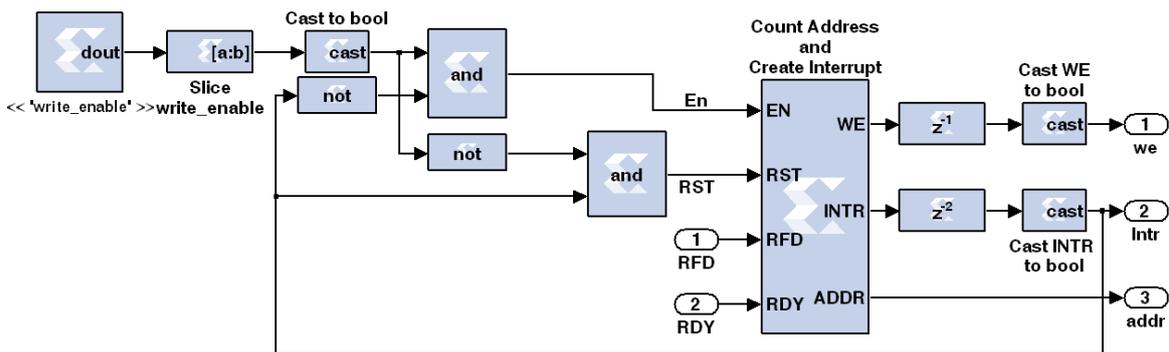


Abbildung 4.20: Simulinkmodell zur Erzeugung der Speicheradresse und Generierung des Interrupts

Das Besondere bei dieser Realisierung ist, dass erst neue Daten gespeichert werden können, wenn das Write_Enable-Signal einmal zurückgesetzt wurde. So wird sichergestellt, dass ein versehentliches Überschreiben der Daten verhindert wird. Zudem kann die Bitbreite der Adresse schnell geändert werden, um mehr oder weniger Daten in den Shared Memorys speichern zu können.

4.7 Zusammenfassung der Simulationen

Ziel der Simulationen war es, die angestellten Überlegungen aus dem Kapitel 'Analyse und Konzept', auf ihre Funktionalität zu prüfen. In Simulink wurden aus den in der Analyse gezeigten Schaltungen realisierbare Modelle erstellt. Damit eine Implementation der Modelle auf einem FPGA möglich ist, wurden diese ausschließlich mit Blöcken aus der System Generator Toolbox von Xilinx aufgebaut.

Die Simulation der Modelle erfolgte nacheinander, wie diese auch in der Signalverarbeitungsstrecke vorkommen, um realitätsnahe Ergebnisse zu erreichen. So wurde sichergestellt, dass die Modelle auch mit den Signalen der vorigen Signalverarbeitung ordnungsgemäß

funktionieren. Aufgrund der extrem langen Simulationszeit einiger Modelle, musste ein Abkommen zwischen Simulationszeit und Anzahl der Ergebnisse getroffen werden. Es wurden daher für die Simulationen stets Signale genommen, die die ordnungsgemäße Funktionalität des Modells schnell bestätigen.

Auf die Simulation des bestehenden DDC-Cores wurde in dieser Thesis verzichtet, da dieser bereits bei der Entwicklung ausreichend getestet wurde. Es wurden lediglich die in der Spezifikation erwähnten Änderungen am DDC-Core vorgenommen.

Das Modell zur Amplitudennormierung wurde mit verschiedenen Signalamplituden der Quadratursignale simuliert. Die Ergebnisse der Simulationen zeigen, dass auch in den normierten Amplituden leichte Schwankungen vorhanden sind. Solche Abweichungen wurden vor allem bei größeren Signalamplituden der Eingangssignale festgestellt. Kleinere Amplituden werden dagegen immer korrekt auf den Betrag Eins normiert. Selbst bei einer Dämpfung von 99,8% der Maximalamplitude sorgt das Modell noch für eine konstante Amplitude. Bei noch kleineren Amplituden treten hingegen im Signal zu große Störungen auf. Dennoch ist trotz geringer Amplitudenschwankungen eine Normierung der Signale I und Q ab einer Auflösung von 8 Bit gegeben.

Der FM-Demodulator wurde anhand von zwei Simulationen auf seine richtige Demodulation geprüft. Der erste Test erfolgte mit einem einfachen frequenzmodulierten Sinussignal, welches zuvor den DDC-Core und die Amplitudennormierung durchlaufen musste. Das Ergebnis ist ein geringfügig größeres Rauschen bei höheren Frequenzen, welches aber vernachlässigt werden kann. Für die zweite Simulation wurde ein Multiplex-Signal erzeugt, das dann frequenzmoduliert wurde. Nach Durchlaufen der vorigen Signalverarbeitung zeigt sich, dass der FM-Demodulator auch breitbandige FM-Signale vorschriftsmäßig demoduliert.

Für die De-Emphasis wird im europäischen Rundfunk ein einfaches RC-Netzwerk mit einer Zeitkonstanten $\tau = 50 \mu s$ eingesetzt. Es wurde daher mittels bilinearer Transformation ein äquivalentes digitales Filter entworfen, welches den gleichen Frequenzgang wie das analoge Netzwerk aufweist. Der mit MATLAB erstellte Amplitudengang des Filters zeigt, dass die Grenzfrequenz des digitalen Filters bei 3,18 kHz liegt. Eine Entzerrung des senderseitig verzerrten Signals ist somit durchführbar.

Die Trennung der Audiokanäle für die Wiedergabe von Stereo-Audio, wird mit einem Schaltdecoder erreicht. Dieser tastet zu den Extrema des 38 kHz Hilfsträgers das präparierte Multiplex-Signal ab. Die Detektion der Minima und Maxima erfolgt mittels eines Verzögerungsspeichers und zwei Vergleichern. Trotz des beim Quadrieren erzeugten Gleichanteils wird zu jedem Extrema ein Impuls generiert, welcher als Takt für das jeweilige Abtastflipflop dient.

Für die Simulation wurde das demodulierte Multiplex-Signal von der FM-Demodulation benutzt. Die Detektion der Minima und Maxima des Hilfsträgers funktioniert ohne Probleme. Jeweils zu den Extrema wechseln die Impulse ihren Zustand von Null auf Eins und umgekehrt. Das Multiplex-Signal teilt sich nach der Abtastung in zwei Kanäle auf. Der linke Kanal enthält das 1 kHz Sinussignal, welches bei der MPX-Signalerzeugung dem linken Audiokanal

zugeführt wurde. Der rechte Kanal enthält dementsprechend das rechte 3 kHz Audiosignal. Die Simulation hat gezeigt, dass eine Decodierung der Multiplex-Signale, welche bei der Stereo-Rundfunkübertragung gesendet werden, mit dem Schaltdecoder möglich ist. Die damit gewonnenen beiden Audiokanäle sind für eine Stereowiedergabe geeignet.

Zuletzt wurde ein Modell erstellt, welches für die Speicherung der Daten zuständig ist. Die Daten werden erst bei einer Anforderung des Computers in Shared Memorys gespeichert. Nach Erreichen der oberen Speichergrenze signalisiert ein Interrupt dem MicroBlaze, dass die Speicher ausgelesen werden können. Die Firmware liest die Daten blockweise aus den Speichern und übergibt diese dem Ethernet-Controller. Anschließend können neue Daten für eine Übertragung gespeichert werden.

Die Simulation der Modelle hat gezeigt, dass diese für den theoretischen Stereo-Rundfunkempfang geeignet sind. Durch den Aufbau mit Blöcken der System Generator Toolbox lassen sich die Modelle als IP-Core in ein Embedded System integrieren, um ihre Funktionalität in digitaler Hardware zu verifizieren.

5 Realisierung

Dieses Kapitel der Thesis befasst sich mit der Realisation des in der Spezifikation (Abschnitt 3.8) beschriebenen Systems. Die in MATLAB-Simulink erstellten Modelle werden als IP-Core in ein Embedded System eingebunden, für welches eine Firmware erstellt und aufgesetzt wird. Zur Vervollständigung der Signalverarbeitungsstrecke wird das VHF-2 Bandpassfilter des analogen Frontends entworfen und realisiert.

5.1 UKW_Decoder-IP-Core

Im vorigen Kapitel 4 sind die Modelle der Signalstrecke erstellt und durch Simulationen verifiziert worden. Für die Einbindung in das zu realisierende System, müssen diese zu einem Modell zusammengefasst werden, welches dann mit dem *System-Generator* aus der Xilinx Toolbox zu einem User-IP-Core, dem *UKW_Decoder-Core*, generiert wird. Eine schematische Übersicht des Cores ist in Abbildung 5.1 dargestellt.

Zur späteren Übertragung der Daten an einen Computer, werden Shared Memory Blöcke mit in das Modell eingebunden, die zur Zwischenspeicherung der Signaldaten dienen. Die Erzeugung der Speicheradresse geschieht mit dem Simulinkmodell aus Abschnitt 4.6. Selbiges erzeugt auch den Interrupt, welcher der Firmware mitteilt, dass die Daten aus den gemeinsamen Speichern ausgelesen werden können. Gemeinsame Register sollen der Firmware den Zugriff auf den Core und somit die Steuerung ermöglichen. Dazu gehören u. a. die Einstellung der DDS-Frequenz, sowie das Aktivieren bzw. Deaktivieren von beispielsweise der Stereo-Decodierung. Die Übergabe der Daten vom UKW_Decoder-Core zum AC97-Audio-Codec erfolgt ebenfalls über Register. Mit einer Abtastrate von 625 kHz schreibt der Core die Audioabtwerte in die Register hinein. Der Audio-Codec selbst hat nur eine maximale Abtastrate von 48 kHz und liest dementsprechend in der Geschwindigkeit den jeweiligen Abtwert auf dem gemeinsamen Register aus. Alle anderen Werte werden vom Core einfach überschrieben. Eine extra modellseitige Reduzierung der Abtastrate für den linken und rechten Kanal ist daher nicht notwendig.

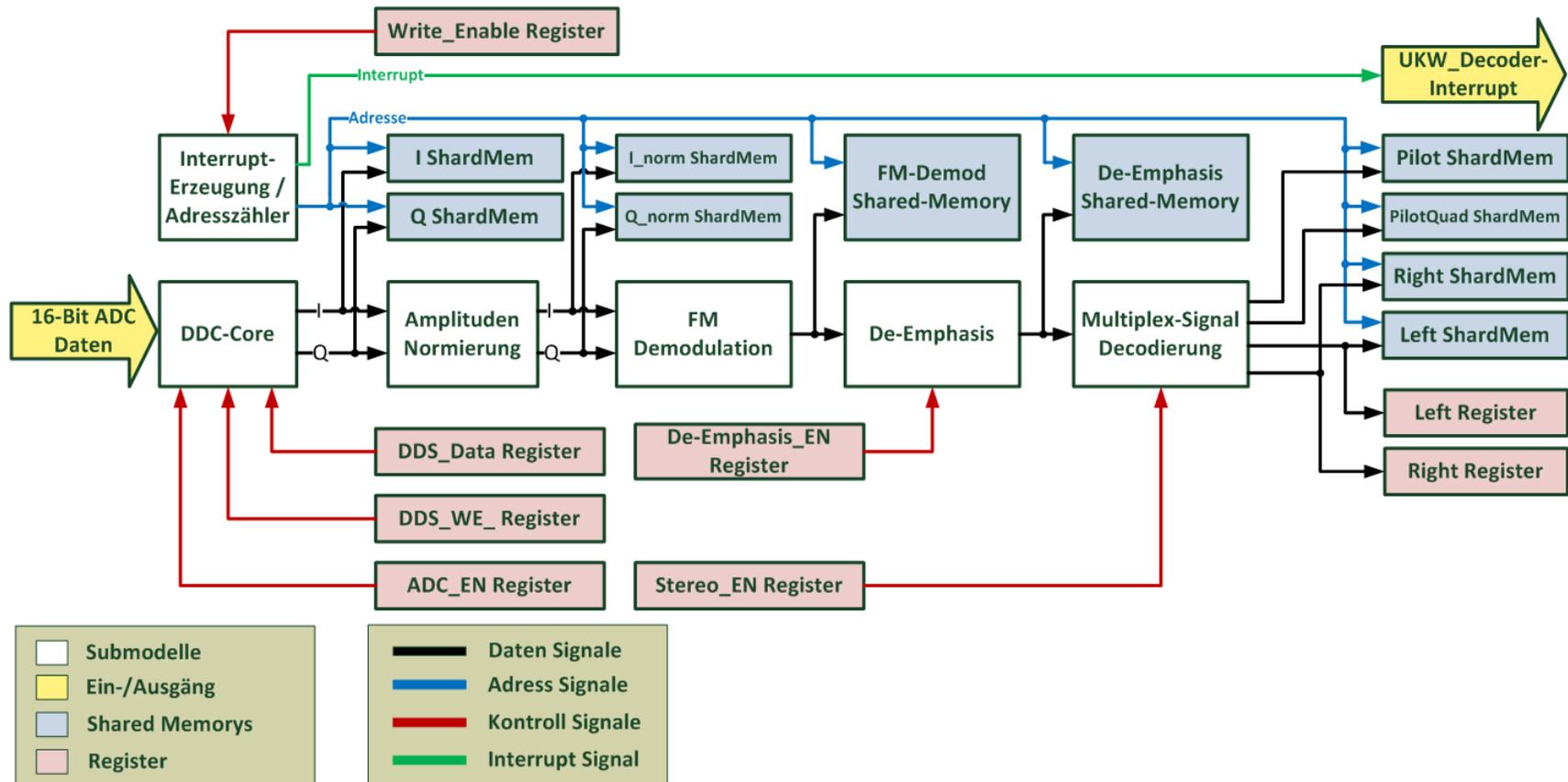


Abbildung 5.1: Übersicht des UKW_Decoder-Cores

Die Shared Memorys werden mit einer Tiefe von 11 Bit³² initialisiert. Das heißt, es werden 2048 Abtastwerte in den Speicher geschrieben, bis der Interrupt erzeugt wird. Bedingt durch die Abtastrate von 625 kHz werden nur $t = \frac{1}{625 \text{ kHz}} \cdot 2048 = 3,2768 \text{ ms}$ des Signals abgespeichert. Ein Blick auf die Filter-Kaskade des DDC-Cores (Abschnitt 4.1) zeigt, dass die maximal auftretende Frequenz 150 kHz beträgt. Mit einer Reduzierung der Abtastrate der zu speichernden Daten auf ein Minimum von 312,5 kHz, erfüllt diese weiterhin das Abtasttheorem und ermöglicht eine doppelt so lange Aufnahme des Zeitsignals. Die Abtastratenreduzierung erfolgt durch einfaches Abspeichern jedes zweiten Abtastwertes.

Für spätere Demonstrationen soll es möglich sein, die Auswirkung der De-Emphasis bei Rundfunksignalen zu zeigen. Das Filter soll daher softwaremäßig in die Signalverarbeitungsstrecke geschaltet oder aus dieser entfernt werden können. Über das Register *De-Emphasis_EN* wird ein Multiplexer gesteuert, welcher entweder das demodulierte und entzerrte Signal weiterleitet oder nur das demodulierte.

Aus dem fertigen Modell wird mit dem *System-Generator* Tool der User-IP-Core generiert. Damit der Interruptausgang auch als Interrupt erkannt wird, muss der Port nachträglich in der mpd-Datei des Cores als Interrupt deklariert werden. Diese Änderung ist dem nachfolgenden Code Ausschnitt³³ zu entnehmen.

```
PORT ukw_intr = "", DIR = OUT, SIGIS=INTERRUPT, SENSITIVITY=LEVEL_HIGH
```

Die Simulinkmodelle des UKW_Decoder-Cores, die zur Simulation und Generierung des Cores erstellt wurden, sowie der generierte Core selbst, sind im Anhang {7} zu finden. Der fertige UKW_Decoder-Core ist nun bereit, um in ein Embedded System eingebunden zu werden.

5.2 Embedded System

Als Embedded Systeme werden jene Systeme bezeichnet, welche speziell für bestimmte Funktionen oder Anwendungen entwickelt wurden. Oft wird eine Kombination aus Hardware und Software eingesetzt, um eine möglichst große Flexibilität zu erreichen. Solch eine Kombination wird auch bei dieser Thesis zum Einsatz kommen. Jedoch wird sich dieser Abschnitt der Realisierung mit der Hardware des Embedded Systems im FPGA befassen.

Das Embedded System wird auf Basis eines MicroBlaze Soft-Processors erstellt. Zur Entwicklung eines solchen Systems stellt Xilinx ein EDK³⁴ zur Verfügung, mit welchem Embedded Systeme auf abstrakter Ebene entworfen werden können. Die Zusammensetzung

³²Höchst mögliche Bittiefe für die gemeinsamen Speicher. Für eine größere Tiefe reicht der Speicher der FPGA internen BlockRAMs nicht aus.

³³Ausschnitt aus der Datei *ukw_decoder_ip_plbw_v2_1_0.mpd*, welche im Anhang {7} zu finden ist.

³⁴Ist Teil der ISE Design Suite vom Xilinx.

des zu realisierenden Systems wurde in Abschnitt 3.8 beschrieben. Da sich das System aus vielen verschiedenen IP-Cores zusammensetzt, würde eine Beschreibung aller Cores den Umfang dieser Thesis überschreiten. Jedoch werden nachfolgend die wichtigsten eingebundenen Cores des Embedded Systems kurz erläutert. Für nähere Informationen des realisierten Embedded Systems wird auf das EDK-Projekt in Anhang {9} verwiesen.

- **MicroBlaze-Core:** Der Kern des Embedded Systems ist die MicroBlaze Soft-Core CPU. Der MicroBlaze (MB) besitzt zwei 128 kB große Caches³⁵, die im SRAM abgelegt sind. Auf dem Instruktionen-Cache greift der MB über die IXCL-Schnittstelle zu. Der Cache für Daten ist über den DXCL mit dem MB verbunden. Die Anbindung an den PLB erlaubt den Zugriff und die Kommunikation mit anderen am Bus befindenden Cores.
- **UKW_Decoder-Core:** Der *System-Generator* aus der Xilinx Toolbox generiert aus den zusammengefassten Simulinkmodellen (Digital Down Converter bis Schaltdecoder) den UKW_Decoder-Core, welcher für die Signalverarbeitung des Embedded Systems zuständig ist. Die Verbindung zum PLB erlaubt die Steuerung des Cores mit dem MicroBlaze. Über die UCF-Datei³⁶ wird die richtige Anbindung des ADUs mit dem Core sichergestellt.
- **Ethernet-Core:** Die Datenübertragung zum Computer erfolgt über Ethernet. Für diese Aufgabe ist der Ethernet-Core (TEMAC) als Hard-Core in das Embedded System eingebunden. Dieser arbeitet im Tri-Speed-Mode. Das bedeutet, dass der TEMAC Geschwindigkeiten von 10 MBit/s, 100 MBit/s und auch 1000 MBit/s unterstützt. Im Rx-FIFO werden empfangende Ethernet-Pakete zwischengespeichert, bis diese über den DMA-Zugriff direkt ins RAM übertragen werden. Zu sendende Pakete werden dementsprechend vom RAM ins Tx-FIFO übergeben. Damit der MicroBlaze auf empfangende Pakete reagiert, ist eine Verbindung zum Interrupt-Controller hergestellt. Der softwareseitige Zugriff auf den TEMAC wird durch die Xilinx Treiberbibliothek *litemac_v3_00_a* ermöglicht.
- **GPIO-Core:** Zu den General Purpose Inputs/Outputs zählen u. a. die LEDs, Taster, DIP-Schalter und Drehgeber des ML507-Boards. Über die Treiberbibliothek *gpio_v3_00_a* kann die Software den Status des jeweiligen GPIO-Cores abgefragt oder verändert werden.
- **AC97-Core:** Der Zugriff auf den AC97-Audio-Codec erfolgt mit dem AC97-Core. Dieser ist nicht als Standard-Core verfügbar und muss daher als User-IP-Core eingebunden werden. Die richtigen Verbindungen vom FPGA zum Audio-Codec werden in der UCF-Datei definiert. Der Core ermöglicht die Steuerung des Codecs und erlaubt das Ein- und Auslesen von Audiodaten. Die beiden vom UKW_Decoder-Core kommenden

³⁵Ist ein Zwischenspeicher für den schnellen Zugriff auf Daten oder Befehle.

³⁶In der UCF-Datei werden die Verbindungen logischer Ports zu physikalischen Pins der Hardware definiert.

Audiokanäle werden dem AC97-Core übergeben, der für eine Wiedergabe der Stereo-Kanäle sorgt. Durch vorgefertigte Treiber kann die Software des MicroBlazes auf die Funktionen des Codecs zugreifen.

- **DCM-Core:** Der Digital Clock Manager erzeugt durch Multiplikation und Division des Referenztaktes einen benutzerdefinierten Ausgangstakt. Der Eingangstakt des DCM-Cores beträgt 100 MHz. Durch Multiplikation um Faktor 4 und Division durch 5 wird ein Ausgangstakt mit einer Frequenz von 80 MHz erzeugt. Dieser wird als Taktsignal für den ADU verwendet. In der UCF-Datei wird festgelegt, an welchen Ausgang der Takt abzugreifen ist.
- **LCD-Core:** Dieser User-IP-Core stellt den Zugriff auf das LCD sicher. Die richtigen Pins des LCDs werden in der UCF-Datei eingetragen, um eine korrekte Verdrahtung zwischen FPGA und LCD zu erreichen. Auf dem Display werden Informationen, wie die zu empfangende Frequenz, angezeigt. Vorhandene Treiber werden für die Initialisierung und Verwendung des Displays benutzt.

Die Synthese des realisierten Embedded Systems verlief ohne Fehler, sodass im nächsten Schritt eine benutzerdefinierte Firmware auf das Embedded System entwickelt wird. Das EDK-Projekt mit dem erstellten Embedded Systems ist im Anhang {9} zu finden.

5.3 Firmware

Ein Teil dieses Kapitels und der Realisierung ist der Entwurf einer Firmware für das im vorigen Abschnitt 5.2 erstellte Embedded System. Die Firmware wird in der Programmiersprache C geschrieben und ist speziell für das zu realisierende System entwickelt worden.

Für alle eingebundenen Standard IP-Cores sind Treiberbibliotheken von Xilinx verfügbar, die für die Entwicklung der Firmware herangezogen werden. Die User-IP-Cores, außer der UKW_Decoder-Core, bringen ebenfalls Treiber mit, sodass für diese keine geschrieben werden müssen. Der aus den Simulinkmodellen generierte UKW_Decoder-Core besitzt keinen Treiber. Eine explizite Treiberentwicklung soll aber nicht Teil dieser Thesis werden. Die Register des Cores werden daher direkt angesprochen.

Der Ablauf der Firmware folgt einem einfachen Prinzip. Zum Start des Systems werden alle Cores initialisiert, bevor das System bereit für Eingaben oder andere Interaktionen ist. Abbildung 5.2 zeigt das Ablaufdiagramm der Firmware.

Der erste Schritt, der nach dem Start vorgenommen wird, ist die Initialisierung der UART³⁷-Schnittstelle, um Statusmeldungen der nachfolgenden Initialisierungen an den Computer zu

³⁷Ein Standard für serielle Schnittstellen, oft RS-232, welche für das Senden und Empfangen von Daten je nur eine Leitung besitzen.

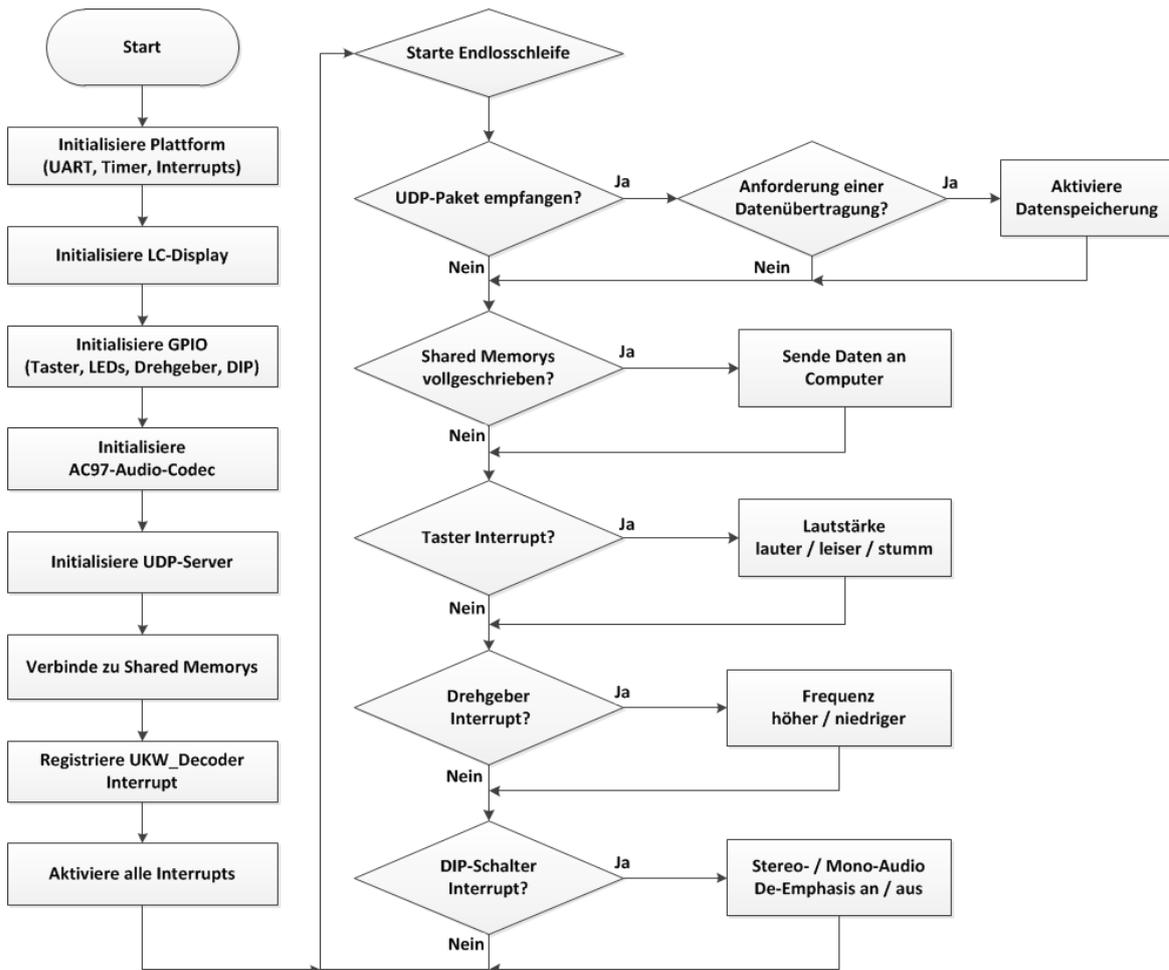


Abbildung 5.2: Ablaufdiagramm der aufgesetzten Firmware

übertragen. Erst danach erfolgt die Initialisierung der restlichen Cores. Die Reihenfolge spielt dabei keine Rolle. Allerdings ist darauf zu achten, dass die Interrupts erst zum Schluss aktiviert werden. Nachdem alle Cores initialisiert wurden, reagiert das System auf Interaktionen. Über Ethernet kann der Computer eine Datenübertragung anfordern. Ist dem so, wird das Register *Write_Enable* gesetzt und der UKW_Decoder-Core beginnt mit der Speicherung der Abtastwerte in die Shared Memorys. Sind diese vollgeschrieben, signalisiert der UKW_Decoder-Interrupt dieses der Firmware, welche daraufhin anfängt, die Daten aus den Speichern auszulesen, zu Paketen zusammenzufassen und dann an den Computer zu schicken. Die Datenübertragung erfolgt in 1 kB großen UDP-Paketen, in welchen je 32 Abtastdaten aus jeden Speicher vorhanden sind. Bei einer Speichertiefe von 11 Bit werden so, um alle 2048 Abtastwerte zu übertragen, 64 Pakete an den Computer gesendet. Erst nachdem alle Daten erfolgreich übertragen wurden, kann der Computer neue Daten anfordern.

Wird eine Eingabe der Taster, des Drehgebers oder der DIP-Schalter registriert, erzeugt der jeweilige GPIO-Core einem Interrupt. Die Firmware reagiert auf diesen und setzt ein

Flag, welches im Hauptprogramm abgefragt und die jeweilige Funktion abgearbeitet wird. Interrupts haben den Vorteil, dass Eingaben auch registriert werden, wenn das Programm sich gerade in einer anderen Funktion befindet.

Viele der verwendeten Treiber verfügen teils über vorgefertigte Testfunktionen. Diese wurden in die Firmware mit integriert, um zu prüfen, ob die Cores über ihre festgelegten Basisadressen ansprechbar sind und ggf. eine Fehlermeldung herausgeben. Die fertige Firmware (im SDK-Projekt in Anhang {9}) wird dem Embedded System aufgesetzt. Der Start der Software verläuft ohne Fehler, sodass das Embedded System bereit für den Einsatz mit realen Signalen ist.

5.4 VHF-2 Bandpassfilter

Als Teil des analogen Frontends soll in diesem Abschnitt das analoge VHF-2 Bandpassfilter realisiert werden. Dieses soll eine aliasingfreie Bandpassunterabtastung des VHF-2 Bandes mit $f_s = 80 \text{ MHz}$ ermöglichen.

5.4.1 Entwurf

In der Analyse aus Abschnitt 3.6 des analogen Frontends, wurde die Filtercharakteristik des Bandpasses beschrieben, welche theoretisch die Anforderung der aliasingfreien Unterabtastung entspricht. Abbildung 5.3 zeigt das Eingangsspektrum des Funksignals, gemessen mit der DVB-T Antenne OneForAll SV9360. Die interne 45 dB Verstärkung dieser Antenne wurde auf ihr Maximum gestellt. Es ist zu erkennen, dass die Spektralanteile bei den beiden Stoppfrequenzen $f_{stop1} = 72,5 \text{ MHz}$ und $f_{stop2} = 132 \text{ MHz}$ einen Störabstand von ca. 53 dB zum Maximum des VHF-2 Bandes besitzen. Für eine aliasingfreie Unterabtastung mit einem ADU SNR von ca. 75 dB [16], muss der Störabstand um mindestens 22 dB auf über 75 dB vergrößert werden.

Damit auch schwächere Sender mit einem möglichst großen Störabstand digitalisiert werden, soll die Sperrdämpfung des Bandpassfilters um weitere 10 dB auf 32 dB erhöht werden. Die Eingangs- und Ausgangswiderstände des Filters werden, bedingt durch den 50Ω Widerstand der Antenne und des ADU-Einganges, auch mit 50Ω dimensioniert.

Mit dem Programm *Filter Solutions 2012* von Nuhertz Technologies³⁸ wurde ein Bandpassfilter entworfen, welches mit der theoretischen Filtercharakteristik zu vereinbaren ist. Das Filter besitzt eine Tschebyscheff-Charakteristik³⁹ der fünften Ordnung und wurde als

³⁸Information zu und eine freie Testversion der Software sind unter <http://www.nuhertz.com/> zu finden.

³⁹Tschebyscheff-Filter besitzen eine steilere Filterflanke als Filter mit Butterworth-Charakteristik.

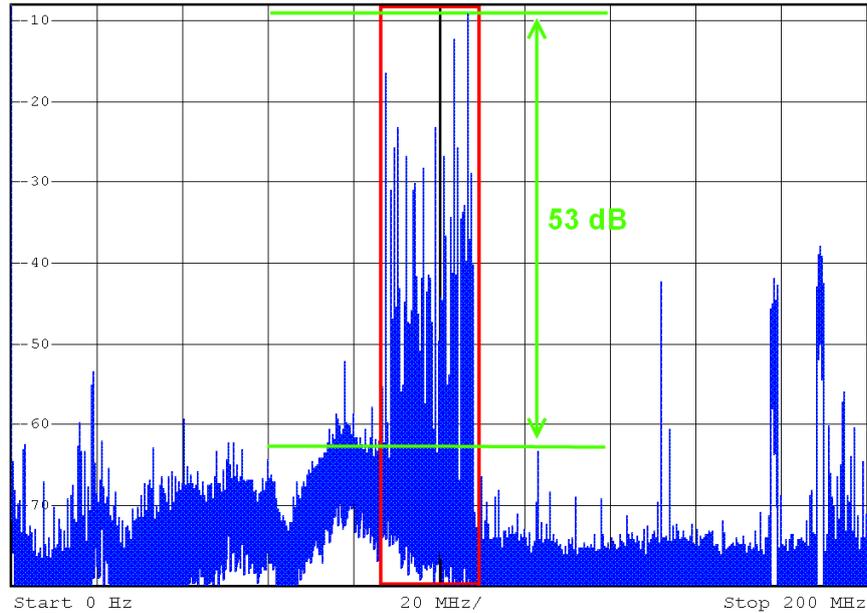


Abbildung 5.3: Störabstand des VHF-2 Bandes zum restlichen Spektrum

Lumped-Filter⁴⁰ ausgelegt, um es aus passiven Bauelementen aufbauen zu können. Der Abbildung 5.4 ist der Schaltplan des dimensionierten Bandpassfilters zu entnehmen.

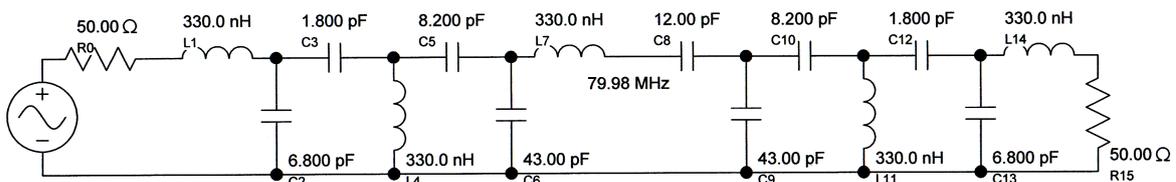


Abbildung 5.4: Schaltplan des mit *Filter Solutions 2012* entworfenen Bandpassfilters

Für den Aufbau des Filters sollen Standard-Bauteile verwendet werden. Daher wurde beim Entwurf des Filters eine Abweichung der Induktivitäten (L) und Kapazitäten (C) von maximal 5% angegeben. Abweichungen des Frequenzganges werden somit im Vorwege sichtbar. Abbildung 5.5 zeigt einen solchen Vergleich des idealen Filters zu dem mit den realen Bauteilen.

Es ist zu erkennen, dass der Amplitudengang (rot) mit der Abweichung nur gering von dem idealen Amplitudengang (blau) abweicht. Trotzdem befindet sich das komplette VHF-2 Spektrum im Durchlassbereich des Filters. Das kommt vor allem durch die außerhalb verschobenen Grenzfrequenzen $f_{pass1} \approx 85,5 \text{ MHz}$ und $f_{pass2} \approx 111,5 \text{ MHz}$. Diese kleine Verschiebung ist akzeptabel, da zu den Stoppfrequenzen f_{stop1} und f_{stop2} die benötigte Dämpfung von mindestens 32 dB erreicht wird. Beide Stoppfrequenzen liegen sogar darüber, so dass eine noch größere Störunterdrückung erreicht wird.

⁴⁰Ein passives Filter, welches aus passiven Bauelementen (R,L,C) aufgebaut ist.

Zur Vermessung des fertiggestellten Filters wurde der Vector Network Analyzer ZVR von Rohde&Schwarz eingesetzt. Dieser ermöglicht die Überprüfung, ob das aus realen Bauteilen aufgebaute Bandpassfilter mit den Eigenschaften der theoretischen Filtercharakteristik übereinstimmt. Der gemessene Amplitudengang, dargestellt in Abbildung 5.7, weist einige Abweichungen gegenüber der Theorie auf. Bedingt durch die Verschiebung des Amplitu-

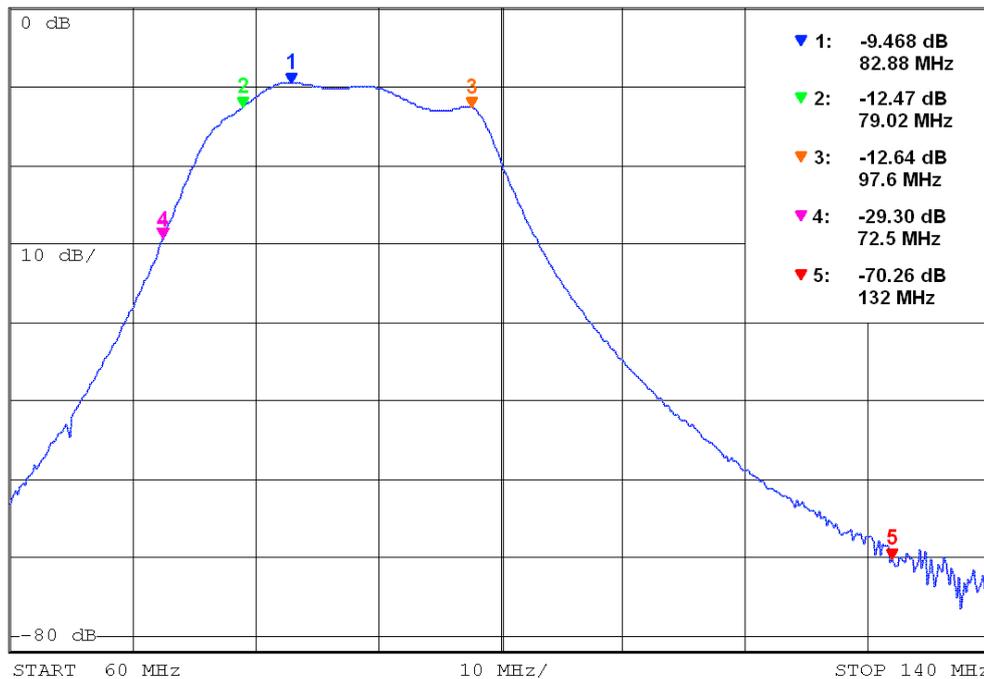


Abbildung 5.7: Gemessener Amplitudengang des realisierten VHF-2 Bandpassfilters

dengangs um ca. 10 MHz nach links, wird das VHF-2 Spektrum nur noch bis ca. 98 MHz heraus selektiert. Zudem besitzt das Filter eine Durchgangsdämpfung von rund 10 dB, so dass die Amplituden der Signale im Durchlassbereich stark verkleinert werden. Auch die minimale Dämpfung wurde für die untere Stoppfrequenz $f_{stop1} = 72,5 \text{ MHz}$ nicht erreicht. Diese liegt mit etwa 29 dB unter der geforderten Dämpfung. Hingegen wurde bei der oberen Stoppfrequenz $f_{stop2} = 132 \text{ MHz}$ die Dämpfung sogar um knapp 27 dB gesteigert. In Tabelle 5.1 sind nochmal alle geforderten, theoretischen und gemessenen Filtereigenschaften aufgelistet.

Diese Abweichungen sind nicht zu vernachlässigen, denn durch den verschobenen Durchlassbereich befinden sich in diesem nur noch knapp die Hälfte der Sender des VHF-2 Bereiches. Auch durch die große Dämpfung in diesem Bereich können schwächere Sender nicht mehr mit einer ausreichend hohen Auflösung digitalisiert werden, was bedeutet, dass diese nicht verarbeitet und wiedergegeben werden können. Der gewonnene Störabstand hängt von der Dämpfung im Durchlassbereich und der Stoppfrequenzen ab. Mit der gemessenen Dämpfung der unteren Stoppfrequenz von ca. 29 dB und der Durchlassdämpfung von ca. 10 dB errechnet sich der hinzugewonnene Störabstand auf etwa 19 dB. Wird dieser zu dem

	Gefordert	Theorie	Erreicht
Untere Grenzfrequenz:	87,5 MHz	85,5 MHz	79,02 MHz
Obere Grenzfrequenz:	108 MHz	111,5 MHz	97,6 MHz
Bandbreite:	20,5 MHz	26 MHz	18,58 MHz
Durchlassdämpfung:	< 15 dB	< 0,5 dB	9,468 dB
Dämpfung untere Stoppfrequenz:	> 32 dB	35,1428 dB	29,3 dB
Dämpfung obere Stoppfrequenz:	> 32 dB	42,7027 dB	70,26 dB

Tabelle 5.1: Geforderte, theoretische und erreichte Eigenschaften des Bandpassfilters

vorhandenen Störabstand von 53 dB hinzu addiert, ergibt das einen gesamten SNR von ca. 72 dB. Eine Überprüfung anhand realer Funksignale wird zeigen, ob das Filter diesen Störabstand erreicht.

5.4.3 Verifikation

Bevor das Filter in das zu realisierende System integriert wird, soll es mit realen Funksignalen getestet werden. Hinter der Antenne geschaltet, wird das Spektrum des empfangenden Funksignals erneut gemessen. Abbildung 5.8 stellt dieses dar.

Das Spektrum zeigt, dass der Störabstand zur höchsten Spektrallinie ca. 70 dB beträgt. Dieser erreicht zwar nicht die geforderten 75 dB, dennoch ist dieser zum Rundfunkempfang ausreichend. Außerdem ist zu erkennen, dass die oberen Spektralanteile des VHF-2 Bandes durch das Filter eine Dämpfung erfahren. Starke Sendersignale können jedoch bei ausreichend hoher Amplitude empfangen werden. Trotz einiger Abweichungen und des geringeren Störabstandes soll das Filter im analogen Frontend dieser Thesis zum Einsatz kommen. Als erster Prototyp reichen die Filtereigenschaften aus, um einige Sender aus dem VHF-2 Band zu empfangen und die Funktion des System zu demonstrieren.

5.5 Zusammenfassung der Realisierung

In den letzten beiden Kapiteln 3 und 4 wurden Lösungsmöglichkeiten analysiert und dann in simulierbaren Modellen aufgebaut. Simulationen dienten zur Bestätigung der korrekten Funktionalität der Modelle. Teil diesen Kapitels war die Realisierung des Rundfunkempfängers in digitaler Hardware. Die Modelle wurden zu einem großen Modell zusammengefasst und mit Shared Memory Blöcken erweitert. In diesem werden die Signaldaten zwischengespeichert, bis sie gemeinsam an einen Computer übertragen werden. Register ermöglichen die spätere Steuerung und Bedienung des UKW_Decoder-Cores. Zudem werden diese als Schnittstelle zwischen Core und Audio-Codec genutzt.

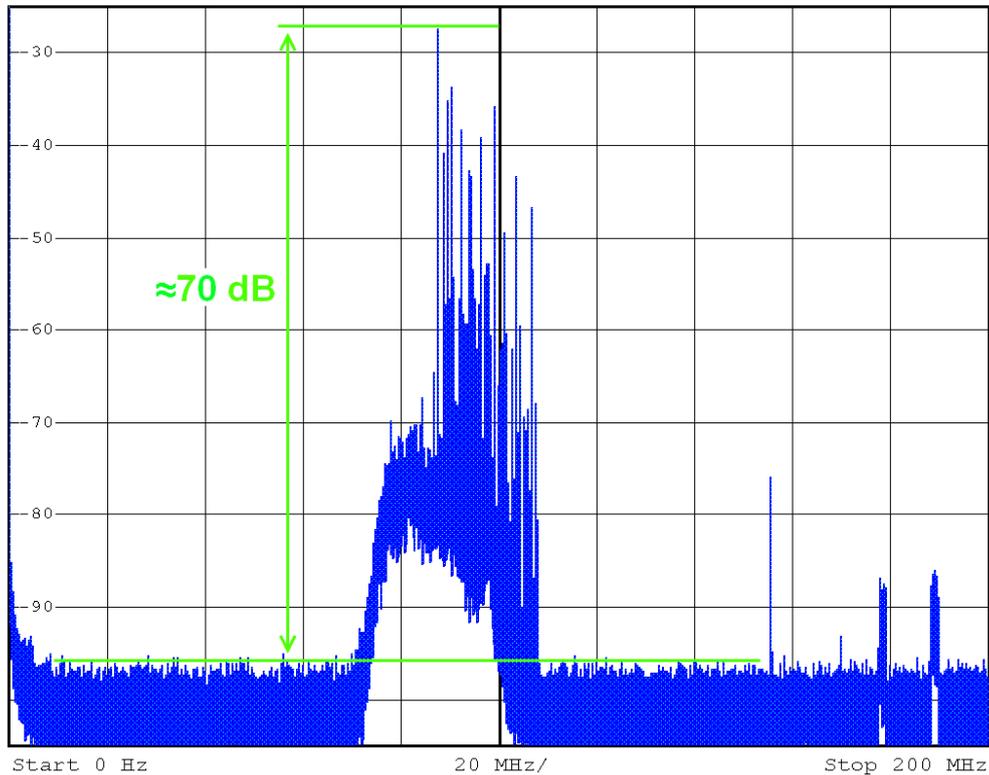


Abbildung 5.8: Funksignalspektrum gemessen mit VHF-2 Bandpassfilter

Der generierte Core wird mit anderen IP-Cores und dem EDK von Xilinx zu einem Embedded System zusammengesetzt. Als CPU steht dem System ein MicroBlaze Soft-Prozessor zur Verfügung. Nach der erfolgreichen Synthese des Embedded Systems erfolgte die Entwicklung einer Firmware. Testfunktionen der Core-Treiber wurden genutzt, um zu prüfen, ob die Cores über ihre zugewiesenen Basisadressen ansprechbar sind. Die Firmware initialisiert zudem die eingebundenen Cores und sorgt für die Interaktion des Systems mit dem Computer oder dem Benutzer. Durch den erfolgreichen Test der Firmware ist das System nun bereit für den Einsatz mit realen Signalen.

Zuvor soll an dieser Stelle gesagt werden, dass das EDK von Xilinx eine sehr umfangreiche Entwicklungsumgebung besitzt. Diese zu verstehen und sich einzuarbeiten, nahm viel Zeit in Anspruch, bevor überhaupt mit dem eigentlichen System angefangen werden konnte. Zudem benötigt die Synthese extrem viel Zeit (oft über eine Stunde), sodass eine schnelle Änderung der Hardwarekonfiguration erschwert wurde. Im gleichen Zuge soll auch erwähnt werden, dass die Erstellung der Firmware ebenso zeitintensiv war. Vor allem die Kommunikation zwischen Board und Computer mit Ethernet brachte oft unerwartete Probleme mit sich. Trotz vieler Schwierigkeiten ist ein funktionierendes System entstanden.

Bevor das System mit realen Funksignalen arbeiten kann, musste das analoge Frontend vervollständigt werden, um dem ADU bei der Unterabtastung des VHF-2 Bandes eine ali-

asingfreie Digitalisierung zu ermöglichen. Dazu wurde das im dritten Kapitel vorgestellte Bandpassfilter entworfen und realisiert. Das Filter ist mit der Software *Filter Solutions 2012* als Lumped-Filter 5. Ordnung mit einer Tschebyscheff-Charakteristik entworfen worden. Bei der Messung des realisierten Filters traten einige Abweichungen zur Theorie auf. Der Amplitudengang vom Filter hat sich verschoben, sodass nur noch das halbe VHF-2 Band selektiert wird. Trotz dieser Abweichung soll das Filter als erster Prototyp reichen und wird fortan im analogen Frontend eingesetzt.

Die Signalverarbeitung ist auf dem FPGA in einen Embedded System untergebracht, welche von einer entwickelten und aufgesetzten Firmware gesteuert wird. Mit der Realisierung des VHF-2 Bandpassfilters ist die Signalstrecke und somit das System als ganzes komplett. Der FM-Stereo-Rundfunkempfänger ist bereit, um im nächsten Schritt mit realen Signalen getestet zu werden.

6 Systemtest

Zur Verifikation des realisierten Systems soll ein kompletter Systemtest Teil dieser Thesis sein. Die einzelnen Signalverarbeitungsstufen werden anhand realer Signale aus einem Signalgenerator und mit empfangenden Sendersignalen getestet. Eventuelle Unterschiede zwischen den Simulationen und dem Betrieb mit echten Signalen sind zu zeigen. Zudem soll geprüft werden, ob die Wiedergabe von Stereo-Audio anhand der vom Sender gesendeten Multiplex-Signale möglich ist. Als erstes ist jedoch die fehlerfreie Datenübertragung zwischen der Entwicklungsplattform und dem Computer sicherzustellen.

6.1 Datenübertragung an MATLAB

Der Systemtest erfordert, dass die Signale der Signalstrecke untersucht werden können. Es ist daher notwendig die Daten an einen Computer zu übertragen und dort grafisch darzustellen. Für die Datenübertragung wurde auf dem Embedded System ein UDP-Server errichtet, der bei Anfrage eines Computers die Daten an diesen überträgt. Die Signaldaten der unterschiedlichen Verarbeitungsstufen werden vor der Übertragung zu einem 1 kB großen Paket zusammengefasst und gemeinsam gesendet. In jedem Paket befinden sich 32 Abtastwerte eines Signals. Bei einer Speichergröße von 2 kB pro Signal ist daher die Übermittlung von 64 Paketen notwendig, um alle Daten aus den Speichern zu übertragen.

Der erste Systemtest soll daher prüfen, ob MATLAB alle Pakete empfängt. Damit wird sichergestellt, dass bei den nachfolgenden Tests alle Daten erfolgreich zum Computer übertragen werden. Für die Verifizierung der Datenübertragung mittels UDP werden mit einem MATLAB Skript, welches dem Anhang {10} zu entnehmen ist, Daten vom Embedded System angefordert. Zur Identifikation der einzelnen Pakete wird denen vor der Übertragung ein Paketindex hinzugefügt. MATLAB wertet diese Nummer aus und kann so feststellen, ob alle Pakete in der richtigen Reihenfolge empfangen worden sind. Eine grafische Darstellung der Paketindizes über die empfangenden Pakete ist in Abbildung 6.1 zu sehen.

Es ist zu erkennen, dass nicht alle Pakete von MATLAB empfangen wurden. Mit dem Netzwerk Protokoll Analysator *Wireshark*⁴³ kann jedoch sichergestellt werden, dass das Board alle 64 UDP-Pakete an den Computer gesendet hat. Das Problem liegt daher bei MATLAB,

⁴³Programm zur Analyse von Netzwerkkommunikation. Weitere Informationen sowie Software unter <http://www.wireshark.org/>

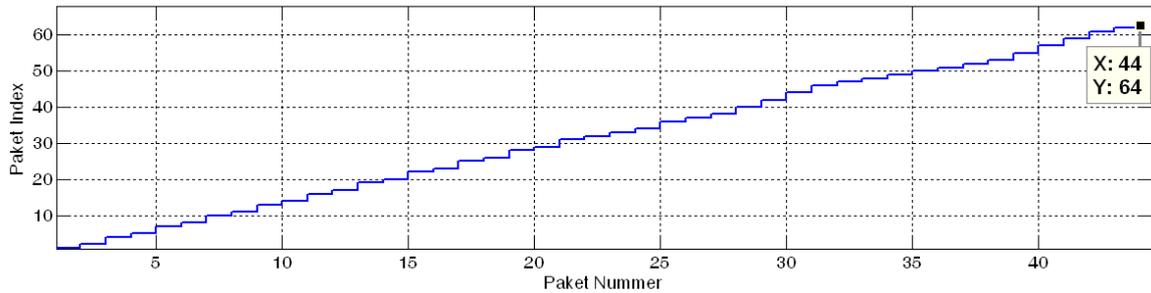


Abbildung 6.1: Paketindizes aufgetragen über die teilweise empfangenden Pakete

dass es diese schnell aufeinanderfolgenden Pakete nicht alle empfangen kann und deswegen welche überspringt.

Bevor das System weiter getestet werden kann, muss die Übertragung vernünftig funktionieren. Dafür wird die Firmware etwas verändert. Eine geringe Warteschleife vor der Senderoutine des Embedded Systems sorgt dafür, dass die Pakete größere zeitliche Abstände zueinander besitzen. MATLAB hat so mehr Zeit, die empfangenden Pakete zu verarbeiten. Ein erneuter Test mit der geänderten Firmware verläuft erfolgreich. Abbildung 6.2 zeigt, dass alle 64 gesendeten Pakete des Boards auch von MATLAB empfangen werden. Das 64ste Paket hat dementsprechend denselben Index. Für die weiteren Systemtests ist somit die fehlerfreie Datenübertragung sichergestellt.

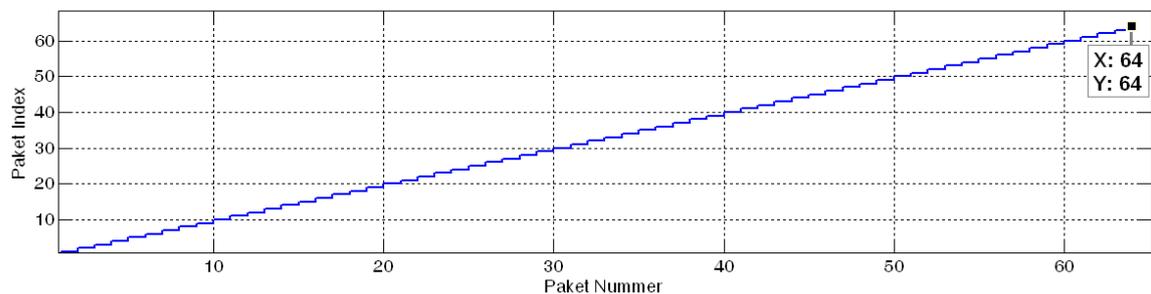


Abbildung 6.2: Paketindizes aufgetragen über alle empfangenden Pakete

6.2 Verifikation des bestehenden DDC-Cores

Ein Test mit realen Signalen soll sicherstellen, dass der DDC-Core ordnungsgemäß funktioniert und für den Einsatz im System bereit ist. Zugleich wird auch die Bandpassunterabtastung mit dem Analog-Digital-Umsetzer geprüft. Für den Test wird der Takteingang des ADUs jeweils mit einem Signal aus einem Signalgenerator (Rohde&Schwarz SMY 01) und einem

Signal, welches auf dem Board mit dem DCM-Modul generiert wird, gespeist. Eventuelle Abweichungen in der Signalqualität werden so festgestellt.

Mit einem Signalgenerator wird als Eingangssignal ein einfacher Sinus mit einer Frequenz von 87,601 MHz erzeugt. Durch die Unterabtastung mit dem ADU verschiebt sich das Signal auf 7,601 MHz (siehe Abschnitt 2.6). Der DDC-Core mischt das digitale Eingangssignal um 7,6 MHz herunter. Das Ausgangssignal besitzt nun nur noch eine Frequenz von 1 kHz. Abbildung 6.3 zeigt zwei Ausgangssignale des DDC-Cores. Das Eingangssignal ist bei beiden das gleiche, jedoch ist die Taktquelle für den Takteingang des ADUs unterschiedlich.

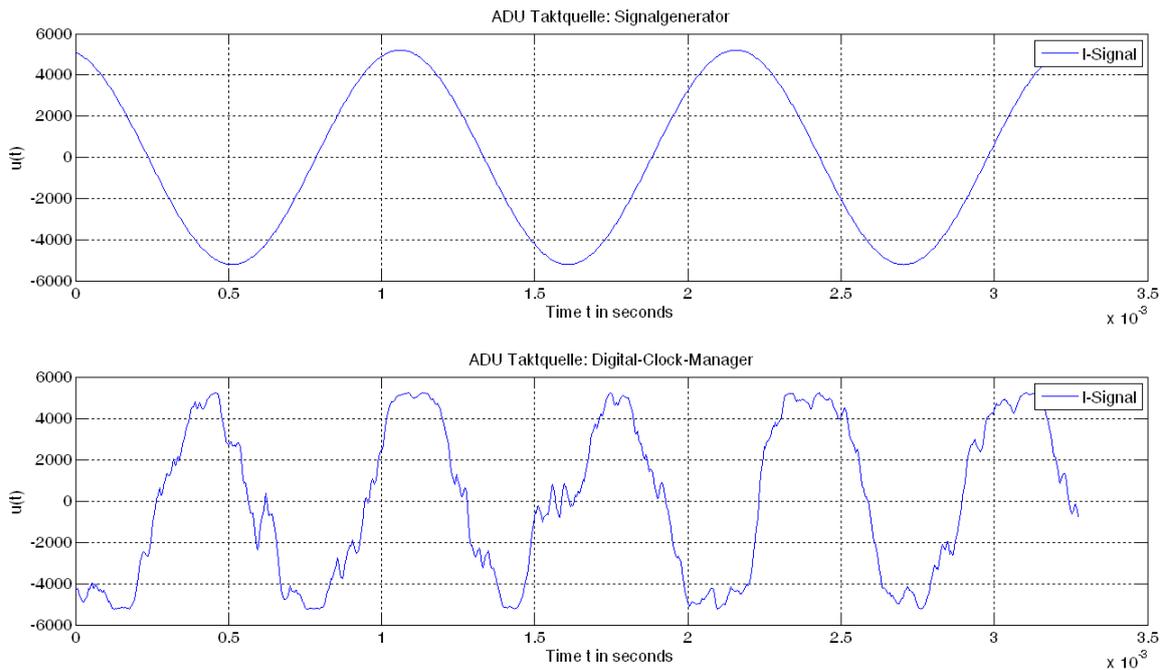


Abbildung 6.3: Ausgangssignale vom DDC-Core bei Verwendung unterschiedlicher Signalquellen für den Takteingang des ADUs

Das obere Signal ist das InPhase-Signal bei Verwendung des Taktsignals aus dem Signalgenerator, unteres hingegen ist das selbe Signal, aber mit Taktquelle vom Board. Es ist deutlich die unterschiedliche Signalqualität der beiden Signale festzustellen. Das erste Signal ist ein einwandfreies Sinussignal, wie es erwartet wurde. Beim unteren ist zwar die Form eines Sinus zu erkennen, dennoch sind viele Störungen vorhanden. Die genauere Betrachtung beider Signale lässt auch Unterschiede in der Ausgangsfrequenz der Signale ausfindig machen. Der Blick auf die Signalspektren (Abbildung 6.4) bestätigt diese Annahme.

Das erste Signal besitzt eine Frequenz von 920 Hz und liegt dicht an der theoretischen Frequenz von 1 kHz dran. Die 1,52 kHz des zweiten Signals weichen schon deutlich ab. Zudem zeigen die Spektren, dass der Störabstand des Ausgangssignals mit dem Generator als Taktquelle wesentlich größer ist, als bei dem anderen Taktsignal. Der Grund für die Unterschiede

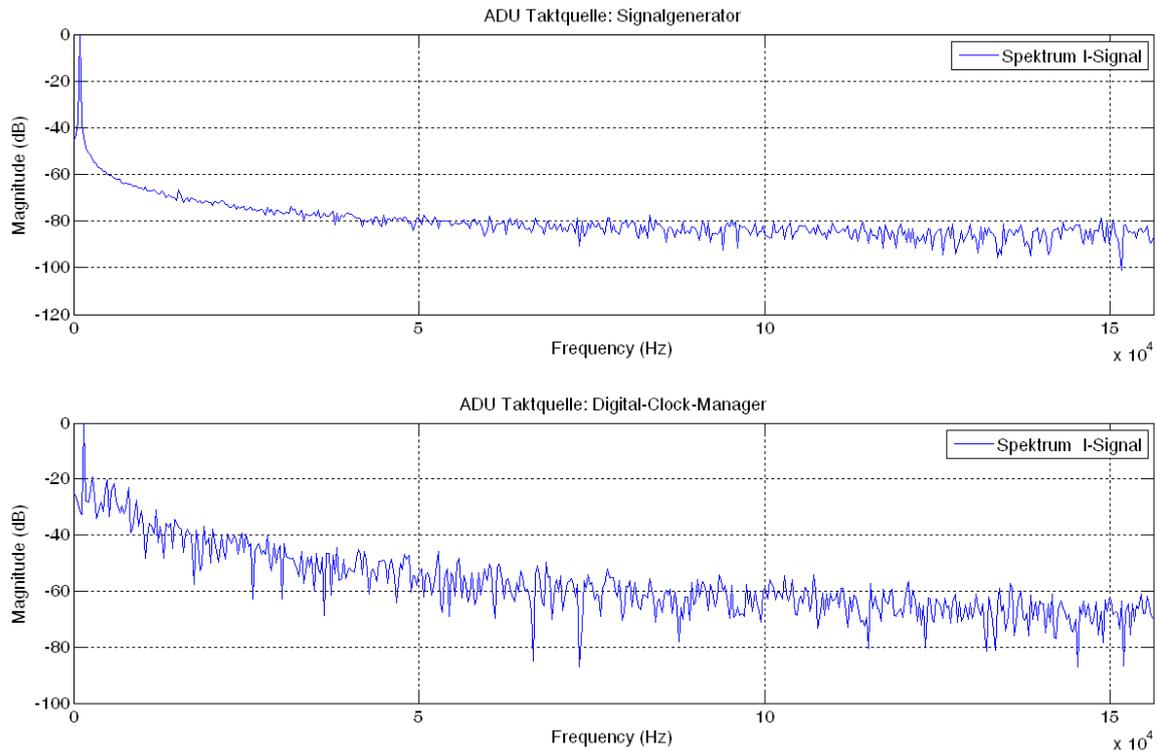


Abbildung 6.4: Spektrum des Ausgangssignals vom DDC-Core bei unterschiedlichen Taktquellen

in der Signalqualität ist, dass das Tastverhältnis des Taktsignals des DCM-Moduls nicht exakt 50% ist, sondern zwischen 45% und 50% schwankt. Außerdem besitzt der DCM einen größeren Jitter, was ebenfalls zu einer schlechteren Signalqualität führt. Verschiedene Messungen mit unterschiedlichen Frequenzen haben gezeigt, dass die Signalqualität zu höheren Frequenzen besser ist. Diese Messungen sind dem Anhang {11} beigefügt.

Im weiteren Verlauf der Thesis soll geprüft werden, ob die schlechtere Signalqualität, bei Benutzung des DCM-Taktes, Auswirkung auf die Information im frequenzmodulierten Signal und somit auch auf die Hörqualität hat.

6.3 AM-Unterdrückung

Der Test der Amplitudennormierung soll zeigen, ob die Amplituden des Eingangssignals, wie in der Simulation, auf den Betrag von Eins normiert werden. Die Quadratursignale werden zuvor mit dem DDC-Core erzeugt. Als Testsignal wird mit dem Signalgenerator vom vorigen Abschnitt ein Sinussignal mit einer Frequenz von 87,61 MHz auf den ADU-Eingang gelegt. Durch Unterabtastung und Mischung enthalten die Signale I und Q am Ausgang des DDC-Cores nur noch eine Frequenz von 10 kHz. Die Amplitude der Eingangssignals wird

stufenweise geändert, um die Normierung für unterschiedliche Signalaufösungen zu testen. Als Quelle für den Takteingang des ADUs wird ebenfalls der Signalgenerator verwendet. Die Ergebnisse der Messungen sind in der nachfolgenden Tabelle 6.1 gelistet.

Dämpfung der Maximalamplitude in %	Amplitude des Signalgenerators	Amplitude der Eingangssignale	Betrag der normierten Amplituden	Normiert auf den Betrag 1
-2	640 mV	32768	16400	0,5
0	630 mV	32500	32500	1
10	575 mV	29500	29500	0,9
20	510 mV	26200	26200	0,8
30	445 mV	22800	22900	0,7
40	380 mV	19500	29500	0,9
50	315 mV	16200	32500	1
60	250 mV	12900	32000	1
70	190 mV	9800	29500	0,9
80	120 mV	6200	31000	0,95
90	60 mV	3100	32600	1
95	30 mV	1550	32550	1
99	6 mV	310	32600	1
99,7	2,5 mV	100	32600	1
99,95	1 mV	50	32600	1

Tabelle 6.1: Messergebnisse der Amplitudennormierung mit realen Signalen

Im Vergleich zu der Tabelle 4.1 der Simulation sind nur geringe Unterschiede zu erkennen. Mehrere Messungen mit unterschiedlichen Frequenzen und Amplituden stellten sicher, dass die Amplitudennormierung nicht nur für eine bestimmte Frequenz funktioniert. Allerdings wurde festgestellt, dass es bei Aussteuerung des ADCs zu Störungen im normierten Signal führt. Dasselbe tritt auch bei zu kleinen Eingangsamplituden auf. Messungen mit dem DCM-Modul als Takteingang weisen nur geringe Unterschiede auf, außer dass bei der Normierung für sehr kleine Amplituden vermehrt Störungen im Signal auftreten.

In der Simulation muss das Signal mindestens eine Auflösung von 8 Bit, also eine Amplitude >63 besitzen, damit die Normierung ordnungsgemäß durchgeführt werden konnte. Bei den Messungen zeigt sich, dass auch Signale mit kleineren Amplituden ohne Störungen normiert werden. Allerdings sind Signale mit extrem kleiner Amplitude stärker verrauscht, sodass bei der Normierung die Amplitudenspitzen abgeschnitten werden.

Der Test mit realen Funksignalen bestätigt die korrekte Funktion der Amplitudennormierung. Im Anhang {12} sind sämtliche Messungen mit dem Sinusgenerator und dem DCM-Modul als Taktquelle für verschiedenen Frequenzen und Amplituden enthalten.

6.4 FM-Demodulation

Eine der wichtigsten Schritte ist die Demodulation von frequenzmodulierten Signalen. Mit verschiedenen Tests soll sichergestellt werden, dass diese das Informationssignal korrekt aus dem FM-Signal demoduliert. Als ersten Test wird mit dem Funktionsgenerator (PeakTech 3500FG) ein einfacher 1 kHz Sinus erzeugt und mit dem Signalgenerator (Rohde&Schwarz SMY 01) frequenzmoduliert. Der maximale Frequenzhub wird, wie er auch bei Rundfunksendern verwendet wird, auf 75 kHz eingestellt. Das FM-Signal, welches seine Trägerfrequenz bei 87,6 MHz besitzt, wird auf den Eingang des ADUs gegeben. Auch bei diesem Test soll der ADU jeweils mit dem Takt aus dem Generator und dem DCM-Modul versorgt werden, um eventuelle Unterschiede im demodulierten Signal zu erkennen. Nach der Digital Down Conversion und der Amplitudennormierung befinden sich die beiden Quadratursignale I und Q mit einer konstanten Amplitude im Basisband. Das Ergebnis der FM-Demodulation ist in Abbildung 6.5 gezeigt.

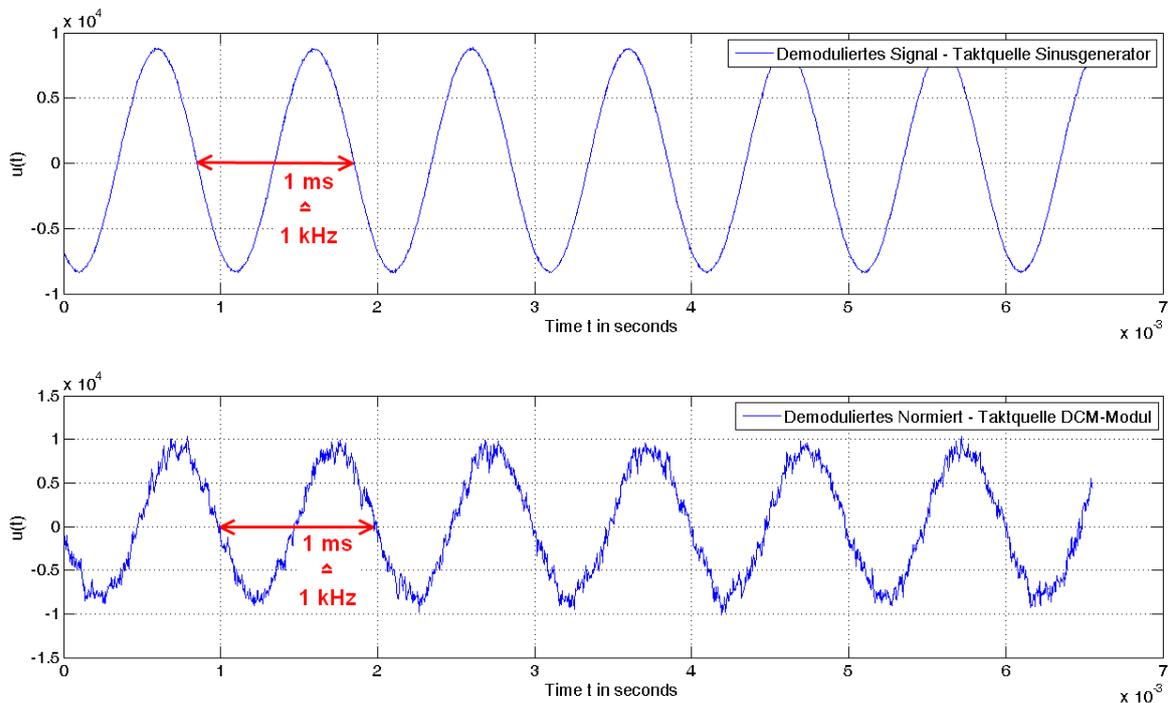


Abbildung 6.5: Demoduliertes 1 kHz Sinussignal mit unterschiedlichen Taktquellen des ADUs

Klar zu erkennen sind auch hier die Unterschiede in der Signalqualität. Das obere der beiden Signale ist das demodulierte FM-Signal bei Verwendung des Signalgenerators als Taktquelle. Dieses ist im Vergleich zum unteren Signal, welches das DCM-Modul als Taktquelle besitzt, deutlich "sauberer". Die schlechte Signalqualität des unteren Signals resultiert daher, dass das Signal schon bei der Abtastung eine sichtbar schlechtere Qualität besitzt. Diese

zieht sich somit durch die einzelnen Signalverarbeitungsstufen und spiegelt sich auch im demodulierten Signal wieder. Messungen mit verschiedenen Frequenzen zeigen, dass der Signalstörabstand bei den Signalen, die den Signalgenerator als Taktquelle des ADUs besitzen, merkbar größer ist als bei Signalen mit dem DCM-Modul als Takt.

Ob die schlechtere Signalqualität bei Verwendung des DCM-Taktes auch Einfluss auf das demodulierte Rundfunksignal hat, lässt sich überprüfen, indem das System mit dem elektrisch gewandelten Funksignal der Antenne gespeist wird. Das System wird so eingestellt, dass es den Sender NDR 2 auf 87,6 MHz ins Basisband verschiebt. In nachfolgender Abbildung 6.6 sind die empfangenden und demodulierten Signalspektren mit den unterschiedlichen Taktquellen dargestellt.

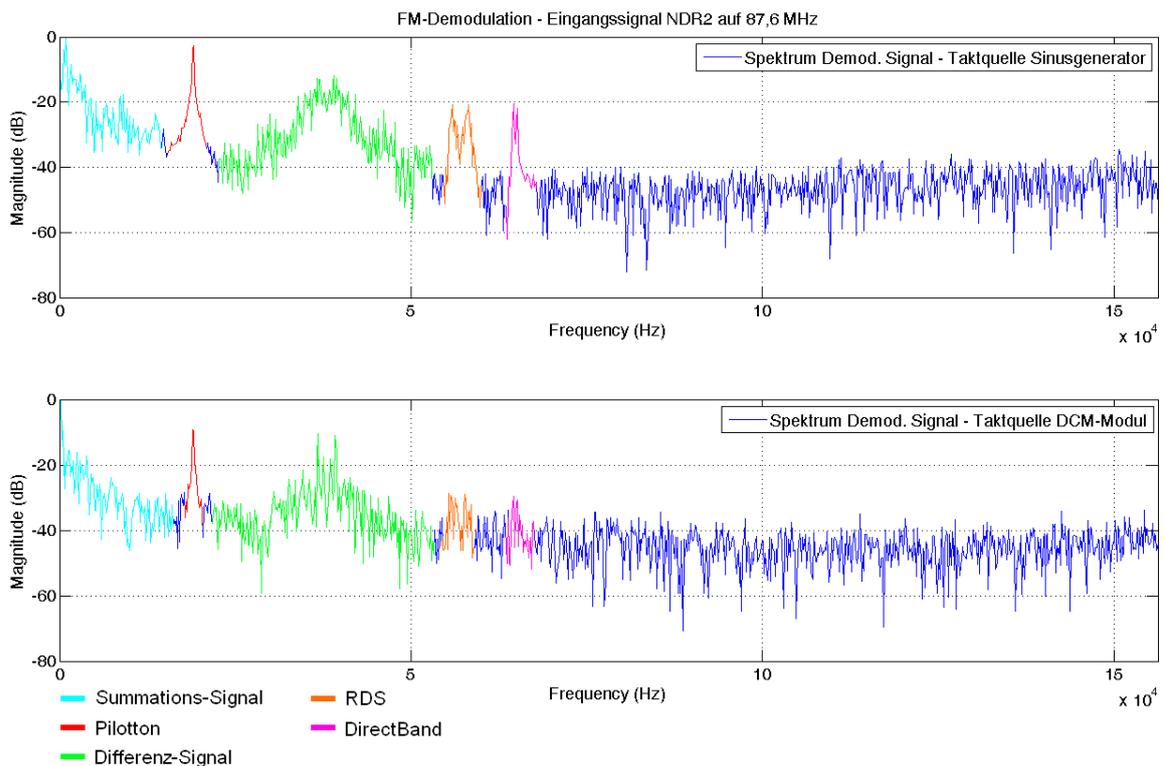


Abbildung 6.6: Signalspektrum des demodulierten Sendesignals von NDR 2 auf 87,6 MHz

Es sind deutlich die wesentlichen Frequenzanteile des Basisbandsignals (hier farbig markiert) zu erkennen. Der Piloton, welcher für die Stereo-Decodierung benötigt wird, liegt zwischen dem Summations- und Differenz-Signal, die den linken plus den rechten und den linken minus den rechten Audiokanal beinhalten. Die Informationssignale RDS und DirectBand sind rechts auf der Abszisse nach den Audiosignalen anzufinden. Auch bei den Funksignalen ist ein Unterschied des Störabstandes zu erkennen. Dieser ist aber im Gegensatz zu den Messungen mit Sinussignalen etwas geringer.

Der Test des FM-Demodulators hat gezeigt, dass dieser im Stande ist, aus realen fre-

quenzmodulierten Signalen das Informationssignal zu gewinnen. Die Demodulation von FM-Rundfunksignalen ergab, dass das Signalspektrum des demodulierten Funksignals die theoretischen Frequenzanteile des Basisbandsignals aus Abschnitt 2.4 aufweist. Das so erhaltene Multiplex-Signal wird zur Wiedergabe von Mono- und Stereo-Audio verwendet. Zuvor soll allerdings die Auswirkung der De-Emphasis untersucht werden.

6.5 De-Emphasis Filter

In der Analyse (Abschnitt 3.4) wurde erläutert, wieso die Pre- und De-Emphasis verwendet werden. Das passende De-Emphasis Filter für die Absenkung der höheren Frequenzen des demodulierten Funksignals ist im vierten Kapitel (4.4) erstellt wurden. In diesem Teil des Kapitels soll das Filter anhand realer Signal getestet werden. Messungen der FM-Demodulation mit einem Sinussignal haben gezeigt, dass das demodulierte FM-Signal, bei Verwendung des DCM-Moduls als ADU-Taktquelle, einiges an Rauschen enthält. Anhand dieser Signale soll die korrekte Funktionsweise des Filters demonstriert werden. Das verrauschte 1 kHz Sinussignal (DCM-Modul als Taktquelle), welches im oberen Teil der Abbildung 6.7 zu sehen ist, wird mit dem De-Emphasis Filter entzerrt. Im unteren Teil der Abbildung ist das Ergebnis der De-Emphasis gezeigt. Deutlich zu erkennen ist die verbesserte Qualität des Signals.

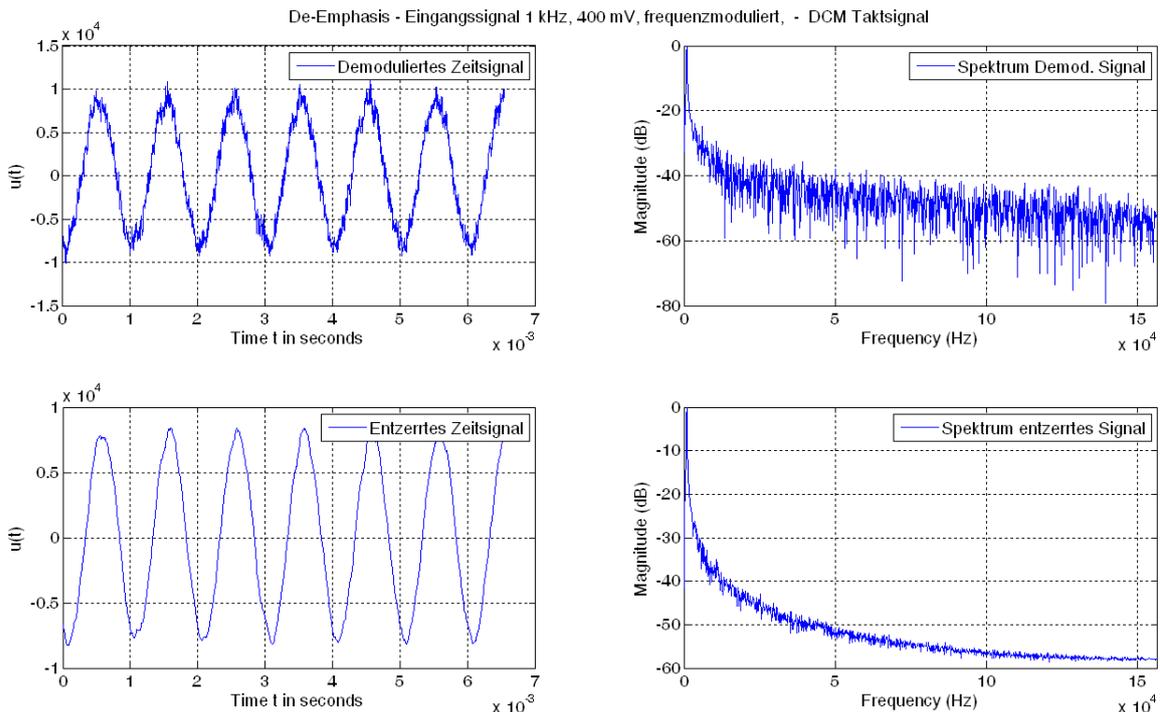


Abbildung 6.7: Entzerrung des demodulierten Sinussignals mit dem De-Emphasis Filter

Der Blick auf die Spektren der beiden Signale zeigt eindeutig, dass sich der Signalstörabstand um gute 10 dB verbessert hat. Erfahren die demodulierten Multiplex-Signale der Rundfunksender die De-Emphasis, ist eine deutliche Minderung des Rauschanteils in höheren Frequenzen sichtbar. Für das Ergebnis dieser Messung, sowie sämtlicher anderer Messungen, wird auf den Anhang {14} verwiesen.

Mit dem De-Emphasis Filter wird höherfrequentes Rauschen vermindert, sodass der Signalstörabstand sich vergrößert und die Signalqualität zunimmt. Das so rauschverminderte Multiplex-Signal wird dem nachfolgenden Decoder zugeführt, der aus dem Signal den linken und rechten Audiokanal für die Stereowiedergabe trennt.

6.6 Multiplex-Signal-Decoder

Für die Stereo-Audiowiedergabe werden zwei Audiosignale benötigt. Diese gilt es aus dem Multiplex-Signal mittels eines Decoders zu trennen. Die Wiedergabe von Mono-Audio ist hingegen einfach. Hierbei wird das komplette Multiplex-Signal an den AC97-Audio-Codec weitergegeben. Das Interpolations-Bandpass des Codecs selektiert und interpoliert das Summations-Signals und leitet dieses an beide Lautsprecher weiter. Da für die Monowiedergabe keine Decodierung nötig ist, wird diese in diesem Abschnitt weg gelassen.

Das Trennen des linken und rechten Audiosignals erfolgt durch das Abtasten zu den Minima und Maxima des 38 kHz Hilfsträgers. Dieser wird durch die Quadrierung des Pilottons erzeugt. Es muss daher als erstes der Pilotton aus dem Multiplex-Signal gefiltert werden. Als ersten Test wird ein 19 kHz Sinussignal vom Funktionsgenerator frequenzmoduliert und in das System gegeben. Der Multiplex-Decoder selektiert den Pilotton und erzeugt daraus den 38 kHz Hilfsträger. Das funktioniert mit beiden Taktquellen des ADUs ohne Probleme. Lediglich der Störabstand mit dem DCM-Takt ist um ca. 20 dB kleiner, als beim Signalgenerator-Takt. Die Messergebnisse hierzu sind im Anhang {15} zu finden.

Ein weiterer Test mit den realen Funksignalen soll sicherstellen, dass der Hilfsträger auch aus den Multiplex-Signal gewonnen werden kann. Abbildung 6.8 zeigt die Spektren des Pilottons und des Hilfsträgers bei Verwendung beider Taktquellen.

Auch hier ist der Signalstörabstand des Pilottons und des Hilfsträgers mit dem DCM-Takt niedriger im Vergleich zum Signalgenerator. Der Gleichanteil beider Träger spielt, wie bei der Simulation (Abschnitt 4.5), keine Rolle. Die Tests haben gezeigt, dass der Hilfsträger, egal ob mit einem ADU-Takt vom DCM-Modul oder aus dem Signalgenerator, erzeugt werden kann. Dieser dient zur Abtastung des Multiplex-Signals, um die beiden Audiokanäle zu trennen.

In der Simulation wurde anhand eines einfachen mit zwei Sinussignalen (linker Kanal 1 kHz, rechter 3 kHz) erzeugten Multiplex-Signal gezeigt, dass der Schaltdecoder in der Lage ist, diese wieder zu trennen. Für den Test mit realen Signalen ist das etwas schwieriger, da für diese Thesis nicht die Mittel zur Verfügung stehen, um ein solches einfaches Multiplex-Signal

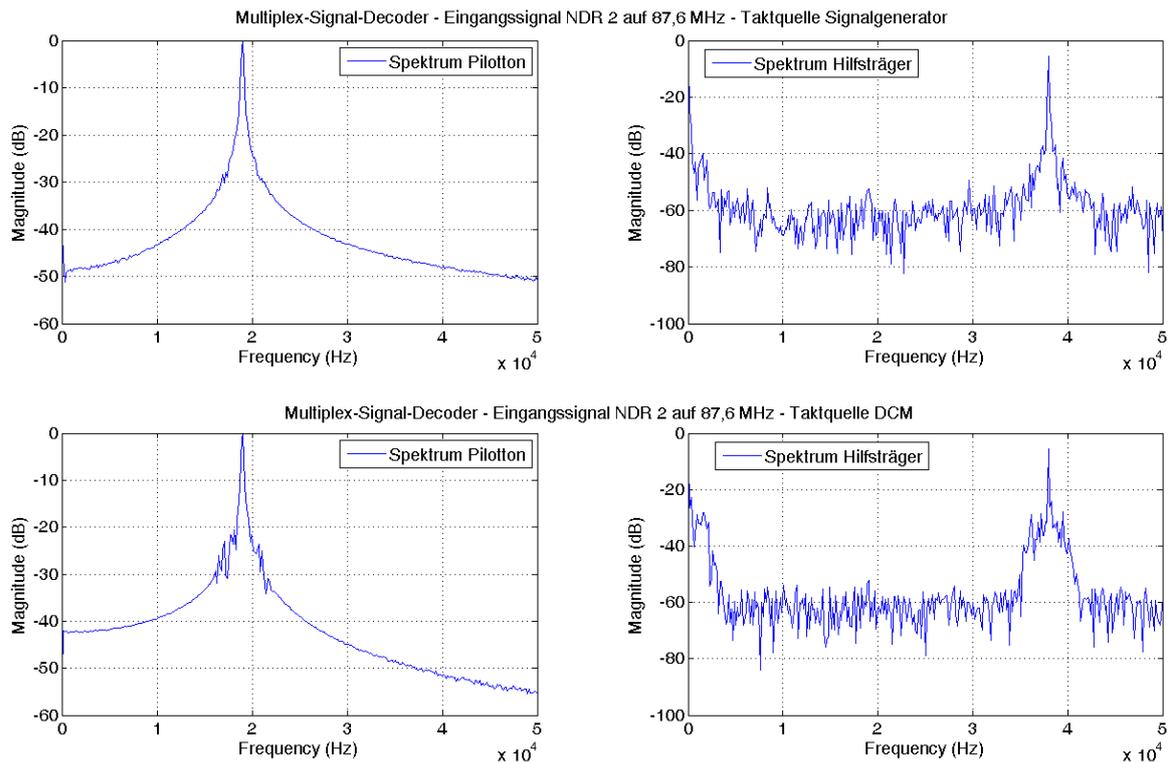


Abbildung 6.8: Piloton und erzeugter Hilfsträger aus den Multiplex-Signal des Senders NDR 2

zu erzeugen. Der Schaltdecoder wird daher nur mit realen Sendersignalen getestet. Die Frage die sich stellt ist, wie festgestellt werden kann, ob die Kanäle richtig getrennt werden. Nur weil ein Sender ein Multiplex-Signal sendet, heißt es nicht, dass die Audiokanäle auch unterschiedliche Signale enthalten. Zudem sind kleine Signalunterschiede nicht unbedingt sofort sichtbar.

Der erste Test soll daher sein, zu prüfen, ob alle Frequenzanteile, außer die vom Summations- und Differenz-Signal, durch den Decoder unterdrückt werden. Das obere Spektrum in Abbildung 6.9 zeigt den linken Audiokanal bei Verwendung von Mono-Audio. Es enthält das komplette Frequenzspektrum des Multiplex-Signals, da es direkt vom De-Emphasis Filter an den Codec weitergeleitet wird. Das untere Spektrum besitzt hingegen nur noch die Frequenzanteile der Audiosignale. Der Piloton, wie auch die Informationssignale wurden dem Signal durch passende Filter entfernt.

Nun soll geprüft werden, ob die Stereo-Decodierung erfolgreich ist. Mehrere Test zeigten, dass trotz aktiviertem Schaltdecoder beide Kanäle das gleiche Signal beinhalten. Wieso keine Stereo-Wiedergabe bzw. Decodierung möglich ist, lässt sich mit einen Blick auf das entzerzte Signalspektrum des Multiplex-Signals (Abbildung 6.9) beantworten. Egal ob der Piloton und die Informationssignale enthalten sind oder nicht, der Frequenzanteil des Differenz-

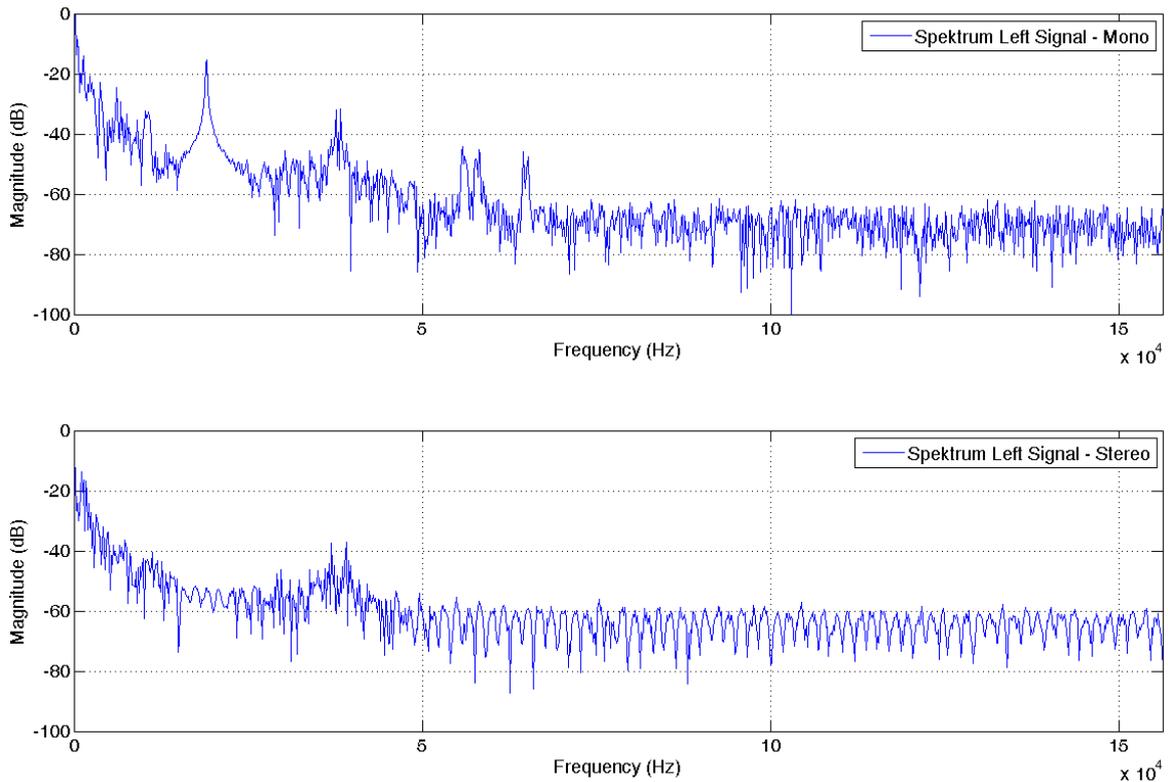


Abbildung 6.9: Unterschied der Spektren vom linken Audiokanal bei Mono- und Stereo-Audio

Signals hat einen viel niedrigeren Pegel als der des Summations-Signals. Eine erneute Simulation des Schaltdecoders mit gedämpftem Differenz-Signal (Anhang {15}) hat gezeigt, dass in diesem Fall beide Audiokanäle das Summations-Signal erhalten. Für die Wiedergabe von Stereo-Audio, müssen die Frequenzen des gedämpften Differenz-Signals wieder im Pegel angehoben werden, sodass diese im Verhältnis Eins zu Zwei zum Summations-Signal stehen. Dieses wird aber nicht Teil dieser Thesis werden, da diese zeitlich, wie auch im Umfang, begrenzt ist.

Die Simulationen im vierten Kapitel 4.5 haben gezeigt, dass eine theoretische Kanaltrennung mit dem Schaltdecoder möglich ist. Der Nachweis anhand realer Sendersignale konnte auf Grund von zu kleinen Pegeln des Differenz-Signals nicht erbracht werden. Dennoch funktioniert die Abtastung des Multiplex-Signals zu den Extrema des Hilfstägers, sodass die Trennung der beiden Audiokanäle bei optimalen Eingangssignal gegeben ist.

6.7 Signalqualität

Ein ganz entscheidender Punkt, der bei der Signalverarbeitung von Audiosignalen gefragt wird, ist die Qualität der Signale. Bauteile wie Verstärker oder ADUs verursachen durch

nichtlineares Verhalten unerwünschte Verzerrungen der Signale. Diese äußern sich in Form von harmonischen Oberschwingungen des eigentlichen Signals. In welchem Maße diese Oberschwingungen Anteil am Gesamtsignal haben, wird durch den Klirrfaktor⁴⁴ angegeben. Je kleiner der Klirrfaktor, desto unverzerrter ist das Signal und umso besser die Signalqualität. Ab welchem Klirrfaktor Verzerrungen wahrnehmbar sind, ist abhängig von der Frequenz und dem Audiosignal. In tieferen Frequenzen ist beispielsweise ein höherer Klirrfaktor (5%) nicht so deutlich bemerkbar, wie im Präsenz- / Brillianzbereich zwischen 1 kHz und 4 kHz. Bei reinen Sinussignalen sind zudem Verzerrungen schneller hörbar als beispielsweise bei Sprache.

Im Zuge des Systemtests soll das System auf die Stärke der nichtlinearen Verzerrungen untersucht werden. Das Ergebnis der Klirrfaktormessung mit dem UPV Audio Analyzer von Rohde&Schwarz ist in Abbildung 6.10 grafisch dargestellt.

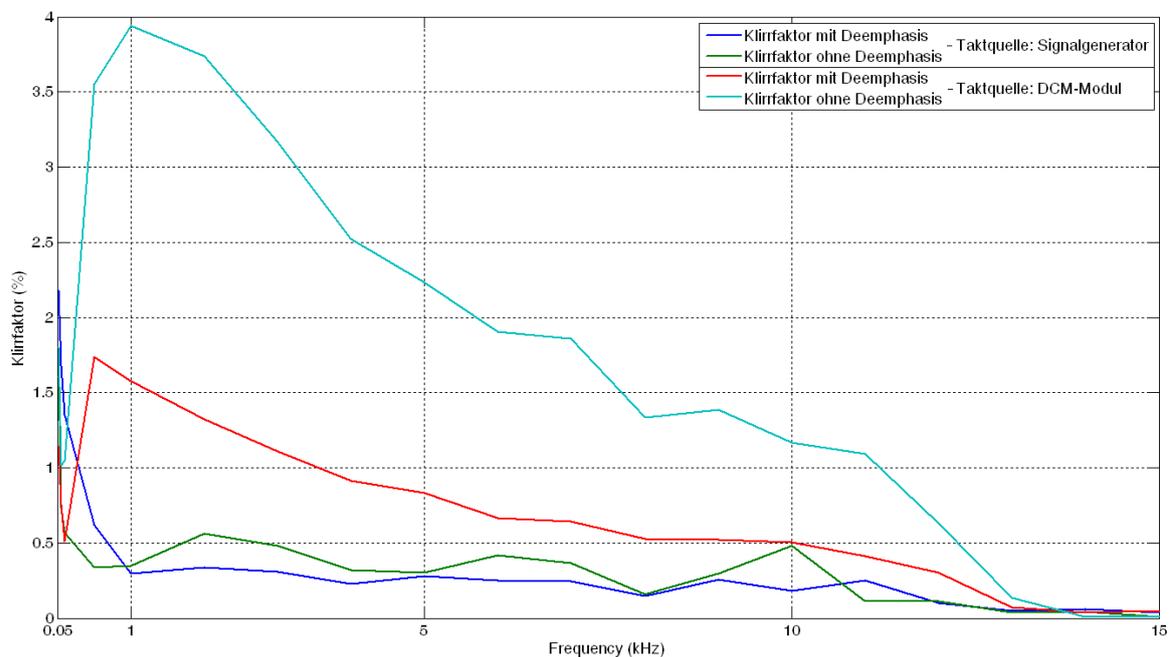


Abbildung 6.10: Ergebnis der Klirrfaktormessung des Systems

Die Messungen wurden auf den Frequenzbereich (40 Hz bis 15 kHz) des Audiosignals verteilt. Es ist zu erkennen, dass der Klirrfaktor bei eingeschalteten De-Emphasis Filter geringer ist als ohne Filter. Außerdem ist der Anteil der nichtlinearen Verzerrungen bei Verwendung des Signalgenerators als ADU-Taktquelle deutlich niedriger, als beim DCM-Takt. Ein Klirrfaktor von unter 0,5% ist selbst im Brillianzbereich gar nicht, bis kaum wahrnehmbar. Da beim Rundfunk überwiegend Musik und Sprache gesendet wird, liegt dieser im tolerierbaren Bereich.

⁴⁴Dimensionslose Verhältniszahl die angibt, wieviel Prozent die Oberschwingungen Anteil am Grundsignal besitzen.

Auch wenn der Klirrfaktor noch so klein ist, heißt das nicht, dass das ausgegebene Audiosignal in reinster Qualität ist. Hier kommt es darauf an, wieviel Rauschen dem Signal beige-mischt und wie gut der Signalrauschabstand (SNR) ist. Messungen mit einem reinen Sinus-signal haben gezeigt das der SNR dabei zwischen 30 dB und 60 dB liegt, je nachdem welche Taktquelle verwendet wird und ob das De-Emphasis Filter eingeschaltet ist. Wie sich dieser SNR bei Audiosignalen der Rundfunksender auswirkt, lässt sich am Besten beim Hören be-antworten. Dazu sind im Anhang {17} vier Radioaufnahmen des Rundfunksenders NDR 2 auf 87,6 MHz zu finden. Die Hörproben zeigen, dass beim Signalgenerator als Taktsignal und eingeschalteten De-Emphasis Filter die Audioqualität am Besten ist. Bei der Aufnahme mit ausgeschaltetem Filter sind deutlich die angehobenen Höhen wie auch leichtes Rauschen zu hören. Wird der Signalgenerator gegen das DCM-Modul ausgetauscht, ist sowohl mit als auch ohne Filter Rauschen im Signal vorhanden.

Die beste Signalqualität, sprich wenig Rauschen im Signal, wie auch einer geringer Klirrfak-tor, wird mit dem Signalgenerator als Taktquelle und mit eingeschalteten Filter erreicht. Aber auch mit dem DCM-Modul als Taktgeber wird eine akzeptable Signalqualität produziert.

6.8 Zusammenfassung des Systemtests

Der letzte Schritt zur Fertigstellung des FM-Stereo-Rundfunkempfänger war ein kompletter Systemtest. Die in der Theorie entwickelten und durch Simulationen verifizierten Modelle mussten hier ihre Funktionalität mit realen Signalen beweisen.

Ein erster Test zur Sicherstellung einer fehlerfreien Datenübertragung zeigte, dass MATLAB zu langsam für die schnelle Datenübertragung ist. Die Änderung der Firmware passte das System für eine langsamere Datenübertragung an. Der Test der Signalverarbeitungsstrecke erfolgte nacheinander. Bei der Verifikation des bestehenden DDC-Cores stellte sich heraus, dass die Signalqualität bei Verwendung des DCM-Moduls als ADU-Takt stark nachlässt. Die korrekte Funktion des DDC-Cores ist dennoch gegeben. Der Test der Amplitudennormierung wies keine großen Unterschiede zur Simulation auf, außer das auch Signale mit Auflösun-gen kleiner 8 Bit ohne Störungen normiert werden. Die Demodulation der Sendersignale ergab das theoretisch erwartete Basisband eines Rundfunksenders. Dennoch zeigten sich auch hier Unterschiede des Signalstörabstandes bei Verwendung beider Taktquellen. Durch das De-Emphasis Filter wurden die höheren Frequenzen erfolgreich abgesenkt, was zu ei-ner sichtbaren Verbesserung des Störabstandes führte. Die Überprüfung des Schaltdecoder folgte in zwei Schritten. Zuerst wurde sichergestellt, dass aus dem Pilotton der Hilfsträger erzeugt wird. Als zweites wurde geprüft, ob aus dem Multiplex-Signal die Kanäle getrennt werden können. Mehrere Messungen zeigten aber, dass durch die zu kleinen Pegel des Differenz-Signals, nur noch das Mono-Audiosignal im Multiplex-Signal vorhanden ist. Eine Trennung der Kanäle ist daher mit den gegebenen Signalen nicht möglich gewesen.

Der letzte Systemtest sollte die Qualität der ausgegebenen Audiosignale prüfen. Für beide Taktquellen des ADUs wurden je mit und ohne De-Emphasis Filter der Anteil der nichtlinearen Verzerrungen des Ausgangssignals ermittelt. Ob und wieviel Rauschen im Audiosignal vorhanden ist, konnte durch einen einfachen Hörtest geprüft werden. Die Auswertung zeigte, dass die beste Signalqualität bei eingeschaltetem De-Emphasis Filter und dem Signalgenerator als Taktquelle erreicht wird.

Bis auf die Überprüfung der korrekten Kanaltrennung konnte das System anhand ausreichender Tests verifiziert werden. Der Unterschied zwischen den simulierten Modellen und deren Betrieb mit realen Signalen hält sich in Grenzen, sodass in Simulink erstellte Modelle eine vernünftige Aussage über das Verhalten im zu realisierenden System geben. Abschließend kann gesagt werden, dass der erstellte Rundfunkempfänger allen Anforderungen, die in der Spezifikation gestellt wurden, bis auf die verifizierte Stereowiedergabe, gerecht wird.

7 Schlussbetrachtung

Der Empfang von Rundfunksendern ist nichts neues, daher existieren auch zahlreiche Empfangsgeräte. Anfangs bestanden diese noch aus analogen Bauteilen, doch mit fortschreitender Technik und immer schnelleren Mikroprozessoren entstanden vermehrt digitale Empfänger. Heutige Geräte beschränken sich jedoch nicht nur auf den Empfang von Hörfunk. Immer mehr Funktionen erfordern eine komplexere und meist auch parallele Signalverarbeitung. Die Implementierung eines digitalen FM-Stereo-Rundfunkempfängers sollte daher die Echtzeitfähigkeit eines FPGAs anhand der Verarbeitung realer Funksignale zeigen.

7.1 Zusammenfassung

Die Vorstellung ein Radio zu bauen klingt auf den ersten Blick relativ einfach. Besitzt doch mittlerweile fast jedes Handy eines und auch sonst gibt es eine Fülle von Empfängern. Antenne ausziehen, Gerät einschalten und schon ertönt Musik aus den Lautsprechern. Das dafür einige Schritte notwendig sind, wurde im Laufe dieser Thesis deutlich.

Auf Basis des bestehenden DDC-Cores wurde eine Signalverarbeitungsstrecke entwickelt, welche es ermöglicht, mit einer DVB-T Antenne Rundfunksignale aus dem VHF-2 Band zu empfangen, zu verarbeiten und die enthaltenen Audiosignale auf Lautsprechern wiederzugeben. Für die Analyse der empfangenden und verarbeiteten Signale wurde eine Datenübertragung zu einem Computer geschaffen. Übers Ethernet verschickte UDP-Pakete konnten in MATLAB eingelesen und die Signaldaten grafisch dargestellt werden.

Theoretische Modelle zur Signalverarbeitung wurden zuerst in der grafischen Entwicklungsumgebung Simulink zu implementierbaren Modellen aufgebaut. Anhand von Simulationen wurden diese auf ihre jeweilige Funktionalität geprüft. Mit einem erzeugten Multiplex-Signal konnte die Trennung der beiden Audiokanäle mit dem Schaltdecoder verifiziert werden. Somit ist eine theoretische Stereowiedergabe mit der entworfenen Signalstrecke gegeben.

Die erstellte Signalverarbeitungsstrecke wurde in ein Embedded System eingebunden, welches von einer speziell dafür entwickelten Firmware gesteuert wird. Das Hinzuschalten, sowie das Entfernen des De-Emphasis Filters erlaubt dessen Auswirkung auf die empfangenden Signale zu untersuchen. Damit die implementierte Signalverarbeitung anhand realer Sendersignale getestet werden konnte, ist ein analoges VHF-2 Bandpassfilter entwickelt und

umgesetzt worden. Dieses ermöglicht die aliasingfreie Bandpassunterabtastung der Rundfunksignale.

Ein abschließender kompletter Systemtest verifiziert die einzelnen Verarbeitungsstufen, sowie die gesamte Signalstrecke anhand realer Signale. Die Überprüfung des Systems zeigte, dass trotz theoretischer Kanaltrennung nur Mono-Audio verfügbar ist. Das Problem dafür liegt aber nicht an der Signalverarbeitung, sondern an der Beschaffenheit des empfangenden Sendersignals.

Dennoch wurde ein FM-Rundfunkempfänger auf einem FPGA realisiert, welcher die echtzeitfähige Signalverarbeitung der empfangenden Rundfunksignale aus dem VHF-2 Band, sowie die Wiedergabe der Sendersignale demonstriert.

7.2 Ausblick

Wegen der zeitlichen Begrenzung der Thesis, musste diese sich auf das wesentliche konzentrieren. Nachfolgend wird gezeigt, welche Erweiterungen und Verbesserungen am bestehenden System vorgenommen werden könnten. Aus diesen können individuell neue oder weiterführende Projekte oder Abschlussarbeiten zusammengestellt werden.

- **Datenübertragung in Echtzeit:** Im jetzigen System werden die Daten blockweise und nur bei Anforderung an den Computer übertragen. Mit einer Echtzeitübertragung könnten selbstgeschriebene Software-Algorithmen auf die Signaldaten angewendet werden. Weiterhin könnten die Daten als Eingangssignale von Programmen dienen, die diese dann weiter verarbeiten. Auch eine FFT (Fast Fourier Transformation) mit höherer Punktezahl könnte auf die Signale angewendet werden, um eine noch genauere Darstellung des Spektrums zu bekommen.
- **Allgemeine ADU-Schnittstelle:** Das realisierte System wurde mit einer fest implementierten Schnittstelle zum ADU erstellt. Damit ist es nur mit dem hier verwendeten ADU oder einem dazu kompatiblen ADU mit gleicher Schnittstelle benutzbar. Eine allgemeine Schnittstelle würde dem Rundfunkempfänger die Verwendung anderer ADUs erlauben.
- **Konfigurierbarer Breitbandverstärker:** Die mit der Antenne empfangenden Funksignale besitzen nur einen ganz geringen Pegel. Zwar wird dieser durch die integrierte Verstärkung der DVB-T Antenne angehoben, aber dennoch wird keine Vollaussteuerung des ADUs erreicht. Ein digital steuerbarer Breitbandverstärker könnte genutzt werden, um das empfangende Signal an den ADU anzupassen und diesen voll auszusteuern. Eine Anhebung der Signalpegel würde zudem auch den Empfang schwächerer Sender ermöglichen.

- **Komplettes VHF-2 Bandpassfilter:** Das umgesetzte Bandpassfilter weist einen verschobenen Durchlassbereich auf. Dieser schließt nur noch knapp die Hälfte aller Sender des VHF-2 Bandes ein. Die Realisierung eines neuen Bandpassfilters, welches das ganze VHF-2 Band selektiert, würde den Empfang aller UKW-Sender erreichen.
- **Stereowiedergabe:** Die theoretischen Grundlagen, wie auch die erfolgreiche Simulation eines Multiplex-Signal-Decoders zeigten, dass die Kanaltrennung damit möglich ist. Messungen anhand realer Signale ergaben, dass der Pegel des Differenz-Signals zu niedrig für eine erfolgreiche Trennung ist. Eine Verstärkung dieses Signals könnte den Pegel anheben, sodass das Multiplex-Signal vernünftig decodiert werden kann. Auch eine andere Lösung zur Trennung der Audiokanäle ist für die Stereowiedergabe denkbar.
- **Verarbeitung der Informationssignale (RDS und DirectBand):** Viele der heutigen Sender übertragen Informationen, wie beispielsweise Interpret und Titel zum gerade spielenden Lied oder nur den Sendernamen. Diese könnten im System verarbeiten, ausgewertet und auf dem vorhandenen Display angezeigt oder zum Computer gesendet werden.
- **Eigene Platine für den Empfänger:** Für diese Thesis wurde der Rundfunkempfänger anhand einer Entwicklungsplattform realisiert. Diese besitzen jede Menge Funktionen und Hardware, die für diese Thesis nicht benötigt werden. Die Entwicklung einer systembezogenen Platine würde die Hardware auf ein Minimum reduzieren. Weiterhin könnte die verwendete externe Hardware, wie beispielsweise das Filter oder der ADU, mit auf die Platine integriert werden.

Literaturverzeichnis

- [1] ARRL: *Software Defined Radio*. <http://www.arrl.org/software-defined-radio>. – [Online; accessed 19-June-2012]
- [2] Audi: *Audi connect Dienste*. http://www.audi.de/de/brand/de/neuwagen/infotainment_und_kommunikation/audi_connect_dienste.html. 2012. – [Online; accessed 25-May-2012]
- [3] Bernhard Feiten ; Axel Röbel: *Einführung in die digitale Signalverarbeitung*. http://www.ak.tu-berlin.de/fileadmin/a0135/Unterrichtsmaterial/Skripte/EDS_Skript.pdf. August 1996. – [Online; accessed 13-August-2012]
- [4] Carsten Roppel: *Grundlagen der digitalen Kommunikationstechnik*. Bd. 1. Carl Hanser Verlag, 2006. – ISBN 3-446-22857-8
- [5] Christian Cub: *Stirbt das Radio aus?* <http://www.beyond-print.de/2010/03/11/stirbt-das-radio-aus/>. März 2012. – [Online; accessed 25-May-2012]
- [6] Detlef Mietke: *Frequenzmodulation*. <http://www.elektroniktutor.de/signale/fm.html>. – [Online; accessed 28-July-2012]
- [7] Detlef Mietke: *Stereorundfunk*. <http://www.elektroniktutor.de/techno/stereo.html>. – [Online; accessed 16-July-2012]
- [8] Dietmar Rudolph: *Winkel-Modulation*. http://www.diru-beze.de/modulationen/skripte/SuS_W0506/Frequenz_Modulation_WS0506.pdf. – [Online; accessed 25-July-2012]
- [9] Dietmar Rudolph: *Digitalisierung des UKW Rundfunks*. <http://www.utdallas.edu/~dlm/3350%20comm%20sys/ITU%20std%20on%20FM%20--%20R-REC-BS.450-3-200111-I!!!PDF-E.pdf>. Mai 2008. – [Online; accessed 16-April-2012]
- [10] Dietmar Rudolph: *UKW-Stereo-Systeme und Zusatz-Signale*. http://www.radiomuseum.org/forumdata/users/133/file/Stereo_Systeme.pdf. Juni 2009. – [Online; accessed 25-March-2012]
- [11] FPGA Central: *PLA - Programmable logic arrays*. <http://www.fpgacentral.com/pld-types/pla-programmable-logic-arrays>. – [Online; accessed 13-July-2012]

- [12] Franz Schnyder ; Christoph Haller: *FM-Demodulator*. http://www.medialab.ch/archiv/pdf_studien_diplomarbeiten/2sa01/2sa2001-121_FmDemodulator%20%28Haller&Schnyder%29.pdf, HSR Hochschule für Technik Rapperswil, Semesterarbeit, Juli 2001
- [13] ITU Radiocommunication Assembly: *Transmission standards for FM sound broadcasting at VHF*. <http://www.utdallas.edu/~d1m/3350%20comm%20sys/ITU%20std%20on%20FM%20--%20R-REC-BS.450-3-200111-III!PDF-E.pdf>. 2001. – [Online; accessed 05-April-2012]
- [14] Jürgen Reichardt: *Lehrbuch Digitaltechnik*. Bd. 1. Oldenbourg, 2009. – ISBN 978-3-486-58908-5
- [15] Karl-Dirk Kammeyer: *Nachrichtenübertragung*. Bd. 4. Vieweg + Teubner, 2008. – ISBN 978-3-8351-0179-1
- [16] Linear Technology: *LTC2207/LTC2206 16-Bit, 105Msps/80Msps ADCs*. <http://www.linear.com/product/LTC2206>. August 2009. – [Online; accessed 07-March-2012]
- [17] Martin Meyer: *Signalverarbeitung*. Bd. 3. Vieweg, 2003. – ISBN 3-528-26955-3
- [18] Netz2K.de: *Rundfunkstationen in Deutschland*. <http://www.netz2k.de/radiofrequenzen/>. – [Online; accessed 17-March-2012]
- [19] Ohm ; Lück: *Signalübertragung*. Bd. 10. Springer, 2007. – ISBN 978-3-540-69256-0
- [20] Peter Gerdson ; Peter Kröger: *Digitale Signalverarbeitung in der Nachrichtenübertragung*. Bd. 2. Springer Verlag, 1997. – ISBN 3-540-61194-0
- [21] Ralf Richard Ohmberger: *Klirrfaktor*. <http://www.amplifier.cd/Tutorial/Klirrfaktor/Klirrfaktor.htm>. – [Online; accessed 22-July-2012]
- [22] Tom Rostock: *Entwurf und Realisierung eines FPGA basierten Software Defined Radios mit Echtzeit-Streaming-Schnittstelle zum PC*. http://opus.haw-hamburg.de/volltexte/2012/1527/pdf/ba_thesis_tom_rostock_1894123.pdf, Hochschule für Angewandte Wissenschaften Hamburg, Bachelor's thesis, August 2011
- [23] Valentin Stanev: *Abstratenumsetzung nach dem Direct-DownConversion Prinzip als FPGA-IP-Core für nachfolgende Auswertung durch Matlab*. http://opus.haw-hamburg.de/volltexte/2011/1243/pdf/VS_Masterthesis.pdf, Hochschule für Angewandte Wissenschaften Hamburg, Master's thesis, Februar 2011
- [24] Wikipedia: *Digital Down Converter*. http://de.wikipedia.org/wiki/Digital_Down_Converter. September 2007. – [Online; accessed 05-July-2012]
- [25] Wikipedia: *FM Broadcasting*. http://en.wikipedia.org/wiki/FM_broadcasting. August 2010. – [Online; accessed 03-July-2012]

- [26] Wikipedia: *Eulersche Formel*. http://de.wikipedia.org/wiki/Eulersche_Formel. Juni 2012. – [Online; accessed 18-July-2012]
- [27] Wikipedia: *Field Programmable Gate Array*. http://de.wikipedia.org/wiki/Field_Programmable_Gate_Array. Juni 2012. – [Online; accessed 13-July-2012]
- [28] Wikipedia: *Multiplexverfahren*. <http://de.wikipedia.org/wiki/Multiplexverfahren#Codemultiplexverfahren>. Mai 2012. – [Online; accessed 18-July-2012]
- [29] Wikipedia: *Serial ATA*. http://de.wikipedia.org/wiki/Serial_ATA#Daten.C3.BCbertragungsraten. Juli 2012. – [Online; accessed 20-July-2012]
- [30] Wikipedia: *Software Defined Radio*. http://de.wikipedia.org/wiki/Software_Defined_Radio. Juni 2012. – [Online; accessed 19-July-2012]
- [31] Wikipedia: *Tiefpass*. <http://de.wikipedia.org/wiki/Tiefpass>. März 2012. – [Online; accessed 11-July-2012]
- [32] Wireless Innovation Forum: *Wireless Innovation Forum*. <http://www.wirelessinnovation.org/>. – [Online; accessed 16-June-2012]
- [33] Xilinx: *Virtex-5 FXT FPGA ML507 Evaluation Platform*. <http://www.xilinx.com/products/boards-and-kits/HW-V5-ML507-UNI-G.htm>. – [Online; accessed 17-August-2012]
- [34] Xilinx: *Cascaded Integrator-Comb (CIC) Filter V3.0*. <http://www.ux.uis.no/~karlsk/MIK200/dok/XilinxCICfilter.pdf>. March 2002. – [Online; accessed 28-April-2012]
- [35] Xilinx: *Cascaded Integrator-Comb (CIC) Filter V3.0*. <http://www.ux.uis.no/~karlsk/MIK200/dok/XilinxCICfilter.pdf>. March 2002. – [Online; accessed 15-May-2012]
- [36] Xilinx: *LogiCORE IP DDS Compiler v4.0*. http://www.xilinx.com/support/documentation/ip_documentation/dds_ds558.pdf. March 2002. – [Online; accessed 05-May-2012]
- [37] Xilinx: *ML507 Reference Design User Guide*. http://www.xilinx.com/support/documentation/boards_and_kits/ug349.pdf. June 2009. – [Online; accessed 22-April-2012]
- [38] Xilinx: *ML505/506/507 Standard IP Design Adding PCores*. http://www.xilinx.com/products/boards/ml505/ml505_12.1/docs/ml505_std_ip_pcore_addition.pdf. Mai 2010. – [Online; accessed 04-July-2012]
- [39] Xilinx: *System Generator for DSP Reference Guide*. http://www.xilinx.com/support/documentation/sw_manuels/xilinx12_4/sysgen_ref.pdf. December 2010. – [Online; accessed 02-March-2012]
- [40] Xilinx: *LogiCore IP Cordic v4.0*. http://www.xilinx.com/support/documentation/ip_documentation/cordic_ds249.pdf. March 2011. – [Online; accessed 30-May-2012]

- [41] Xilinx: *LogiCORE IP Divider Generator v3.0*. http://www.xilinx.com/support/documentation/ip_documentation/div_gen_ds530.pdf. March 2011. – [Online; accessed 30-May-2012]
- [42] Xilinx: *ML505/ML506/ML507 Evaluation Platform User Guide*. http://www.xilinx.com/support/documentation/boards_and_kits/ug349.pdf. May 2011. – [Online; accessed 22-April-2012]
- [43] Xilinx: *System Generator for DSP User Guide*. http://www.xilinx.com/support/documentation/sw_manufactures/xilinx13_3/sysgen_user.pdf. October 2011. – [Online; accessed 02-March-2012]
- [44] Xilinx: *Virtex 5 User Guide*. http://www.xilinx.com/support/documentation/user_guides/ug190.pdf. March 2012. – [Online; accessed 10-April-2012]

Abkürzungsverzeichnis

ADC	Analog-Digital-Converter	FIR	Finite Impulse Response
ADU	Analog-Digital-Umsetzer	FM	Frequenzmodulation
AM	Amplitudenmodulation	FPGA	Field Programmable Gate Array
BNC	Bayonet Neill Concelman	GPIO	General Purpose Input/Output
CD	Compact Discs	HAW	Hochschule für Angewandte Wissenschaften
CFIR	Compensation-FIR	HDL	Hardware-Description-Language
CIC	Cascaded-Integrator-Comb	IEEE	Institute of Electrical and Electronics Engineers
CPLD	Complex-PLD	IP	Intellectual Property / Internet Protokoll
CPU	Central Processing Unit	ISO	International Standards Organisation
DAU	Digital-Analog-Umsetzer	IXCL	Instruction Xilinx Cache-Link
DCM	Digital Clock Manager	LAN	Local Area Network
DDC	Direct Down Converter	LED	Light Emitting Diode
DDS	Direct Digital Synthesis	LTE	Long-Term-Evolution
DIP	Dual In-line Package	LUT	Lookup-Tabelle
DMA	Direct Memory Access	MB	MicroBlaze
DXCL	Data Xilinx Cache-Link	NPI	Native-Port-Interface
EAGLE	Einfach Anzuwendender Graphischer Layout Editor	OSI	Open Systems Interconnection
EDK	Embedded Development Kit	OTP	One-Time Programmable
eSata	External SATA	PARC	Palo Alto Research Center
FAT	File Allocation Table	PCB	Printed Circuit Board
FFT	Fast Fourier Transformation		
FIFO	First In - First Out		

PGA	Programmable-Gain-Amplifier	TCP	Transmission Control Protocol
PLA	Programmable-Logic-Arrays	TEMAC	Tri-Mode Ethernet Media Access Controller
PLB	Processor Local Bus	UART	Universal Asynchronous Receiver Transmitter
PLD	Programmable-Logic-Device	UCF	User Constraint File
PLL	Phase-Locked-Loop	UDP	User Datagram Protocol
RAM	Random Access Memory	UMTS	Universal Mobile Telecommunications System
RBDS	Radio-Broadcasting-Data-System	UKW	Ultrakurzwelle
RDS	Radio-Data-System	USB	Universal Serial Bus
SATA	Serial Advanced Technology Attachment	VCO	Voltage-Controlled-Oscillator
SDR	Software Defined Radio	VHF	Very High Frequency
SNR	Signal-to-Noise Ratio		
SRAM	Static-Random-Access-Memory		

Anhang

Alle nachfolgend aufgelisteten Anhänge sind in elektronischer Form auf einer CD im Unterordner *Anhang* abgelegt. Diese ist der angehängten CD-Tasche zu entnehmen oder beim betreuenden Prüfer Prof. Dr.-Ing. Hans Jürgen Micheel einzusehen.

- {1} **Simulink DDC-Core** ([anhang/1_simulink_ddc_core.zip](#)): MATLAB-Simulinkmodell zur Simulation des DDC-Cores von [23].
- {2} **Simulink AM-Unterdrückung** ([anhang/2_simulink_am_suppression.zip](#)): MATLAB-Simulinkmodell zur Simulation der Unterdrückung von Amplitudenmodulation.
- {3} **Simulink FM-Demodulation** ([anhang/3_simulink_fm_demodulator.zip](#)): MATLAB-Simulinkmodell zur Simulation des FM-Demodulators, Erzeugung eines FM-Signals und Erstellung eines Multiplex-Signals, sowie gespeichert Ein- und Ausgangssignale der Modelle.
- {4} **Simulink De-Emphasis** ([anhang/4_simulink_deemphasis_filter.zip](#)): MATLAB-Simulinkmodell zur Simulation des De-Emphasis Filters.
- {5} **Simulink Pre-Emphasis** ([anhang/5_simulink_preemphasis_filter.zip](#)): MATLAB-Simulinkmodell zur Simulation eines Pre-Emphasis Filters.
- {6} **Simulink MPX-Decoder** ([anhang/6_simulink_mpx_decoder.zip](#)): MATLAB-Simulinkmodell zur Simulation des Multiplex-Signal-Decoders und gespeicherte Ein-, Aus- und Kontrollsignale.
- {7} **Simulink UKW_Decoder-Core** ([anhang/7_simulink_ukw_decoder_ip.zip](#)): MATLAB-Simulinkmodell und VHDL-Dateien, welche zur Simulation und Generierung des UKW_Decoder-Cores genutzt werden, sowie der generierte UKW_Decoder-Core.
- {8} **Tschebyscheff Filter** ([anhang/8_chebyshev_filter.zip](#)): Designs, Analysen und Messergebnisse des VHF-2 Bandpassfilters, sowie die EAGLE-Dateien zur Erstellung der Platine.
- {9} **EDK-Projekt UKW_Decoder** ([anhang/9_edk_ukw_decoder.zip](#)): Xilinx ISE Design Suite EDK- und SDR-Projektdateien des realisierten Systems.
- {10} **UDP Test** ([anhang/10_udp_receive_test.zip](#)): MATLAB Skript zu Verifikation der Datenübertragung über UDP.

- {11} **Messung DDC-Core** ([anhang/11_messung_ddc.zip](#)): Messergebnisse der DDC-Cores mit unterschiedlichen Eingangsfrequenzen.
- {12} **Messung AM-Unterdrückung** ([anhang/12_messung_am_suppression.zip](#)): Messergebnisse der Amplitudennormierung mit realen Signalen aus dem Signalgenerator und der Antenne.
- {13} **Messung FM-Demodulation** ([anhang/13_messung_fm_demodulator.zip](#)): Verschiedene Messungen zur FM-Demodulation mit realen Signalen aus dem Generator und der Antenne.
- {14} **Messung De-Emphasis** ([anhang/14_messung_deemphasis.zip](#)): Ergebnisse verschiedenster Messungen des De-Emphasis Filters mit realen Signalen aus dem Generator und der Antenne.
- {15} **Messung MPX-Decoder** ([anhang/15_messung_mpx_decoder.zip](#)): Messergebnisse unterschiedlicher Messungen des Schaltdecoders mit realen Signalen aus dem Generator und der Antenne.
- {16} **Klirrfaktormessung** ([anhang/16_klirrfaktormessung.zip](#)): Messergebnisse der Klirrfaktormessung.
- {17} **Aufnahmen** ([anhang/17_ausnahmen.zip](#)): Verschiedene Radioaufnahmen mit und ohne De-Emphasis Filter und unterschiedlichen Taktquellen des ADUs.
- {18} **UKW_Decoder GUI** ([anhang/18_ukw_decoder_gui.zip](#)): Eine mit MATLAB erstellte grafische Benutzeroberfläche (GUI), mit der die Signale vom realisierten Rundfunkempfänger empfangen und grafisch dargestellt werden können.
- {19} **Arkus-Sinus-Funktion** ([anhang/19_arcus_sinus.zip](#)): MATLAB Skript zum Erzeugen der Arkus-Sinus-Funktion, sowie eine grafische Darstellung der Funktion.

Versicherung über die Selbstständigkeit

Hiermit versichere ich, dass ich die vorliegende Arbeit im Sinne der Prüfungsordnung nach §16(5) APSO-TI-BM ohne fremde Hilfe selbstständig verfasst und nur die angegebenen Hilfsmittel benutzt habe. Wörtlich oder dem Sinn nach aus anderen Werken entnommene Stellen habe ich unter Angabe der Quellen kenntlich gemacht.

Hamburg, 29. August 2012

Ort, Datum

Unterschrift