



Hochschule für Angewandte Wissenschaften Hamburg
Hamburg University of Applied Sciences

Bachelorthesis

Safa Camur

Entwurf und Aufbau von DC/DC-Stellern

Safa Camur
Entwurf und Aufbau von DC/DC-Stellern

Bachelorthesis eingereicht im Rahmen der Bachelorprüfung
im Studiengang Informations- und Elektrotechnik
am Department Informations- und Elektrotechnik
der Fakultät Technik und Informatik
der Hochschule für Angewandte Wissenschaften Hamburg

Betreuender Prüfer : Prof. Dr. -Ing. Gustav Vaupel
Zweitgutachter : Prof. Dr. -Ing. Michael Röther

Abgegeben am 24.04.2015

Safa Camur

Thema der Bachelorthesis

Entwurf und Aufbau von DC/DC-Stellern

Stichworte

Tiefsetzsteller, Hochsetzsteller, Tief-/Hochsetzsteller

Kurzzusammenfassung

Diese Bachelorarbeit befasst sich mit der Entwurf und Aufbau eines Tiefsetz-, eines Hochsetz- und eines invertierenden Tief-/Hochsetzstellers für den Praktikumsversuch im Labor für Energietechnik.

Safa Camur

Title of the paper

Design and Construction of DC/DC-Converters

Keywords

step-down (buck), step-up (boost), step-up/step-down (buck/boost) converter

Abstract

The purpose of this report is the design and construction of a Step-Down-, Step-Up- and Step-Down/Step-Up-Converter.

Inhaltsverzeichnis

Tabellenverzeichnis	6
Abbildungsverzeichnis	7
1. Einleitung	10
2. Grundlagen	12
2.1. Sekundärgetaktete DC/DC-Steller	12
2.1.1. Der Tiefsetzsteller	12
2.1.2. Der Hochsetzsteller	15
2.1.3. Der Tief-/Hochsetzsteller	17
3. Simulationen	20
3.1. PORTUNUS	20
3.2. Simulation des Tiefsetzstellers	20
3.3. Simulation des Hochsetzstellers	29
3.4. Simulation des Tief-/Hochsetzstellers	34
4. Entwurf und Umsetzung	38
4.1. Entwurf der Schaltungen	38
4.1.1. CADSoft EAGLE	38
4.1.2. Überspannungs- und Verpolungsschutz	38
4.1.3. Mikrocontroller	39
4.1.4. Der Tiefsetzsteller	41
4.1.5. Der Hochsetzsteller	45
4.1.6. Der Tief-/Hochsetzsteller	49
4.1.7. Überspannungsschutzschaltung	50
4.2. Mikrocontroller-Programmierung	52
4.2.1. Pulsweitenmodulation PWM	52
4.2.2. AD-Wandler	54
5. Verlustleistungen und Wirkungsgrade	55
5.1. Verluste an dem MOSFET	55
5.2. Verluste an der Diode	57

5.3. Wirkungsgrad des umgesetzten Tiefsetzstellers	57
5.4. Wirkungsgrad des umgesetzten Hochsetzstellers	59
5.5. Wirkungsgrad des umgesetzten Tief-/Hochsetzstellers	60
6. Praktische Versuchsdurchführung	62
6.1. Versuchsdurchführung Tiefsetzsteller	62
6.1.1. Versuchsaufbau	62
6.1.2. Darstellung der U_a - und I_a -Kennlinien	63
6.1.3. Zeitliche Verläufe der U_L, I_L, U_T, I_T und U_D, I_D bei $U_e = 12V, f_{Takt} = 18kHz$ und $R_{Last} = 10\Omega$	65
6.2. Versuchsdurchführung Hochsetzsteller	70
6.2.1. Versuchsaufbau	70
6.2.2. Darstellung der U_a - und I_a -Kennlinien	71
6.2.3. Zeitliche Verläufe der U_L, I_L, U_T, I_T und U_D, I_D bei $U_e = 15V, f_{Takt} = 18kHz$ und $R_{Last} = 100\Omega$	74
6.3. Versuchsdurchführung Tief-/Hochsetzsteller	79
6.3.1. Versuchsaufbau	79
6.3.2. Darstellung der U_a - und I_a -Kennlinien	80
6.3.3. Zeitliche Verläufe der U_L, I_L, U_T, I_T und U_D, I_D bei $U_e = 12V, f_{Takt} = 18kHz$ und $R_{Last} = 100\Omega$	83
7. Fazit	92
Literaturverzeichnis	93
Anhang	94
Anhang A. Glossar	95
A.1. Abkürzungen	95
A.2. Formelzeichen	96
A.3. Indizes	97
Anhang B. Schaltpläne und Layouts	99
B.1. Schaltplan des Tiefsetzstellers	99
B.2. Layout des Tiefsetzstellers	101
B.3. Schaltplan des Hochsetzstellers	101
B.4. Layout des Hochsetzstellers	103
B.5. Schaltplan des invertierenden Tief-/Hochsetzstellers	103
B.6. Layout des invertierenden Tief-/Hochsetzstellers	105

Tabellenverzeichnis

4.1. Tabellarische Auflistung der zum Leistungsteil des Tiefsetzstellers gehörenden Bauelemente	41
4.2. Eckdaten des Tiefsetzstellers	44
4.3. Tabellarische Auflistung der zum Leistungsteil des Hochsetzstellers gehörenden Bauelemente	45
4.4. Eckdaten des Hochsetzstellers	48
4.5. Tabellarische Auflistung der zum Leistungsteil des invertierenden Tief-/Hochsetzstellers gehörenden Bauelemente	49
4.6. Eckdaten des invertierenden Tief-/Hochsetzstellers	50
5.1. Gemessene Ein- und Ausgangsstrom für die Berechnung der Ein- und Ausgangsleistung und der Wirkungsgrad des Tiefsetzstellers bei einer Eingangsspannung von 12V, einer Ausgangsspannung von 6V und einer Schaltfrequenz von 18kHz	57
5.2. Gemessene Ein- und Ausgangsstrom für die Berechnung der Ein- und Ausgangsleistung und der Wirkungsgrad des Hochsetzstellers bei einer Eingangsspannung von 15V, einer Ausgangsspannung von 30V und einer Schaltfrequenz von 18kHz	59
5.3. Gemessene Ein- und Ausgangsstrom für die Berechnung der Ein- und Ausgangsleistung und der Wirkungsgrad des invertierenden Tief-/Hochsetzstellers bei einer Eingangsspannung von 12V, einer Ausgangsspannung von -24V und einer Schaltfrequenz von 18kHz	60
6.1. Theoretische- und gemessene Ergebnisse bei $f_{Takt} = 18kHz$ und $U_e = 12V$	64
6.2. Theoretische und gemessene Ergebnisse bei $f_{Takt} = 18kHz$, $R_{Last} = 100\Omega$ und $U_e = 15V$	71
6.3. Theoretische- und gemessene Ergebnisse des invertierenden Tief-/Hochsetzstellers bei $f_{Takt} = 18kHz$ und $U_e = 12V$	80

Abbildungsverzeichnis

2.1. Prinzipschaltung eines Tiefsetzstellers	12
2.2. Prinzipschaltung eines Hochsetzstellers	15
2.3. Prinzipschaltung eines Tief-/Hochsetzstellers	17
3.1. Simulation des Tiefsetzstellers	21
3.2. Simulation des Tiefsetzstellers; Verlauf des Induktivitäts- (L1.I, rot) und Laststroms (RLast.I, schwarz); $U_e = 12V, R_{Last} = 10\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0,5$	23
3.3. Simulation des Tiefsetzstellers; Verlauf des Induktivitätsstroms (L1.I, rot) bei Leit- und Sperrphase des MOSFETs (UDS.V, blau); $U_e = 12V, R_{Last} = 10\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0.5$	24
3.4. Simulation des Tiefsetzstellers; Verlauf der Drain-Source-Spannung (UDS.V, blau), der Diodenspannung (UD1.V, grün), der invertierte Induktivitätsspannung (L1.V*-1, rot), der Ausgangsspannung (Ca.V, schwarz) und der Eingangsspannung (Ue.TR, pink); $U_e = 12V, R_{Last} = 10\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0.5$	25
3.5. Simulation des Tiefsetzstellers; Verlauf des Induktivitäts- (L1.I, rot) und Kondensatorstroms (Ca.I, schwarz); $U_e = 12V, R_{Last} = 10\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0.5$	26
3.6. Simulation des Tiefsetzstellers; Verlauf des Induktivitätsstroms (L1.I, rot) und Laststroms (RLast.I, schwarz) an der Lückgrenze; $U_e = 12V, R_{Last} = 72\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0.5$	27
3.7. Simulation des Tiefsetzstellers; Verlauf des Induktivitätsstroms (L1.I, rot) und Laststroms (RLast.I, schwarz) im Lückbetrieb; $U_e = 12V, R_{Last} = 500\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0.5$	28
3.8. Simulation des Tiefsetzstellers; Verlauf des Induktivitäts-, des Dioden-, und des Transistorstrom; $U_e = 12V, R_{Last} = 10\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0.5$	29
3.9. Simulation des Hochsetzstellers	30
3.10. Simulation des Hochsetzstellers; Induktivitäts- und Laststrom an der Lückgrenze; ($U_e = 15V, R_{Last} = 288\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0,5$)	31

3.11. Simulation des Hochsetzstellers; Stromverlauf an der Induktivität bei Leit- und Sperrphase des MOSFETs; ($U_e = 15V, R_{Last} = 100\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0,5$)	32
3.12. Simulation des Hochsetzstellers; Dioden- und Kondensatorstrom; ($U_e = 15V, R_{Last} = 100\Omega, L1 = 1mH, f = 18kHz, d = 0,5$)	33
3.13. Simulation des Hochsetzstellers; Spannungsverläufe; ($U_e = 15V, R_{Last} = 100\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0,5$)	34
3.14. Simulationsschaltung invertierenden Tief- und Hochsetzsteller	35
3.15. Simulation des invertierenden Tief-/Hochsetzsteller; Stromverlauf am Ausgangskondensator; ($U_e = 12V, R = 100\Omega, L1 = 1mH, f = 18kHz, d = 0,6$)	36
3.16. Simulation des invertierenden Tief-/Hochsetzstellers; Spannungsverläufe; ($U_e = 12V, R_{Last} = 100\Omega, L1 = 1mH, f_{Takt} = 18kHz, d = 0,6$)	37
4.1. Überspannungs- und Verpolungsschutz	38
4.2. Pin-Belegung des Atmel ATtiny861A [1]	40
4.3. Beschaltung des Mikrocontrollers	40
4.4. 5V-Spannungsregler	41
4.5. Leistungsteil des Tiefsetzstellers	42
4.6. Blockdiagramm des CMOS-Treiberbaustein ICL7667 des Herstellers intersil	43
4.7. Leistungsteil des Hochsetzstellers	46
4.8. Blockdiagramm des nicht invertierenden CMOS-Treiberbausteins TC4427 vom Hersteller Microchip	47
4.9. Spannungsversorgung der IC-Bausteine	48
4.10. Leistungsteil des invertierenden Tief-/Hochsetzstellers	49
4.11. Überspannungsschutzschaltung [13]	51
4.12. PWM-Verlauf, Tastgrad $d = \frac{t_1}{T}$	52
5.1. Verlauf des Wirkungsgrades von dem realisierten Tiefsetzsteller bei einer Eingangsspannung von 12V, einer Ausgangsspannung von 6V und einer Schaltfrequenz von 18kHz	58
5.2. Verlauf des Wirkungsgrades von dem realisierten Hochsetzsteller bei einer Eingangsspannung von 15V, einer Ausgangsspannung von 30V und einer Schaltfrequenz von 18kHz	60
5.3. Verlauf des Wirkungsgrades von dem realisierten Tief-/Hochsetzsteller bei einer Eingangsspannung von 12V, einer Ausgangsspannung von -24V und einer Schaltfrequenz von 18kHz	61
6.1. Platine Tiefsetzsteller	63
6.2. Darstellung der $U_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 12V, f_{Takt} = 18kHz, R_{Last} = 10\Omega$)	64

6.3. Darstellung der $I_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 12V$, $f_{Takt} = 18kHz$, $R_{Last} = 10\Omega$)	65
6.4. Zeitlicher Verlauf von U_L (gelb) und I_L (rot) ($I_{L,avg} = 557mA$) bei $d = 0,5$	66
6.5. Zeitlicher Verlauf von U_D (gelb) und I_D (rot) bei $d = 0,5$	67
6.6. Zeitlicher Verlauf von U_T (violett) und I_T (rot) bei $d = 0,5$	68
6.7. Zeitlicher Verlauf von I_L (rot) und I_T (blau) bei $d = 0,3$	69
6.8. Zeitlicher Verlauf von I_L (rot) und I_D (blau) bei $d = 0,3$	69
6.9. Platine Hochsetzsteller	70
6.10. Darstellung der $U_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 15V$, $f_{Takt} = 18kHz$, $R_{Last} = 100\Omega$)	72
6.11. Darstellung der $I_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 15V$, $f_{Takt} = 18kHz$, $R_{Last} = 100\Omega$)	73
6.12. Zeitlicher Verlauf von U_L (gelb) und I_L (rot) ($I_{L,avg} = 592,46mA$) bei $d = 0,5$	74
6.13. Zeitlicher Verlauf von U_T (gelb) und I_L (rot) ($I_{L,avg} = 577,39mA$) bei $d = 0,5$	75
6.14. Zeitlicher Verlauf von U_D (gelb) und I_D (rot) bei $d = 0,5$	76
6.15. Zeitlicher Verlauf von U_T (gelb) und I_T (rot) bei $d = 0,5$	77
6.16. Zeitlicher Verlauf von I_L (rot) und I_T (blau) bei $d = 0,4$	78
6.17. Zeitlicher Verlauf von I_L (rot) und I_D (blau) bei $d = 0,4$	78
6.18. Platine Tief-/Hochsetzsteller	79
6.19. Darstellung der $U_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 12V$, $f_{Takt} = 18kHz$, $R_{Last} = 10\Omega$)	81
6.20. Darstellung der $I_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 12V$, $f_{Takt} = 18kHz$, $R_{Last} = 10\Omega$)	82
6.21. Zeitlicher Verlauf von U_L (gelb) und I_L (rot) bei $d = 0,2$ (Lückbetrieb)	83
6.22. Zeitlicher Verlauf von U_L (gelb) und I_L (rot) bei $d = 0,089$ (Lückbetrieb)	84
6.23. Zeitlicher Verlauf von U_L (gelb) und I_L (rot) ($I_{L,avg} = 891,7mA$) bei $d = 0,7$	85
6.24. Zeitlicher Verlauf von U_T (violett) und I_T (rot) bei $d = 0,2$ (Lückbetrieb)	86
6.25. Zeitlicher Verlauf von U_T (violett) und I_T (rot) bei $d = 0,7$	87
6.26. Zeitlicher Verlauf von U_D (gelb) und I_D (rot) bei $d = 0,2$ (Lückbetrieb)	88
6.27. Zeitlicher Verlauf von U_D (gelb) und I_D (rot) bei $d = 0,7$	89
6.28. Zeitlicher Verlauf von I_L (rot) und I_D (blau) bei $d = 0,7$	90
6.29. Zeitlicher Verlauf von I_L (rot) und I_T (blau) bei $d = 0,7$	91
B.1. Layout des Tiefsetzstellers	101
B.2. Layout des Hochsetzstellers	103
B.3. Layout des Tief-/Hochsetzstellers	105

1. Einleitung

Die Gleichspannungssteller sind in der Elektrotechnik weit verbreitet. Sie kommen in alltäglichen Gebrauchsgegenständen wie Ladegeräten für Handys und Notebooks vor. Unter Verwendung eines Gleichspannungsstellers, auch DC/DC-Steller¹ genannt, wird der Betrag der Gleichspannung verändert. Es ist auch möglich, die Polarität der Gleichspannung zu verändern und den Eingang vom Ausgang galvanisch zu trennen.

Im Leistungsbereich bis etwa 100W [6] werden zweckmäßigerweise Tiefsetz-, Hochsetz- und Tief-/Hochsetzsteller eingesetzt, sofern es zulässig ist, dass keine Potentialtrennung zwischen Eingangs- und Ausgangsspannung möglich ist. Diese gehören zu der Gruppe von sekundärgetakteten DC/DC-Steller. Sie sind einfacher und kostengünstiger herzustellen. Ein sekundärgetakteter DC/DC-Steller besteht grundsätzlich aus einem Schalter, einer Induktivität, einem Kondensator und einer Diode. Zusätzlich ist noch eine Steuer- oder Regelschaltung erforderlich.

Für noch größere Leistungen oder wenn eine galvanische Trennung zwischen Ein- und Ausgang benötigt wird, werden primärgetaktete DC/DC-Steller eingesetzt. Die primärgetakteten DC/DC-Steller werden in dieser Arbeit nicht behandelt.

Um aus einer vorhandenen Gleichspannung eine kleinere Gleichspannung zu erzeugen, wird der Tiefsetzsteller eingesetzt. Der Hochsetzsteller hingegen wird verwendet, um aus einer Gleichspannung eine größere Gleichspannung zu erzeugen. Der invertierende Tief-/Hochsetzsteller erzeugt aus einer positiven Gleichspannung eine negative Gleichspannung. Der Betrag der Ausgangsspannung des invertierenden Tief-/Hochsetzstellers kann kleiner, größer oder gleich (beim idealen Fall) der Eingangsspannung sein.

Diese vorliegende Bachelorarbeit befasst sich mit dem Entwurf und Aufbau eines Tiefsetzstellers, eines Hochsetzstellers und eines invertierenden Tief-/Hochsetzstellers für den Praktikumsversuch im Labor für Energietechnik. Für die Ansteuerung des Schalters der jeweiligen DC/DC-Steller mit einem PWM-Signal, welches ein variablen Tastgrad und variabler Schaltfrequenz hat, wird ein Mikrocontroller verwendet.

Zunächst werden in den Kapiteln 2.1.1 bis 2.1.3 die theoretischen Grundlagen für das Verständnis der Arbeitsweise eines Tiefsetz-, eines Hochsetz-, und eines invertierenden Tief-/Hochsetzstellers zusammengefasst. Für die Simulationen wird das Simulationsprogramm

¹DC:Direct Current

PORTUNUS verwendet. Dazu werden zuerst die Bauteile der Schaltungen dimensioniert und anschließend die Strom und Spannungsverläufe simuliert. Die Simulationen dienen als Orientierungshilfe und zum besseren Verständnis beim Entwerfen, Dimensionieren und Optimieren der Schaltungen.

Anschließend wurden die Bauteile für die Schaltungen ausgewählt, die Schaltpläne und die Layouts der Platinen mit dem Programm EAGLE erstellt. Nach der Bestückung und Inbetriebnahme der DC/DC-Steller werden die Verlustleistungen untersucht und ein praktischer Versuch durchgeführt.

2. Grundlagen

2.1. Sekundärgetaktete DC/DC-Steller

In diesem Abschnitt werden die Grundlagen des später umgesetzten Tiefsetz-, Hochsetz- und Tief-/Hochsetzstellers behandelt.

2.1.1. Der Tiefsetzsteller

Der Tiefsetzsteller (Abb. 2.1), auch Abwärtswandler genannt, wandelt eine höhere Gleichspannung in eine niedrige Gleichspannung um. Dies geschieht durch das Zu- und Abschalten der zu wandelnde Eingangsspannungsquelle. Bei geschlossenem Schalter S fließt ein Strom durch den Schalter, lädt die Induktivität L, den Kondensator C und führt Energie an den Verbraucher. Der Verbraucher wird dem Kondensator parallel zugeschaltet. Die Induktivität baut aufgrund des Stromflusses ein Magnetfeld auf und wirkt als magnetischer Energiespeicher. Beim Öffnen des Schalters entmagnetisiert sich die Induktivität über den Kondensator, den Verbraucher und über die Diode D und erzeugt eine Spannung mit umgekehrter Polarität. Die Induktivität fungiert nun als Spannungsquelle. Über die Veränderung der Ein- und Ausschaltzeit der Eingangsspannungsquelle wird die Höhe der Spannung am Kondensator eingestellt. [13][17]

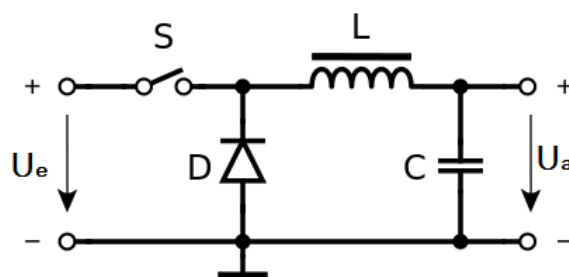


Abbildung 2.1.: Prinzipschaltung eines Tiefsetzstellers

Bei der folgenden Funktionsbeschreibung der Schaltung in Abbildung 2.1 wird vereinfachend angenommen, dass der Schalter und die Diode keinen Spannungsabfall während der jeweiligen Einschaltphasen haben. Der ohmsche Widerstand der Induktivität und der Innenwiderstand des Kondensators werden ebenfalls vernachlässigt. Bei geschlossenem Schalter steigt der Strom durch die Induktivität nach dem Induktionsgesetz mit der Steilheit

$$\frac{\Delta I_{L, \text{ein}}}{t_{\text{ein}}} = \frac{U_e - U_a}{L} \quad (2.1)$$

an. Über die Induktivität liegt die Differenz zwischen Ein- und Ausgangsspannung an. Bei geöffnetem Schalter kehrt die Polarität der Spannung an der Induktivität um und der Strom durch die Induktivität nimmt mit der Steilheit

$$\frac{\Delta I_{L, \text{aus}}}{t_{\text{aus}}} = \frac{-U_a}{L} \quad (2.2)$$

ab. Im eingeschwungenen Zustand ist die Energieaufnahme während der Einschaltzeit t_{ein} und die Energieabgabe während der Ausschaltzeit t_{aus} gleich groß. Durch Gleichsetzen

$$\Delta I_L = \frac{(U_e - U_a)}{L} \cdot t_{\text{ein}} = \frac{U_a}{L} \cdot t_{\text{aus}} \quad (2.3)$$

ergibt sich für die Ausgangsspannung U_a :

$$U_a = \frac{t_{\text{ein}}}{t_{\text{ein}} + t_{\text{aus}}} \cdot U_e = \frac{t_{\text{ein}}}{T_{\text{Takt}}} \cdot U_e = d \cdot U_e \quad (2.4)$$

Durch geeignete Wahl des Tastgrades $d = \frac{t_{\text{ein}}}{t_{\text{ein}} + t_{\text{aus}}} = \frac{t_{\text{ein}}}{T_{\text{Takt}}}$ lässt sich die Höhe der Ausgangsspannung einstellen. Für den Ein- und Ausgangsstrom gilt über eine Leistungsbilanz zwischen Ein- und Ausgang:

$$P_e = U_e \cdot I_e = U_a \cdot I_a = P_a \quad (2.5)$$

Daraus resultiert unmittelbar die Beziehung:

$$\frac{U_e}{U_a} = \frac{I_a}{I_e} = \frac{1}{d} \quad (2.6)$$

Die Stromänderung in der Induktivität ΔI_L ist für die Ein- und Ausschaltdauer betragsmäßig gleich groß. Daher wird für die Dimensionierung der Induktivität nur der Einschaltvorgang betrachtet:

$$L = \frac{U_e - U_a}{\Delta I_L} \cdot t_{ein} \quad (2.7)$$

Mit Gleichung 2.4 folgt:

$$L = \frac{(U_e - U_a) \cdot d \cdot T_{Takt}}{\Delta I_L} = \frac{(U_e - d \cdot U_e) \cdot d}{\Delta I_L \cdot f_{Takt}} \quad (2.8)$$

Damit erhält man eine Dimensionierungsgleichung für die Induktivität. Der durch die Last am Ausgang eingepreßte Strom I_a ist identisch mit dem zeitlichen Mittelwert des Stroms in der Induktivität \bar{I}_L . Bei einem Ausgangsstrom von

$$I_{a,min} < \frac{\Delta I_L}{2} \quad (2.9)$$

, wird der Strom in der Induktivität I_L zu jeder Periode zu Null. Man nennt dies den lückenden Betrieb. Dann stimmen die Gleichungen 2.1 bis 2.9 nicht mehr. Die maximale Schwankungsbreite des Stroms in der Induktivität $\Delta I_{L,max}$ ergibt sich für den Tastgrad $d = 0,5$. Nach Umformen der Gleichung 2.8 und mit Gleichung 2.9 gilt für den minimalen Ausgangsstrom $I_{a,min}$ im ungünstigsten Fall:

$$I_{a,min}|_{d=\frac{1}{2}} \geq \frac{\Delta I_{L,max}}{2}|_{d=\frac{1}{2}} = \frac{(U_{e,max} - d \cdot U_{e,max}) \cdot d}{2 \cdot L \cdot f_{Takt}}|_{d=\frac{1}{2}} = \frac{U_{e,max} \cdot T_{Takt}}{8 \cdot L} \quad (2.10)$$

Somit kann die Induktivität auch mit der Gleichung 2.10 für ein gewünschter Mindestausgangsstrom dimensioniert werden. Der minimale Ausgangsstrom nimmt mit steigender Schaltfrequenz f_{Takt} ab. Die obere Grenze der Schaltfrequenz ergibt sich aus den Schaltverlusten des Schalters und Verlusten im Kernmaterial der Induktivität.

Durch den Kondensator C werden die Spannungsschwankungen geglättet. Wird der Schalter S geschlossen, entspricht die Ausgangsspannung etwa der Eingangsspannung, nachdem der Kondensator C komplett geladen ist. Die Mindestkapazität des Ausgangskondensators wird mit der Gleichung 2.11 dimensioniert.[?]

$$C \geq \frac{U_{e,max} \cdot T_{Takt}^2}{32 \cdot L \cdot \Delta U_a} \quad (2.11)$$

Erhöht man die Kapazität oder die Frequenz, so reduziert sich die Welligkeit noch weiter. Da die Frequenz quadratisch eingeht, würde eine Verdopplung der Frequenz die Restwelligkeit auf ein Viertel reduzieren. Der Nachteil einer Frequenzerhöhung sind die steigenden Schaltverluste, die in Kapitel 5 beschrieben werden.

2.1.2. Der Hochsetzsteller

Der Hochsetzsteller (Abb. 2.2), auch Aufwärtswandler genannt, wandelt eine niedrige Gleichspannung in eine höhere Gleichspannung um. Bei geschlossenem Schalter S fließt der Eingangsstrom durch die Induktivität L. Es wird magnetische Energie gespeichert. Wenn der Schalter geöffnet wird, bleibt der Stromfluss in der Induktivität zunächst erhalten und die Polarität der Spannung an der Induktivität kehrt um. Die in der Induktivität gespeicherte Energie wird nun über die Diode D in den Kondensator C umgeladen. Die Eingangsspannung und die Spannung an der Induktivität addieren sich auf. Die sich im Kondensator einstellende Spannung ist dann die Eingangsspannung plus die Spannung an der Induktivität. Schließt man ein Verbraucher an den Ausgang, dann wird der Kondensator wieder entladen und die Spannung an diesem Bauteil sinkt. Der Schaltvorgang wird so ständig wiederholt. Die Diode verhindert beim lückenden Betrieb das Entladen des Kondensators bei geöffnetem Schalter über die Eingangsspannungsquelle.[13][17]

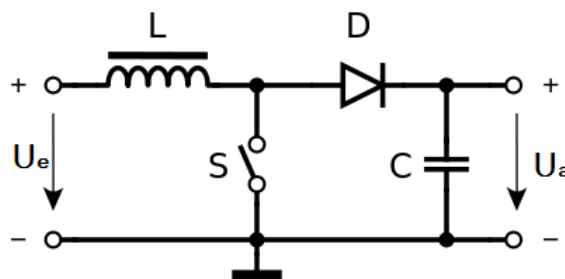


Abbildung 2.2.: Prinzipschaltung eines Hochsetzstellers

Bei der folgenden Funktionsbeschreibung der Schaltung wird nicht lückender Betrieb angenommen, $I_e \geq I_{e,min}$ und die Bauelemente als verlustfrei betrachtet. Während der Einschaltzeit t_{ein} des Schalters liegt über die Induktivität die Eingangsspannung U_e und der Strom durch die Induktivität steigt mit der Steilheit $\frac{\Delta I_{L,ein}}{t_{ein}} = \frac{U_e}{L}$ an. Während der Ausschaltzeit t_{aus} des Schalters übernimmt die Diode den durch die Induktivität einprägten Strom. In dieser Zeit liegt über die Induktivität die Differenz zwischen Ein- und Ausgangsspannung und der Strom durch die Induktivität nimmt mit der Steilheit $\frac{\Delta I_{L,aus}}{t_{aus}} = \frac{-(U_a - U_e)}{L}$ ab. Im eingeschwungenen Zustand gilt für die Stromänderung in der Induktivität:

$$\Delta I_L = \frac{U_e}{L} \cdot t_{ein} = \frac{U_a - U_e}{L} \cdot t_{aus} \quad (2.12)$$

Mit der Periodendauer $T_{Takt} = t_{ein} + t_{aus}$, der Taktfrequenz f_{Takt} und des Tastgrades $d = \frac{t_{ein}}{T_{Takt}}$ lässt sich die von dem Tastgrad d abhängige Ausgangsspannung U_a berechnen:

$$U_a = \frac{1}{1-d} \cdot U_e \quad (2.13)$$

Der Zusammenhang zwischen Ein- und Ausgangsstrom kann unter Vernachlässigung der Verluste über eine Leistungsbilanz zwischen Ein- und Ausgang bestimmt werden.

$$\frac{I_a}{I_e} = \frac{U_e}{U_a} = 1 - d \quad (2.14)$$

Der Mittelwert des Stroms in der Induktivität \bar{I}_L ist gleich dem Eingangsstrom I_e und ist immer größer oder gleich (bei einem Tastgrad $d=0$) des Ausgangsstromes I_a . Mit den Gleichungen 2.12 und 2.13 folgt für die Dimensionierung der Induktivität:

$$L = \frac{U_e \cdot d}{\Delta I_L \cdot f_{Takt}} = \frac{(1-d) \cdot d \cdot U_a}{\Delta I_L \cdot f_{Takt}} \quad (2.15)$$

Bei

$$I_{e,min} < \frac{\Delta I_L}{2} \quad (2.16)$$

, wird der Strom in der Induktivität I_L zu jeder Periode zu Null und lükt. Dann sind die Gleichungen 2.12 bis 2.15 nicht mehr gültig. Da die Induktivität nur während der Ausschaltzeit Energie in den Ausgangskondensator pumpt und während der Einschaltzeit keinen Strom zum Ausgang liefern kann, kann man für den Ausgangsstrom schreiben:

$$I_a = \frac{t_{aus}}{T_{Takt}} \cdot I_e = (1-d) \cdot I_e \quad (2.17)$$

Je größer die Differenz zwischen Ein- und Ausgangsspannung wird (je größer der Tastgrad), desto größer wird der Eingangsstrom. Für den Mindestausgangsstrom $I_{a,min}$ der bei einem bestimmten Tastgrad nicht unterschritten werden darf, damit der Strom in der Induktivität nicht lükt, gilt:

$$I_{a,min} = \frac{t_{aus}}{T_{Takt}} \cdot I_e = \frac{\Delta I_L}{2} \cdot \frac{t_{aus}}{T_{Takt}} = \frac{\Delta I_L}{2} \cdot (1-d) = \frac{(1-d) \cdot U_e \cdot t_{ein}}{2 \cdot L} = \frac{(1-d) \cdot U_e \cdot d}{2 \cdot L \cdot f_{Takt}} \quad (2.18)$$

Aus $\frac{dI_{a,min}}{dd} = 0$ folgt, dass der Mindestausgangsstrom $I_{a,min}$ für $d = 0,5$ maximal wird. Somit gilt für den Mindestausgangsstrom im ungünstigsten Fall bei $d = 0,5$ an der Lückgrenze:

$$I_{a,min} \geq \frac{U_{e,max} \cdot T_{Takt}}{8 \cdot L} \quad (2.19)$$

Die Induktivität kann somit auch für einen gewünschten Mindestausgangsstrom dimensioniert werden. Der Mindestkapazitätswert des Ausgangskondensators wird mit der Gleichung 2.20 dimensioniert [16].

$$C \geq \frac{T_{Takt} \cdot I_{a,max}}{\Delta U_a} \quad (2.20)$$

2.1.3. Der Tief-/Hochsetzsteller

Der invertierende Tief-/Hochsetzsteller (Abb. 2.3), auch Inverswandler genannt, wandelt eine positive Gleichspannung in eine negative Gleichspannung um. Der Betrag der Ausgangsspannung kann größer, kleiner oder gleich der Eingangsspannung sein. Bei geschlossenem Schalter S ist die Diode D in Sperrrichtung geschaltet. Es fließt ein Strom durch den Schalter und die Induktivität L. Die Induktivität nimmt zu diesem Zeitpunkt Energie auf und speichert sie. Nach dem öffnen des Schalters wirkt die Induktivität als Spannungsquelle mit umgekehrter Polarität. Am oberen Spulenanschluss ist nun die Spannung negativ gegenüber dem unteren Spulenanschluss. Die Diode ist nun. Der Induktivitätsstrom lädt den Kondensator C und speist den Verbraucher.[13][17]

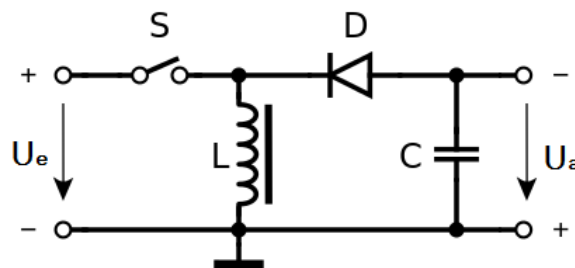


Abbildung 2.3.: Prinzipschaltung eines Tief-/Hochsetzstellers

Bei der folgenden Funktionsbeschreibung der Schaltung wird nicht lückender Betrieb angenommen und die Bauelemente als verlustfrei betrachtet. Während der Einschaltzeit des Schalters liegt über die Induktivität die Eingangsspannung U_L und der Strom durch die Induktivität steigt mit der Steilheit $\frac{\Delta I_{L,ein}}{t_{ein}} = \frac{U_e}{L}$ an. Während der Ausschaltzeit t_{aus} des Schalters übernimmt die Diode den Strom der Induktivität. In dieser Zeit liegt über die Induktivität die Spannung $U_L = -U_a$ und der Strom durch die Induktivität nimmt mit der Steilheit $\frac{\Delta I_{L,aus}}{t_{aus}} = \frac{U_a}{L}$ ab. Im eingeschwungenen Zustand ist die Energieaufnahme während der Einschaltzeit t_{ein} und die Energieabgabe während der Ausschaltzeit t_{aus} gleich groß. Für die Stromänderung in der Induktivität gilt:

$$\Delta I_L = \frac{U_e \cdot t_{ein}}{L} = \frac{U_a \cdot t_{aus}}{L} \quad (2.21)$$

Hieraus kann die Ausgangsspannung in Abhängigkeit vom Tastgrad d berechnet werden:

$$|U_a| = \frac{t_{ein}}{t_{aus}} \cdot U_e = \frac{d}{1-d} \cdot U_e \quad (2.22)$$

Für den Zusammenhang zwischen den Ein- und Ausgangsstrom gilt unter Vernachlässigung der Verluste über eine Leistungsbilanz zwischen Ein- und Ausgang:

$$I_e = \frac{U_a}{U_e} \cdot I_a \quad (2.23)$$

Für $t_{ein} < t_{aus}$ bzw. $d < 0,5$ ist der Betrag der Ausgangsspannung kleiner als der Betrag der Eingangsspannung. Dagegen ist für $t_{ein} > t_{aus}$ bzw. $d > 0,5$ der Betrag der Ausgangsspannung größer als der Betrag der Eingangsspannung. Für $t_{ein} = t_{aus}$ bzw. $d = 0,5$ sind die Beträge unter Vernachlässigung der Verluste gleich. Mit den Gleichungen 2.21 und 2.22 gilt für die Dimensionierung der Induktivität:

$$L = \frac{U_e \cdot t_{ein}}{\Delta I_L} = \frac{|U_a| \cdot (1-d) \cdot t_{ein}}{d \cdot \Delta I_L} = \frac{|U_a| \cdot (1-d)}{\Delta I_L \cdot f_{Takt}} = \frac{d \cdot U_e}{\Delta I_L \cdot f_{Takt}} \quad (2.24)$$

Die Energie wird wie beim Hochsetzsteller nur während der Ausschaltzeit t_{aus} des Schalters zum Ausgang übertragen. Daher kann man für den Zusammenhang zwischen den Induktivitätsstrom und dem Ausgangsstrom feststellen:

$$I_a = \frac{t_{aus}}{T_{Takt}} \cdot \bar{I}_L = (1-d) \cdot \bar{I}_L \quad (2.25)$$

Im lückenden Betrieb wird der Strom in der Induktivität zu jeder Periode zu Null. Dies ist bei einem Induktivitätsstrom von

$$\bar{I}_L < \frac{\Delta I_L}{2} \quad (2.26)$$

der Fall. In diesem Fall stimmen die oben angegebenen Gleichungen nicht mehr. Für den Mindestausgangsstrom $I_{a,min}$ bei einem bestimmten Tastgrad gilt:

$$I_{a,min} = \frac{\Delta I_L}{2} \cdot \frac{t_{aus}}{T_{Takt}} = \frac{\Delta I_L}{2} \cdot (1 - d) = \frac{(1 - d) \cdot d \cdot U_e}{2 \cdot L \cdot f_{Takt}} \quad (2.27)$$

Aus $\frac{dI_{a,min}}{dd} = 0$ folgt, dass der Mindestausgangsstrom $I_{a,min}$ für $d = 0,5$ maximal wird. Somit gilt mit der Gleichung 2.27 für den Mindestausgangsstrom im ungünstigsten Fall bei $d = 0,5$ an der Lückgrenze:

$$I_{a,min}|_{d=0,5} \geq \frac{U_{e,max} \cdot T_{Takt}}{8 \cdot L} \quad (2.28)$$

Der Mindestkapazitätswert des Ausgangskondensators wird auch mit der Gleichung 2.20 dimensioniert [16].

3. Simulationen

3.1. PORTUNUS

Für die Simulationen wurde das Programm PORTUNUS benutzt. PORTUNUS ist ein Simulationstool der Firma Adapted Solutions GmbH. Es wird zur Simulation und Analyse von Schaltungen und Systemen der Elektro- und Elektroenergie-technik, Leistungselektronik und der elektrischen Antriebstechnik verwendet. Das Simulationstool PORTUNUS wird national und international in Industrieunternehmen und in Hochschulen eingesetzt. Im Rahmen dieser Arbeit wird die Version PORTUNUS PRO V5.2 verwendet.

Den Grundsaltungen der DC/DC-Steller in den Simulationen entsprechen von den simulierten Bauteilen etwa die umgesetzten Schaltungen. Die Treiberschaltungen in den Simulationen wurden bei den später umgesetzten DC/DC-Stellern durch fertige Treiberbausteine ersetzt. Die Simulationen dienten als Orientierungshilfe und zum Verständnisaufbau beim Entwerfen, Dimensionieren und Optimieren der Schaltungen.

Die MOSFETs und Dioden in den Simulationen wurden als neue SPICE-Modelle eingebunden, weil diese in PORTUNUS nicht vorhanden waren. Die SPICE-Parameter wurden aus den Herstellerseiten der Bauelemente übernommen.

3.2. Simulation des Tiefsetzstellers

Der entworfene Tiefsetzsteller, der in Kapitel 4.1.4 beschrieben wird, hat einen Eingangsspannungsbereich von $10V$ bis $14V$ und einen Schaltfrequenzbereich von $9kHz$ bis $20kHz$.

In Abbildung 3.1 wird die Simulationsschaltung des Tiefsetzstellers dargestellt. Die Induktivität dient als Energiespeicher und sollte so groß gewählt werden, dass der Strom durch die Induktivität nicht lückt. Der maximale Stromrippel $\Delta I_{L,max}$ in der Induktivität tritt bei einem Tastgrad von $d = 0,5$ auf. Desweiteren ist die geringste Taktfrequenz $f_{Takt,min}$ und die maximale Eingangsspannung $U_{e,max}$ des Tiefsetzstellers von Bedeutung. Für die Bestimmung einer geeigneten Induktivität wird im ungünstigsten Fall $\Delta I_{L,max} = 400mA$ festgelegt. Bei

$\Delta I_{L,max} = 400mA$ beträgt der Mindestausgangsstrom $I_{a,min} = 200mA$. Daraus ergibt sich mit Gleichung 2.10 für die Induktivität:

$$L = \frac{U_{e,max} \cdot T_{Takt,min}}{8 \cdot I_{a,min}} = \frac{14V \cdot 9kHz^{-1}}{8 \cdot 200mA} = 972\mu H \approx 1mH$$

Die Induktivität muss also mindestens $1mH$ betragen.

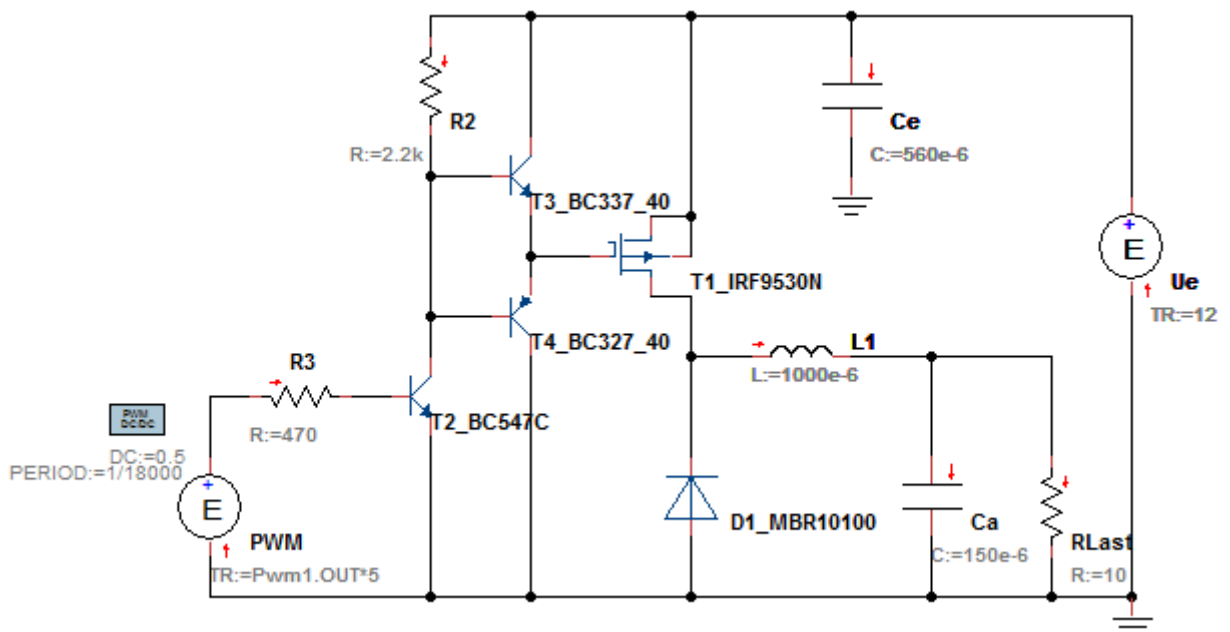


Abbildung 3.1.: Simulation des Tiefsetzstellers

Der Schalter in der Grundschtung wurde mit einem P-Kanal MOSFET IRF9530N realisiert. Die verwendete Diode ist eine Schottky-Diode MBR10100. Die Sperrzone der Schottky-Dioden basiert auf einen Metall-Halbleiter-Übergang und ist aus diesem Grund besonders dünn, so dass die Zeit für das Ausräumen der Ladungsträger minimal ist. Dadurch können sie mit höherer Geschwindigkeit arbeiten und haben sehr geringe Schaltverluste. Induktivität und die Kondensatoren sind in den Simulationen ideal und verursachen daher keine Verluste.

Das PWM-Modell mit der Spannungsquelle PWM (Abb. 3.1) generiert ein PWM-Signal. Für die Ansteuerung des P-Kanal MOSFETs wurde in der Simulation eine Gegentakt-Treiberschaltung verwendet. Wenn der Transistor T2 durchschaltet, sperrt T3 und T4 schaltet durch. Dadurch schaltet auch das MOSFET ein. Wird der Transistor T2 abgeschaltet, werden die Basen von T3 und T4 auf die positive Versorgungsspannung angehoben, so dass

T3 durchschaltet und T4 sperren kann. Das Gate von MOSFET bekommt über den niederohmigen Ausgang von T3 positive Spannung und schaltet ab.

Um die Ausgangsspannung zu glätten, wurde der Ausgangskondensator mit der Gleichung 2.11 dimensioniert. Für eine Ausgangswelligkeit in der Größenordnung von 10mV und eine maximale Eingangsspannung von 14V , ergibt sich ein Glättungskondensator von $135\mu\text{F}$.

$$C \geq \frac{U_{e,max} \cdot T_{Takt}^2}{32 \cdot L \cdot \Delta U_a} = \frac{14\text{V} \cdot (18\text{kHz}^{-1})^2}{32 \cdot 1000\mu\text{H} \cdot 10\text{mV}}$$

In Abbildung 3.2 wurde der Verlauf des Induktivitäts- und Laststroms im nicht lückenden Betrieb dargestellt. Die Eingangsspannung U_e wurde auf 12V , die Taktfrequenz f_{Takt} auf 18kHz , die Induktivität L1 auf 1mH und der Ausgangskondensator C_a auf $150\mu\text{F}$ gewählt. Der Lastwiderstand wurde auf R_{Last} auf 10Ω und die Ein- und Ausschaltzeit des MOSFETs für den Tastgrad $d = 0,5$ eingestellt. Die rote Kurve (L1.I) stellt den Stromverlauf der Induktivität L1 dar. Entsprechend der anliegenden Spannung an der Induktivität im Durchlassbetrieb des MOSFETs steigt der Strom durch die Induktivität an. Die schwarze Kurve (RLast.I) stellt den Stromverlauf durch den Lastwiderstand dar. Dieser verhält sich proportional zur Spannung des Ausgangskondensators.

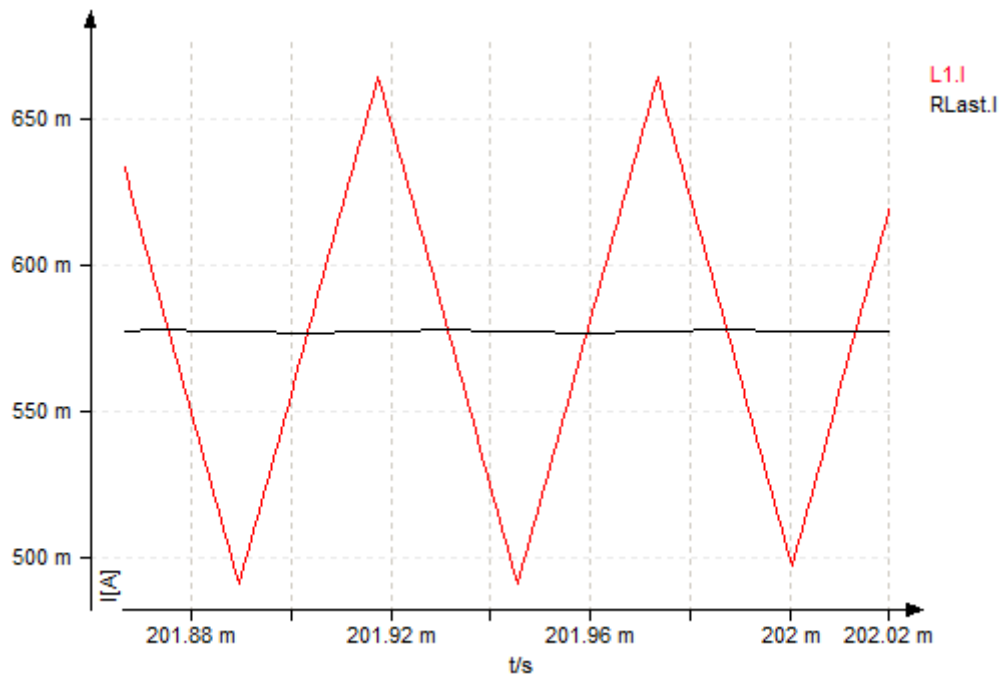


Abbildung 3.2.: Simulation des Tiefsetzstellers; Verlauf des Induktivitäts- (L1.I, rot) und Laststroms (RLast.I, schwarz); $U_e = 12V$, $R_{Last} = 10\Omega$, $L1 = 1mH$, $f_{Takt} = 18kHz$, $d = 0,5$

Der Stromrippel $\Delta I_L = I_{L,max} - I_{L,min}$ beträgt laut Simulation etwa $167mA$. Somit stimmt auch die Theorie mit dem Ergebnis der Simulation überein. Die Ausgangsspannung wurde in der Simulation auf etwa $6V$ gewandelt.

In Abbildung 3.3 erkennt man, dass der Strom in der Induktivität während der Einschaltzeit des MOSFETs ansteigt und während der Ausschaltzeit des MOSFETs abfällt, wie man es nach Gleichungen 2.1 und 2.2 erwartet.

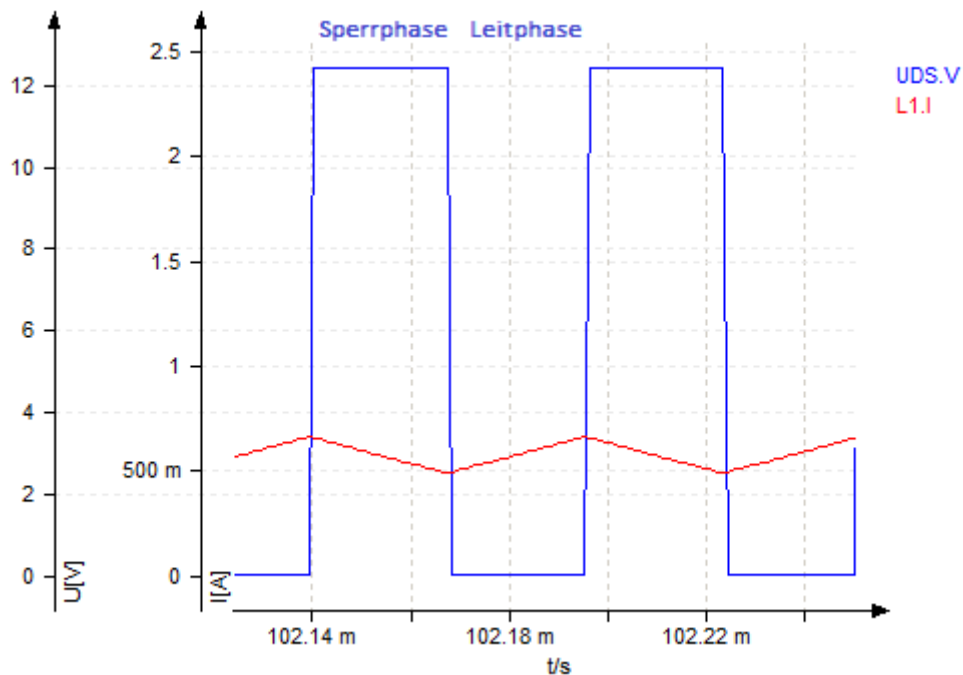


Abbildung 3.3.: Simulation des Tiefsetzstellers; Verlauf des Induktivitätsstroms (L1.I, rot) bei Leit- und Sperrphase des MOSFETs (UDS.V, blau); $U_e = 12V$, $R_{Last} = 10\Omega$, $L = 1mH$, $f_{Takt} = 18kHz$, $d = 0.5$

In Abbildung 3.4 werden die Spannungsverläufe dargestellt. Die schwarze Kurve (Ca.V) zeigt den Spannungsverlauf am Ausgangskondensator C_a bzw. an der Last R_{Last} und die rote Kurve (L1.V*-1) den invertierten Spannungsverlauf an der Induktivität L1. Addiert man beide Kurven im Durchlassbetrieb des MOSFETs, ergibt sich die grüne Spannungskurve (UD1.V) (Spannung an der Diode). Die pinke Kurve (Ue.TR) ist die 12V konstante Gleichspannung der Eingangsspannungsquelle. Da parallel zum Ausgangskondensator ein Lastwiderstand angeschlossen und der Ladestrom des Kondensators nicht konstant ist, schwankt die Kondensatorspannung bzw. Lastspannung. Da diese Schwankung sehr klein ist, ist dies in Abbildung 3.4 nicht erkennbar. Bei leitendem MOSFET liegt die Eingangsspannung an der Diode (UD1.V, grün).

Im Sperrbetrieb des MOSFETs erzeugt die Induktivität eine so hohe Spannung, dass der Entmagnetisierungsstrom weiter fließen kann. In diesem Fall muss die Induktivität die Kondensatorspannung und die Durchlassspannung der Diode aufbringen.

Bedingt durch den Entmagnetisierungsstrom der Induktivität durch die Diode, muss der MOSFET zusätzlich zur Eingangsspannung auch die Durchlassspannung der Diode sperren.

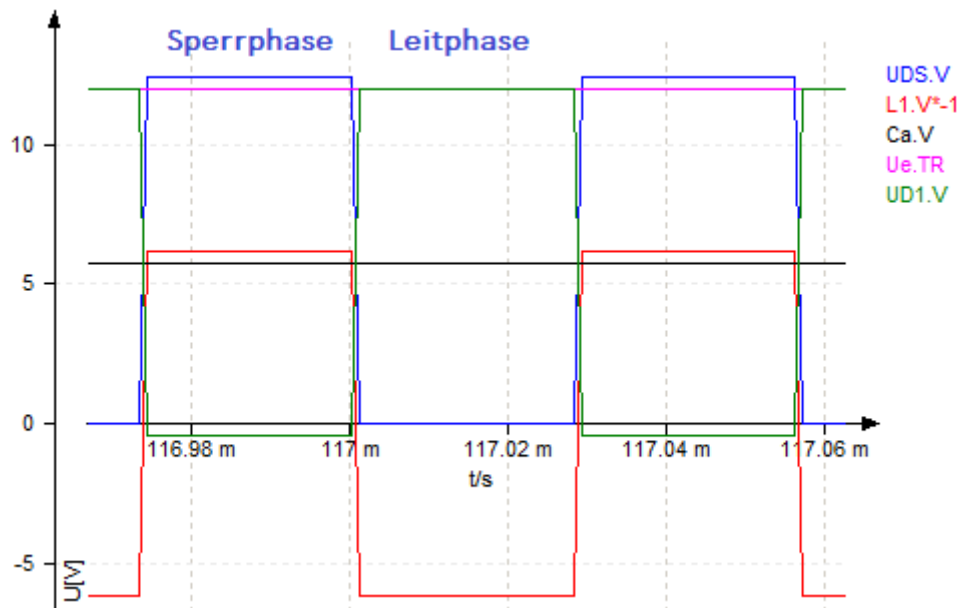


Abbildung 3.4.: Simulation des Tiefsetzstellers; Verlauf der Drain-Source-Spannung (UDS.V, blau), der Diodenspannung (UD1.V, grün), der invertierte Induktivitätsspannung (L1.V*-1, rot), der Ausgangsspannung (Ca.V, schwarz) und der Eingangsspannung (Ue.TR, pink); $U_e = 12V$, $R_{Last} = 10\Omega$, $L1 = 1mH$, $f_{Takt} = 18kHz$, $d = 0.5$

Die Abbildung 3.5 zeigt den Stromverlauf durch den Ausgangskondensator (Ca.I, grün), die Induktivität (L1.I, rot) und durch die Last (RLast.I, schwarz). Ist der Strom durch die Induktivität größer als der Laststrom, wird der Ausgangskondensator geladen und es fließt ein positiver Kondensatorstrom. Wenn der Strom durch die Induktivität kleiner als der Laststrom ist, wird der Ausgangskondensator entladen und der Kondensatorstrom ist negativ. Die schaltfrequente Schwankung des Induktivitätsstroms fließt durch den Ausgangskondensator. Daher muss bei der Auswahl des Ausgangskondensators auf ihre Wechselstrombelastbarkeit geachtet werden. Der dreieckförmige Induktivitätsstrom ΔI_L erzeugt mit dem Innenwiderstand ESR des Ausgangskondensators eine Verlustleistung $P_v = I_{C,eff}^2 \cdot ESR$. Wegen der damit verbundenen Erwärmung darf nur ein begrenzter Wechselstrom durch den Kondensator fließen. [6]

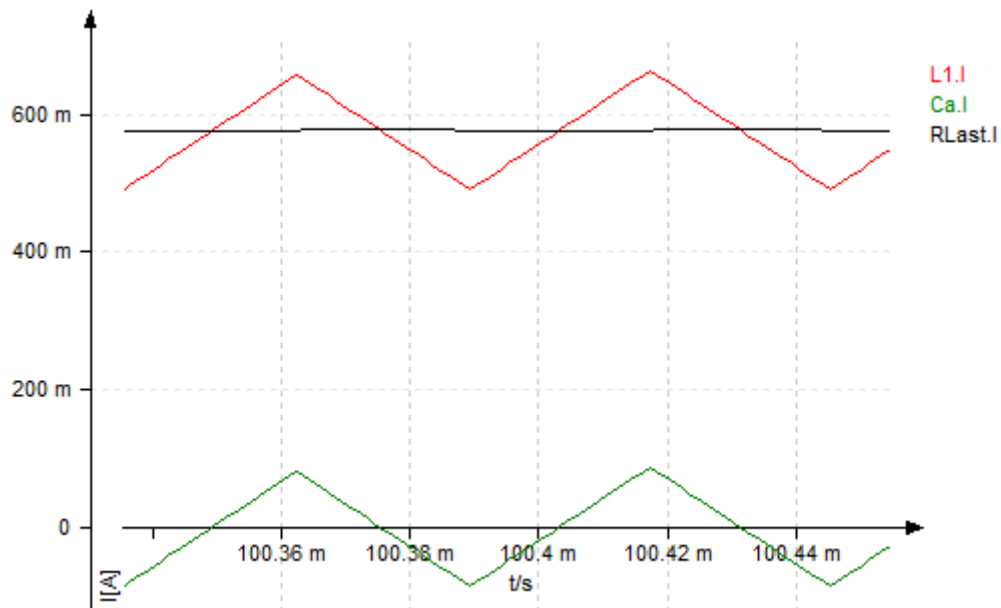


Abbildung 3.5.: Simulation des Tiefsetzstellers; Verlauf des Induktivitätsstroms (L1.I, rot) und Kondensatorstroms (Ca.I, schwarz); $U_e = 12V$, $R_{Last} = 10\Omega$, $L1 = 1mH$, $f_{Takt} = 18kHz$, $d = 0.5$

Die Abbildung 3.6 zeigt den Stromverlauf der Induktivität (L1.I, rot) an der Lückgrenze im ungünstigsten Fall. Der Stromfluss durch die Induktivität erreicht am tiefsten Punkt genau $0A$. Wenn der Ausgangsstrom (RLast.I, schwarz) den Mindestausgangsstrom $I_{a,min} = 83,33mA$ unterschreitet, beginnt der Induktivitätsstrom zu lücken und die Gleichungen für den nicht lückenden Betrieb sind nicht mehr gültig.

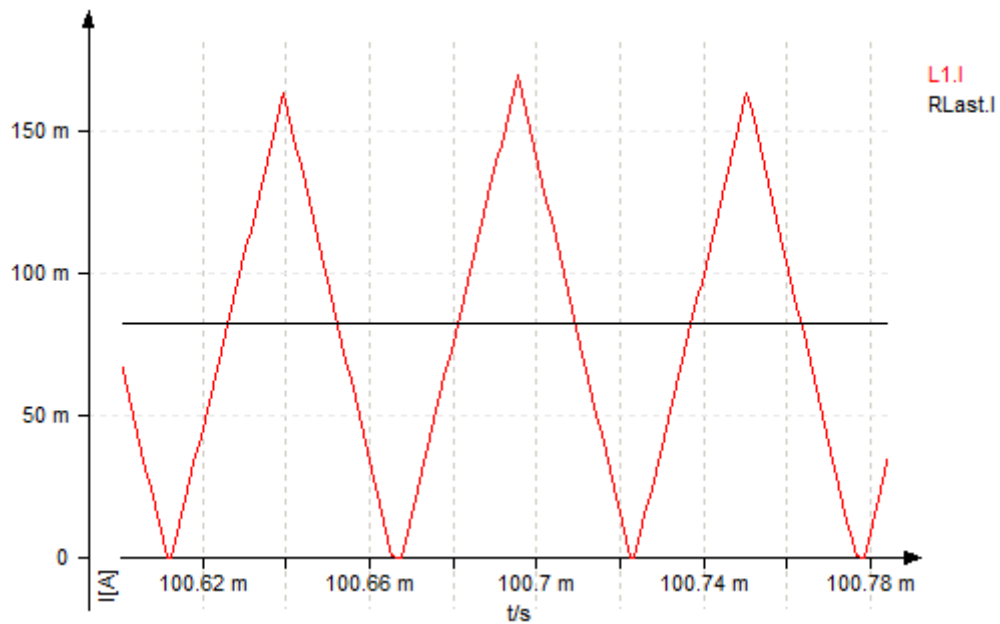


Abbildung 3.6.: Simulation des Tiefsetzstellers; Verlauf des Induktivitätsstroms (L1.I, rot) und Laststroms (RLast.I, schwarz) an der Lückgrenze; $U_e = 12V$, $R_{Last} = 72\Omega$, $L1 = 1mH$, $f_{Takt} = 18kHz$, $d = 0.5$

In Abbildung 3.7 wurde der Lastwiderstand auf 500Ω gesetzt und der lückende Betrieb bei $d = 0,5$ simuliert. Die Ausgangsspannung wurde auf $9,7V$ gewandelt und die Beziehung $U_a = U_e \cdot d$ ist nicht mehr gültig.

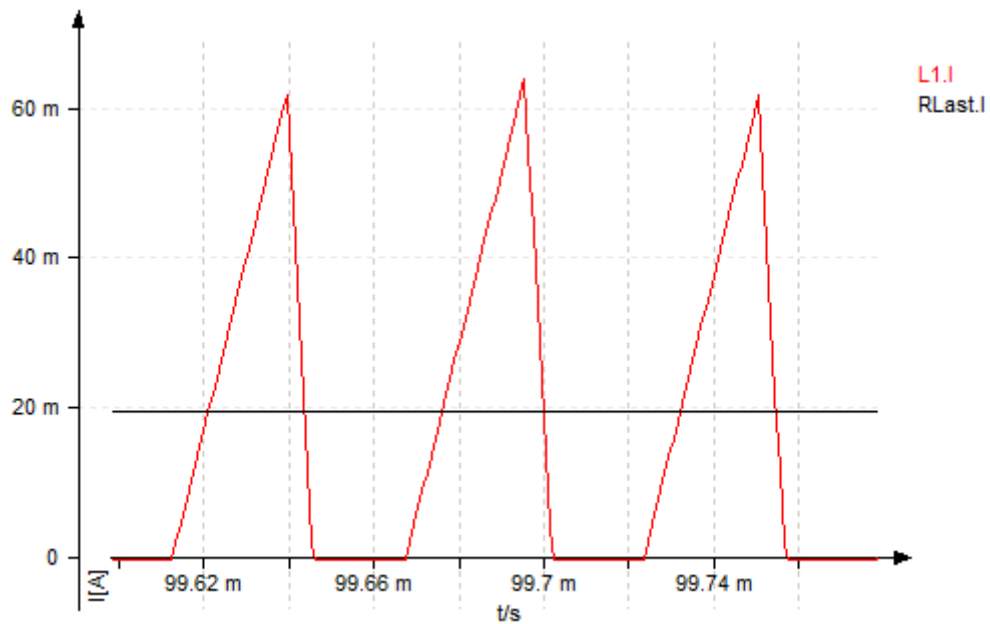


Abbildung 3.7.: Simulation des Tiefsetzstellers; Verlauf des Induktivitätsstroms (L1.I, rot) und Laststroms (RLast.I, schwarz) im Lückbetrieb; $U_e = 12V$, $R_{Last} = 500\Omega$, $L1 = 1mH$, $f_{Takt} = 18kHz$, $d = 0.5$

In [Abbildung 3.8](#) stellt die blaue Kurve (IT.I) den Stromverlauf des MOSFETs, die grüne Kurve (ID1.I) den Stromverlauf durch die Diode und die rote Kurve (L1.I +100mA Offset) den Stromverlauf durch die Induktivität dar. Während der Einschaltzeit des MOSFETs steigt der Induktivitätsstrom. Sperrt der MOSFET, kommutiert der Induktivitätsstrom vom MOSFET zur Diode. Der Induktivitätsstrom nimmt ab. Die Strombelastbarkeit des MOSFETs und der Diode muss also größer als der maximale Induktivitätsstrom sein.

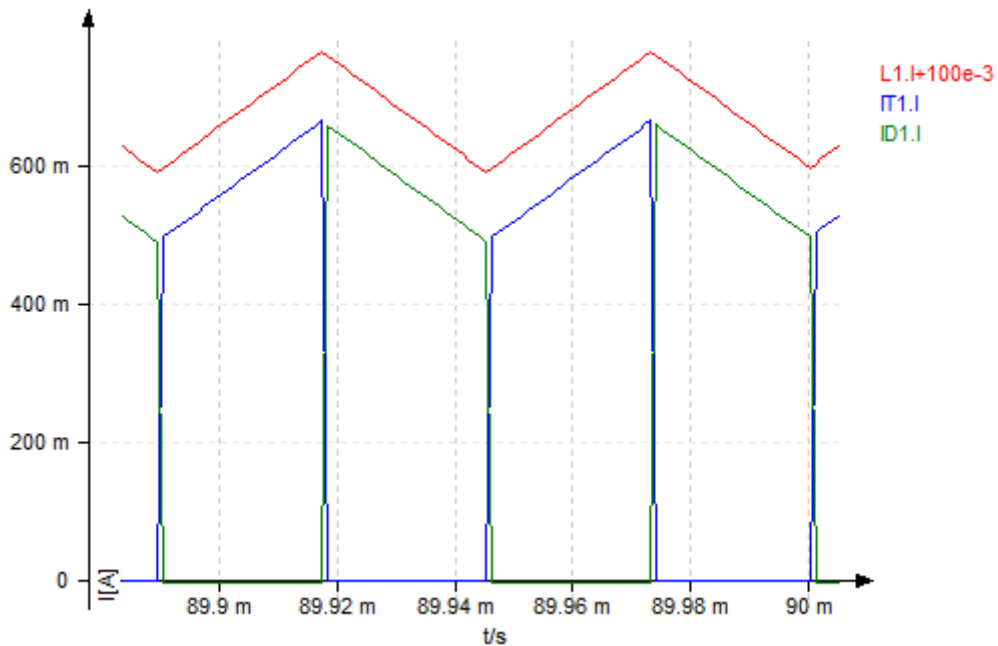


Abbildung 3.8.: Simulation des Tiefsetzstellers; Verlauf des Induktivitäts-, des Dioden-, und des Transistorstrom; $U_e = 12V$, $R_{Last} = 10\Omega$, $L1 = 1mH$, $f_{Takt} = 18kHz$, $d = 0.5$

3.3. Simulation des Hochsetzstellers

Der entworfene Hochsetzsteller, der in Kapitel 4.1.5 beschrieben wird, hat unter Vernachlässigung der Spannungsabfälle an dem Schalttransistor und an der Diode (in den jeweiligen Einschaltphasen) eine maximale Ausgangsspannung von $50V$. Der Eingangsspannungsbereich des in Kapitel 4.1.5 umgesetzten Hochsetzstellers liegt zwischen $12V$ bis $25V$ und der Schaltfrequenzbereich erstreckt sich zwischen $9kHz$ und $20kHz$.

Die Simulationsschaltung von dem Hochsetzsteller wird in Abbildung 3.9 dargestellt. Bei dem Schalter handelt es sich um ein N-Kanal MOSFET IRF530N mit kleiner Gate-Kapazität. Die beim Tiefsetzsteller gewählte Schottky-Diode MBR10100 mit $U_{R,max} = 100V$ und $I_{Fav} = 10A$ wurde auch hier eingesetzt.

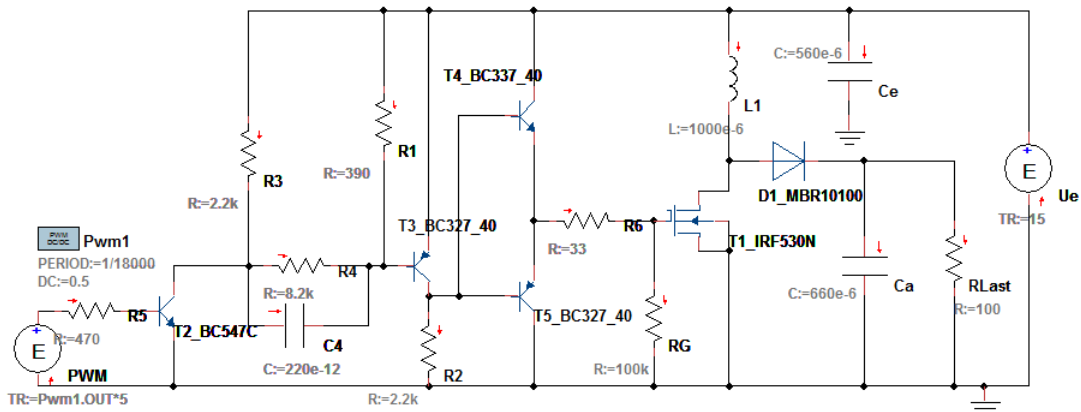


Abbildung 3.9.: Simulation des Hochsetzstellers

Die Treiberschaltung wurde aus dem Buch "Schaltnetzteile in der Praxis" [6] entnommen. Wenn der Transistor T2 durchschaltet, bekommt T3 über R4 parallel zu C4 schnell Basisstrom und schaltet durch. Die Basen von T4 und T5 werden auf positive Versorgungsspannung angehoben, sodass T4 durchschalten kann. Das Gate des MOSFETs bekommt über den niederohmigen Ausgang von T3 positive Spannung und schaltet durch. Schaltet der Transistor T2 ab, wird der Transistor T3 über die positive Spannung an C4 binnen kurzem gesperrt. Der Transistor T5 bekommt nun über den Widerstand R2 Basisstrom. Das Gate des MOSFETs wird somit schnell mit Masse verbunden und der MOSFET schaltet aus.

Der maximale Stromrippel $\Delta I_{L,max}$ bei einem Hochsetzsteller tritt bei einem Tastgrad $d = 0,5$ auf. Desweiteren ist auch die maximale Ausgangsspannung $U_{a,max}$ und die geringste Taktfrequenz $f_{Takt,min} = 9kHz$ von Bedeutung. Für $L = 1mH$ beträgt nach Gleichung 2.15 im ungünstigsten Fall der maximale Stromrippel $\Delta I_{L,max}$ in der Induktivität:

$$\Delta I_{L,max} = \frac{U_{a,max} \cdot (1 - d) \cdot d}{L \cdot f_{Takt,min}} = \frac{50V \cdot (1 - 0,5) \cdot 0,5}{1mH \cdot 9kHz} = 1,4A$$

Die nachfolgende Simulationen wurden mit der Taktfrequenz von $18kHz$, mit der Eingangsspannung von $15V$, mit der Induktivität von $1mH$ und dem Tastgrad $d = 0,5$ durchgeführt.

Bei der Simulation in Abbildung 3.9 wurde der Lastwiderstand auf 288Ω eingestellt und der Induktivitätsstrom (L1, rot) an der Lückgrenze simuliert. Bei einem Tastgrad $d = 0,5$ erreicht die Ausgangsspannung etwa den doppelten Wert der Eingangsspannung. Laut Gleichung 2.18 beträgt der Mindestausgangsstrom $I_{a,min}$ an der Lückgrenze:

$$I_{a,min} = \frac{15V}{8 \cdot 1mH \cdot 18kHz} = 104mA$$

Der berechnete minimale Ausgangsstrom stellt sich also bei einem Lastwiderstand von $R_{Last,grenze} = 288\Omega$ ein.

$$R_{Last,grenze} = \frac{30V}{104mA} = 288\Omega$$

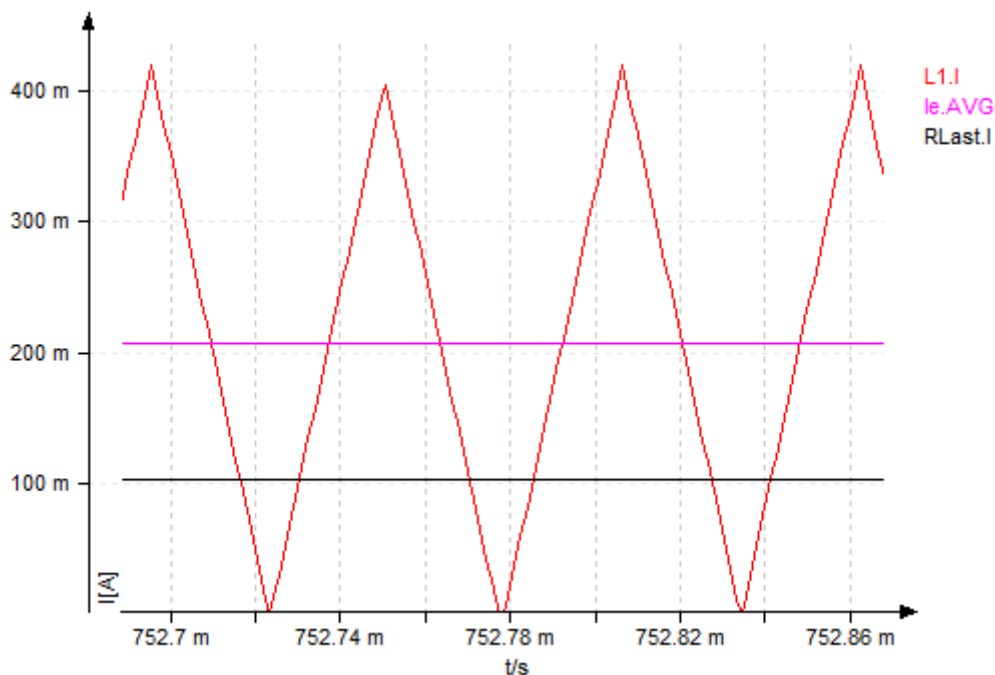


Abbildung 3.10.: Simulation des Hochsetzstellers; Induktivitäts- und Laststrom an der Lückengrenze; ($U_e = 15V$, $R_{Last} = 288\Omega$, $L1 = 1mH$, $f_{Takt} = 18kHz$, $d = 0,5$)

Der Eingangsstrom ($I_{e.AVG}$, pink) ist der Mittelwert des Induktivitätsstroms. Wie die Gleichung 2.17 und die Simulation in Abbildung 3.10 zeigen, ist der Eingangsstrom $I_e = 208mA$ bei $d = 0,5$ doppelt so groß als der Ausgangsstrom $I_a = 104mA$. Der Induktivitätsstrom schwankt zwischen $I_{L,min} = 0A$ und $I_{L,max} = 416mA$.

In Abbildung 3.11 ist der Verlauf des Induktivitätsstroms im nicht lückenden Betrieb zu sehen. Man erkennt, dass der Strom durch die Induktivität während der Leitphase des MOSFETs (UDS.V, blau) ansteigt und in der Sperrphase abfällt, (wie erwartet). Um die Schwankungsbreite zu reduzieren, kann man die Induktivität oder die Frequenz erhöhen. Allerdings werden die Schaltverluste an dem MOSFET mit steigender Frequenz größer und für eine höhere Induktivität vergrößert sich die Baugröße der Spule. Während der Sperrphase liegt über dem MOSFET etwa die Ausgangsspannung $30V$ als Sperrspannung an.

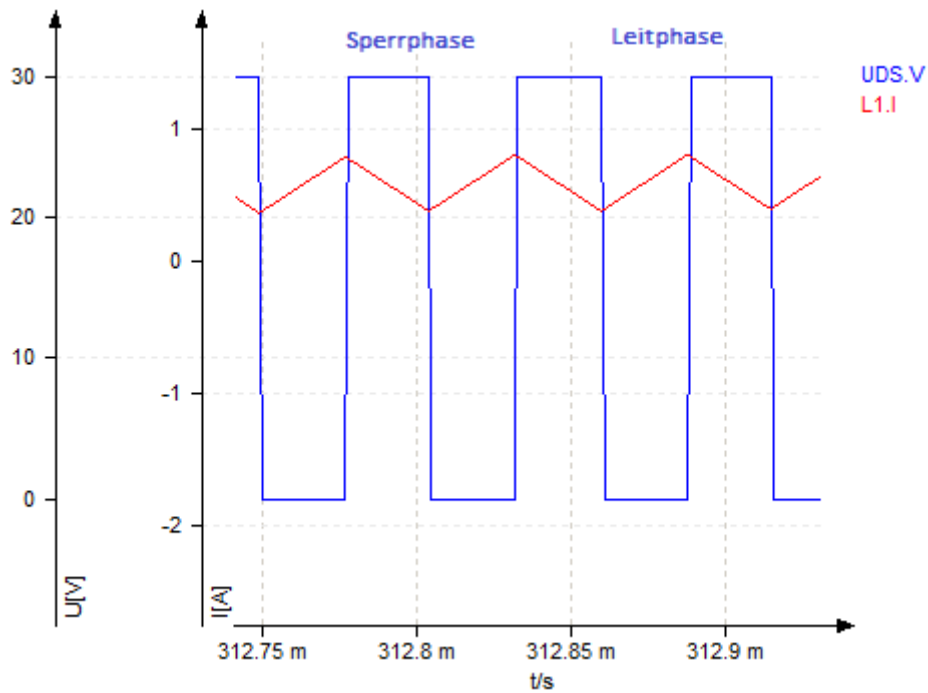


Abbildung 3.11.: Simulation des Hochsetzstellers; Stromverlauf an der Induktivität bei Leit- und Sperrphase des MOSFETs; ($U_e = 15V$, $R_{Last} = 100\Omega$, $L1 = 1mH$, $f_{Takt} = 18kHz$, $d = 0,5$)

Der Stromverlauf durch den Ausgangskondensator (Ca.I, schwarz) wird in Abbildung 3.12 dargestellt. Die grüne Kurve (ID1.I) zeigt den Stromverlauf durch die Diode. Während der Leitphase des MOSFETs sperrt die Diode, der Kondensatorstrom wird negativ und übernimmt die Stromlieferung. Während der Sperrphase des MOSFETs lädt sich der Kondensator auf. Die Diode leitet den Induktivitätsstrom, der während dieser Phase sinkt. Der Strom in den Ausgangskondensator ist lückend.

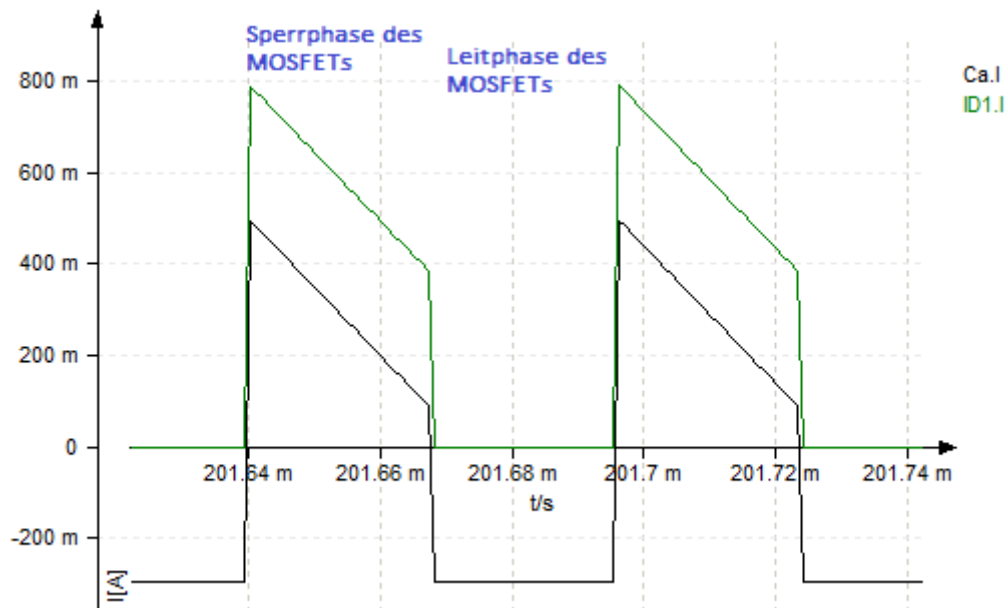


Abbildung 3.12.: Simulation des Hochsetzstellers; Dioden- und Kondensatorstrom; ($U_e = 15V$, $R_{last} = 100\Omega$, $L1 = 1mH$, $f = 18kHz$, $d = 0,5$)

Die Abbildung 3.13 zeigt die Spannungsverläufe im eingeschwungenen Zustand. Die blaue Kurve (UDS.V) stellt den Spannungsverlauf an dem MOSFET dar. Dieser sperrt während der Sperrphase,- die um die Durchlassspannung der Diode verminderte Ausgangsspannung. Die pinke Kurve (Ue.V) ist die konstante Gleichspannung der Eingangsspannungsquelle und die rote Kurve (L1.V) der Spannungsverlauf an der Induktivität. Im Sperrbetrieb des MOSFETs kehrt die Polarität der Induktivitätsspannung um und über dem MOSFET fällt die Summe der Eingangs- und Induktivitätsspannung bzw. die Ausgangsspannung als Sperrspannung ab. Während der Leitphase des MOSFETs liegt die Ausgangsspannung als Sperrspannung über die Diode an.

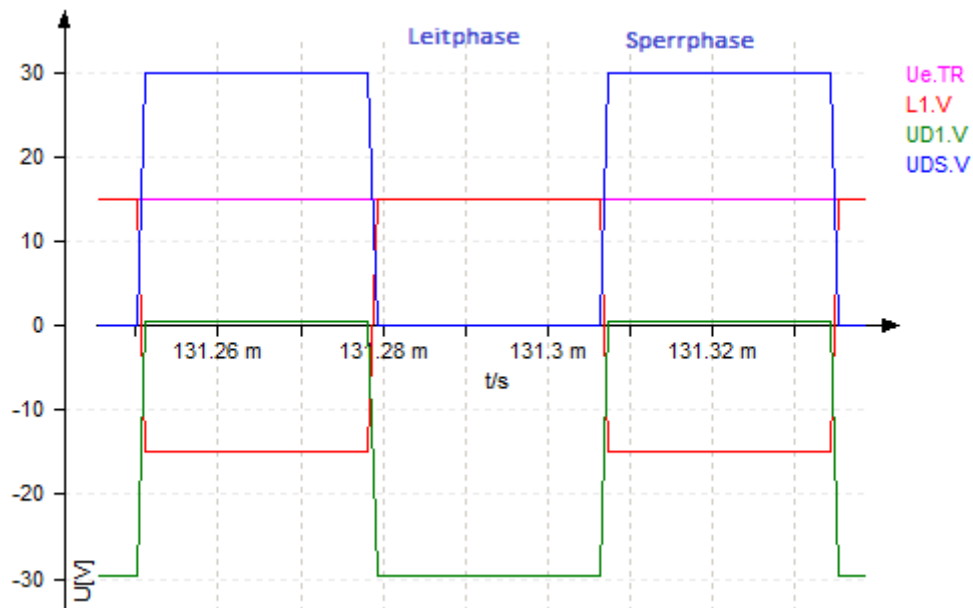


Abbildung 3.13.: Simulation des Hochsetzstellers; Spannungsverläufe; ($U_e = 15V$, $R = 100\Omega$, $L_1 = 1mH$, $f_{T_{akt}} = 18kHz$, $d = 0,5$)

3.4. Simulation des Tief-/Hochsetzstellers

Der entworfene Tief-Hochsetzsteller, der in Kapitel 4.1.6 beschrieben wird, hat einen Eingangsspannungsbereich von $10V$ bis $14V$ und einen Schaltfrequenzbereich von $9kHz$ bis $20kHz$.

Die Simulationsschaltung von dem invertierenden Tief-/Hochsetzsteller wird in Abbildung 3.14 dargestellt. Der Schalter in der Grundsaltung wurde mit einem P-Kanal MOSFET IRF9530N realisiert. Die beim Tiefsetzsteller und beim Hochsetzsteller eingesetzte Schottky-Diode MBR10100 wurde auch hier beim Tief-/Hochsetzsteller eingesetzt.

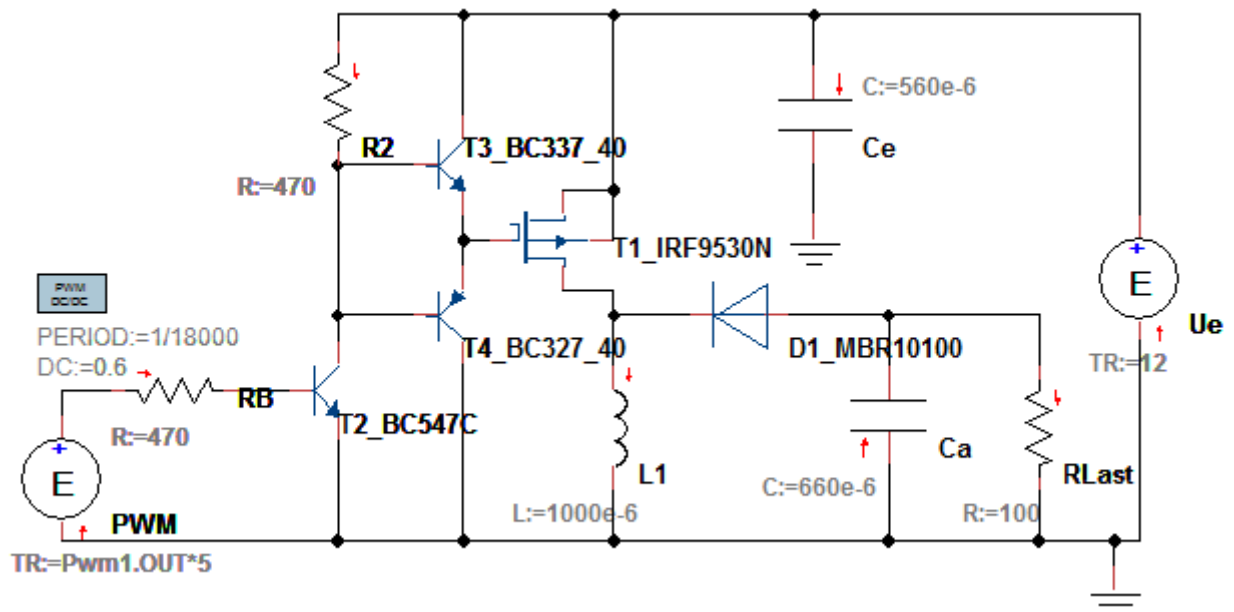


Abbildung 3.14.: Simulationsschaltung invertierenden Tief- und Hochsetzsteller

Für die folgende Simulationen wurde die Eingangsspannung auf 12V und die Taktfrequenz f_{Takt} auf 18kHz eingestellt. Die Induktivität L_1 wurde auf 1mH, der Tastgrad auf $d = 0,6$ und der Lastwiderstand R_{Last} auf 100Ω gewählt.

Der Stromrippel ΔI_L in der Induktivität wird mit steigendem Tastgrad größer. Der Mindestausgangsstrom $I_{a,min}$ beträgt im ungünstigsten Fall ($d = 0,5$) bei minimaler und maximaler Schaltfrequenz:

$$I_{a,min,9kHz} = \frac{U_{e,max} \cdot f_{Takt}}{8 \cdot L} = 194mA$$

$$I_{a,min,20kHz} = \frac{U_{e,max} \cdot f_{Takt}}{8 \cdot L} = 87,5mA$$

Die Abbildung 3.15 stellt die Stromverläufe dar. Sperrt der MOSFET, übernimmt die Diode (ID1.I, grün) den Induktivitätsstrom (L1.I, rot). Während der Leitphase des MOSFETs ist der Diodenstrom gleich null und der Ausgangskondensator (Ca.I, blau) liefert den Laststrom (RLast.I, schwarz). Beim Tief-/Hochsetzsteller wird die Energie nur in der Sperrphase des MOSFETs an den Ausgang abgegeben. Der in der Sperrphase in den Kondensator hineinfließende Strom (die blaue Kurve (Abb. 3.15)), erzeugt in der Realität an dem Innenwiderstand ESR des Ausgangskondensators einen Spannungsabfall. Während der Leitphase des MOSFETs liefert der Ausgangskondensator den Laststrom. Dieser erzeugt wieder einen

Spannungsabfall entgegengesetzter Polarität an dem Innenwiderstand des Kondensators. Beide Spannungsabfälle führen zur Erwärmung des Ausgangskondensators.

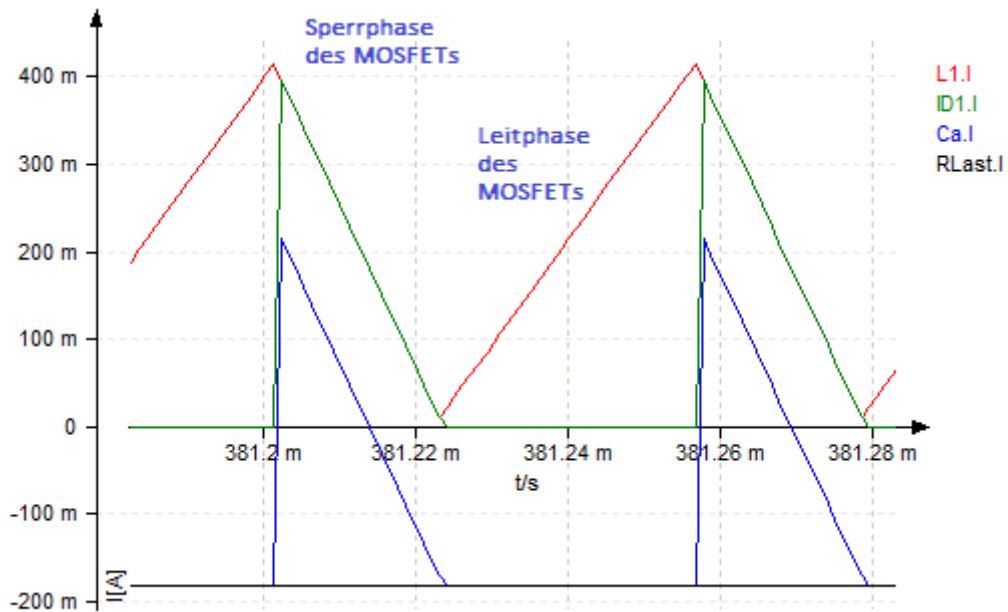


Abbildung 3.15.: Simulation des invertierenden Tief-/Hochsetzsteller; Stromverlauf am Ausgangskondensator; ($U_e = 12V$, $R = 100\Omega$, $L1 = 1mH$, $f = 18kHz$, $d = 0,6$)

In Abbildung 3.16 werden die Spannungsverläufe dargestellt. Die Ausgangsspannung wurde auf etwa $18V$ gewandelt. Während der Leitphase des MOSFETs liegt die Eingangsspannung an der Induktivität an und über die Diode liegt die Induktivitäts- und Ausgangsspannung bzw. die Eingangs- und Ausgangsspannung als Sperrspannung an. Während der Sperrphase kehrt die Polarität der Induktivitätsspannung um und über dem MOSFET liegt die Summe der Eingangs- und Induktivitätsspannung bzw. die Eingangs- und Ausgangsspannung als Sperrspannung an.

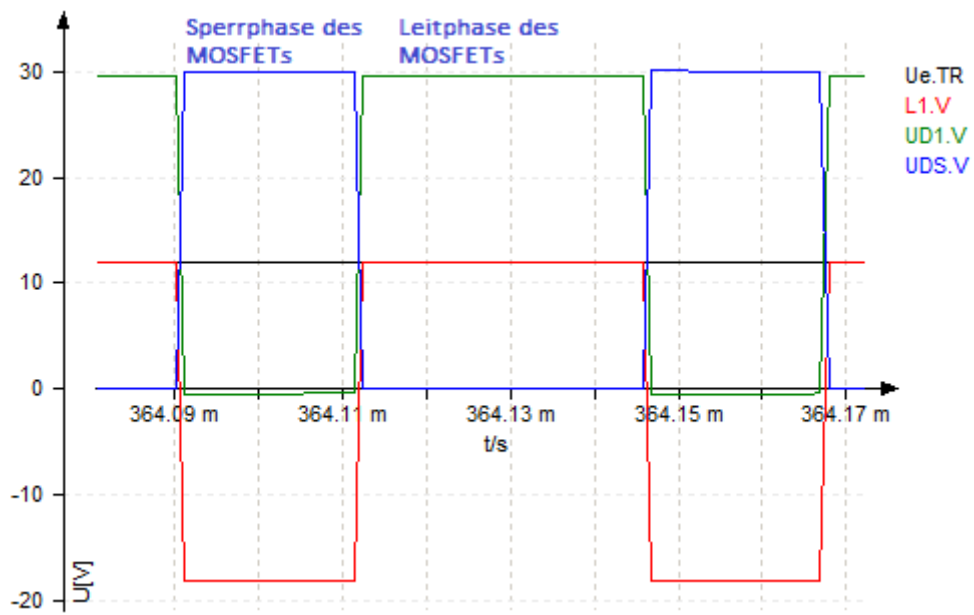


Abbildung 3.16.: Simulation des invertierenden Tief-/Hochsetzstellers; Spannungsverläufe;
($U_e = 12V$, $R_{Last} = 100\Omega$, $L1 = 1mH$, $f_{Takt} = 18kHz$, $d = 0,6$)

4. Entwurf und Umsetzung

4.1. Entwurf der Schaltungen

4.1.1. CADSoft EAGLE

Für die Erstellung der Schaltpläne und der Leiterplatten wurde die Version 6.5 von EAGLE verwendet. EAGLE ist ein EDA (Electronic Design Automation) Software-Paket aus dem Hause CADSoft. Vor Erstellung der Schaltpläne, musste einige Bauteile als neue Bauelemente erstellt werden. Die Schaltpläne und Layouts befinden sich im Anhang.

4.1.2. Überspannungs- und Verpolungsschutz

Für Überspannungs- und Verpolungsschutz am Eingang der jeweiligen DC/DC-Stellern wurde die Lösung in Abbildung 4.1 gewählt.

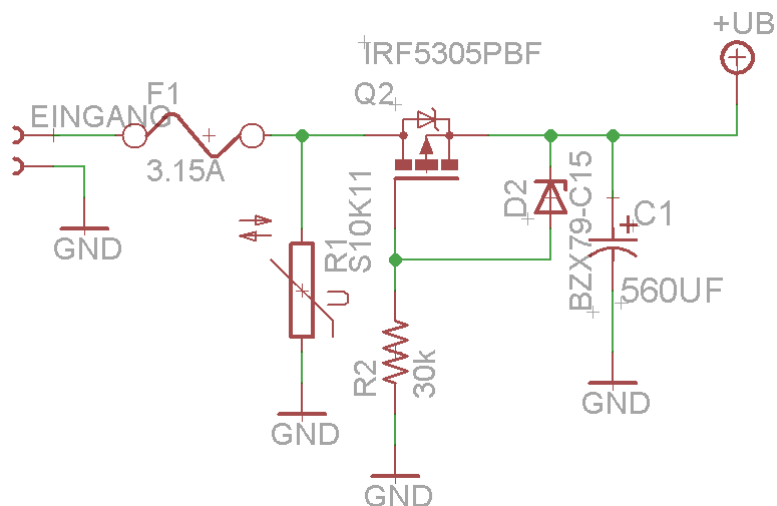


Abbildung 4.1.: Überspannungs- und Verpolungsschutz

Der Überspannungsschutz wurde mit einem Metalloxid-Varistor, abgekürzt MOV und vorgeschaltete Sicherung realisiert. Die Metalloxid-Varistoren (MOV) zeichnen sich durch ihr schnelles Ansprechverhalten aus. Sie sind spannungsabhängige Widerstände und verhalten sich bis zu einer gewissen Schwellenspannung unverändert. Ihr Widerstand verändert sich kaum bis zur Schwellenspannung. Ab der Schwellenspannung wird Ihr Widerstand näherungsweise exponentiell abnehmen und nur noch wenige Ohm betragen.[13] Damit steigt der Strom schnell an und löst die vorgeschaltete Sicherung aus. Die vorgeschaltete Sicherung hat einen deutlich geringeren Innenwiderstand. Daher bleibt der Spannungsabfall an der Sicherung vernachlässigbar klein.

Die Verpolungsschutz wird mit dem Einsatz eines P-Kanal MOSFET IRF5305 vom Hersteller International Rectifier erreicht. Der Drain-Anschluss des P-Kanal MOSFET wird mit der positiven Eingangsspannung, der Source-Anschluss mit dem Eingang der Betriebsspannung der zu schützenden Schaltung und das Gate mit dem Bezugspotential verbunden. Beim Anlegen einer korrekt gepolten positiven Spannung am Eingang der Schaltung leitet als erstes nur die Body-Diode des MOSFETs. Das Potential des Gates liegt auf Masse. Wenn genügend Strom durch die Body-Diode fließt, liegt an Drain und Source eine genügend hohe Spannung an und die Body-Diode (interne Freilaufdiode) wird überbrückt. Da auch die Spannung an der Source positiver ist als das Gate, leitet der MOSFET. Der Drain-Source-Widerstand wird niederohmig. Der für die Verpolungsschutz verwendete P-Kanal MOSFET hat einen deutlich geringeren Drain-Source-Widerstand $R_{DS(on)}$ im vollständig durchgeschalteten Zustand. Somit bleibt auch der Spannungsabfall über den MOSFET sehr gering. Ist die Polarität der Eingangsspannung negativ, so sperren sowohl die Body-Diode als auch die Drain-Source-Strecke und die nachstehende Schaltung ist von der Eingangsspannung getrennt. Die Z-Diode BZX79-C15 begrenzt die Gate-Source-Spannung auf maximal 15V. Diese Art des Verpolungsschutzes hat den großen Vorteil, dass die Sicherung bei Verpolung nicht auslöst.

4.1.3. Mikrocontroller

Für die Erzeugung eines PWM-Signals mit variablem Tastgrad und variabler Schaltfrequenz wird ein ATTiny861A Mikrocontroller aus dem Hause Atmel eingesetzt. Dieser weist die nötigen Funktionen wie PWM-Kanal und AD-Wandler mit einer Auflösung von 10-Bit auf. Der Mikrocontroller verfügt über einen internen 8MHz-Oszillator und eine PWM-Einheit als Hardware, die in Kapitel 4.2.1 näher beschrieben werden.

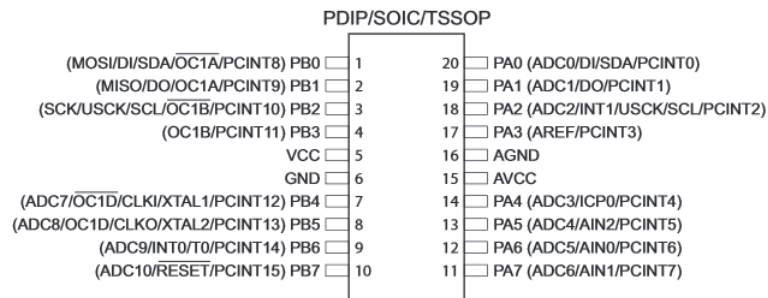


Abbildung 4.2.: Pin-Belegung des Atmel ATtiny861A [1]

Die Beschaltung des Mikrocontrollers (Abb. 4.3) besteht aus einer stabilen Versorgungsspannung von 5V, zwei Glättungskondensatoren, der möglichst nahe am Mikrocontroller angebracht sind und einem Pull-Up Widerstand für den Reset-Pin.

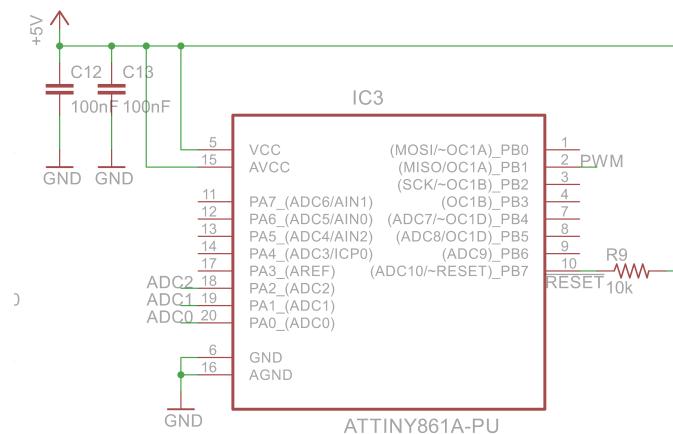


Abbildung 4.3.: Beschaltung des Mikrocontrollers

Der Festspannungsregler (Abb. 4.4) im TO-220 Gehäuse vom Hersteller STMICROELECTRONICS erzeugt eine konstante Gleichspannung von 5V und versorgt den Mikrocontroller und den AD-Wandler im Mikrocontroller. Neben den im Datenblatt des L7805ABV geforderten Elektrolytkondensatoren am Ein- und Ausgang sind zusätzlich noch zwei kleine Keramikkondensatoren den Elektrolytkondensatoren parallel geschaltet. Diese sollen durch ihren geringen Innenwiderstand hochfrequente Störsignale filtern. Die Elektrolytkondensatoren haben hingegen einen großen Innenwiderstand und sind für die niederfrequente Filterung ausgelegt. Da nur sehr wenig Strom durch den Festspannungsregler fließt, ist ein gesonderter Kühlkörper nicht nötig.

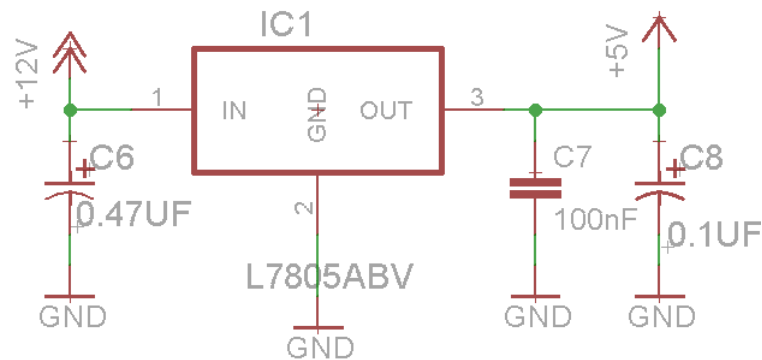


Abbildung 4.4.: 5V-Spannungsregler

Für die Steuerung des Tastgrades wurde am ADC-Kanal 0 des Mikrocontrollers ein lineares Potentiometer als Spannungsteiler angeschlossen und mit einer internen Referenzspannung von 5V verglichen und ausgewertet. Die eingelesenen Werte werden auf den Bereich [0 – 1] normiert und dienen somit als Vorgabe für den Tastgrad der MOSFET-Ansteuerung. Über ein weiteres Potentiometer, das als Spannungsteiler am ADC-Kanal 1 des Mikrocontrollers angeschlossen ist, kann die Schaltfrequenz eingestellt werden.

4.1.4. Der Tiefsetzsteller

Der Leistungsteil des Tiefsetzstellers (Abb. 4.5) besteht aus dem MOSFET T1 als Schalter, der Speicherdrossel L1, der Schottky-Diode D1 und die Ausgangskapazität C2. Die eingesetzte Schottky-Diode MBR10100 hat eine geringe Sperrverzugsladung Q_{rr} und daher auch eine kleine Sperrverzugszeit t_{rr} , was eine schnelle Schaltzeit und sehr niedrige Schaltverlustleistung zur Folge hat.

Bauelement	Bezeichnung/Beschreibung	Hersteller
T1 Schalttransistor (MOSFET)	IRF9530N, P-Kanal MOSFET	International Rectifier
L1 Induktivität	1410524C 1mH/2,4A	Murata Power Solutions
D1 Schottky-Diode	MBR10100	ON Semiconductor
C1 Eingangskondensator	EEUFR1J561S, 560µF/63V	Panasonic
C2 Ausgangskondensator	EEUFR1J151, 150µF/63V	Panasonic
IC2 Treiber-IC	ICL7667	intersil

Tabelle 4.1.: Tabellarische Auflistung der zum Leistungsteil des Tiefsetzstellers gehörenden Bauelemente

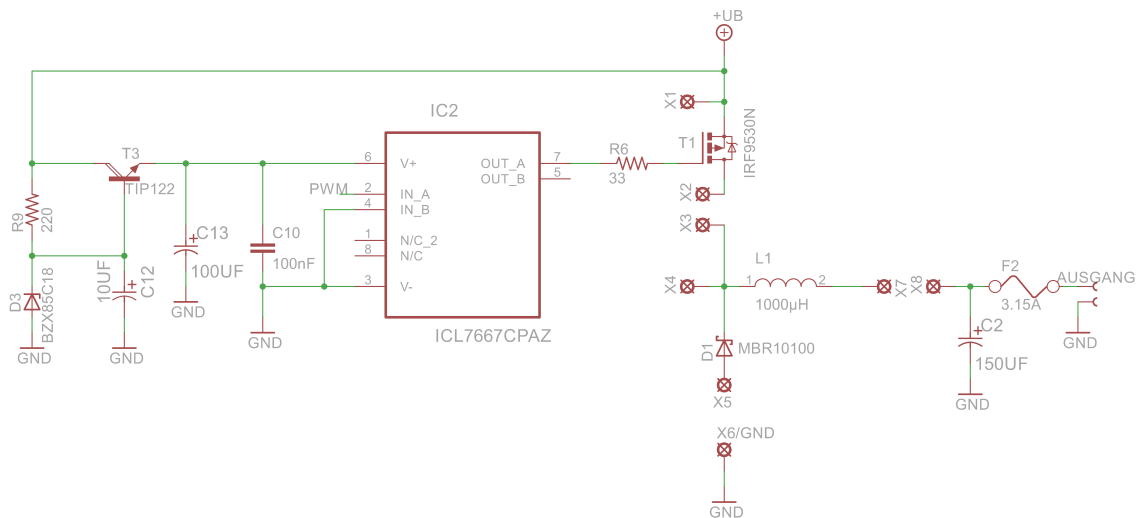


Abbildung 4.5.: Leistungsteil des Tiefsetzstellers

Die Messpunkte X2-X3, X5-X6 und X7-X8 auf der Platine werden mit einem Kabel verbunden, damit der Transistor-, der Dioden- und Induktivitätsstrom mit einer Stromzange gemessen bzw. oszilloskopiert werden kann.

Die Elektrolytkondensatoren am Ein- und Ausgang haben eine Spannungsfestigkeit von 63V. Beim Tiefsetzsteller belastet hauptsächlich die schaltfrequente Schwankung des Induktivitätsstroms den Ausgangskondensator. Die maximal zulässige Strombelastbarkeit $I_{C,eff,max}$ des eingesetzten Ausgangskondensators beträgt laut Datenblatt 1,019A (bei $105^{\circ}C$, $10kHz \leq f_{Takt} \leq 100kHz$).

Als Induktivität wurde das Produkt 1410524C von Murata Power Solutions aufgrund der hohen Induktivität 1mH (mit Kern), kleiner Bauform und der ausreichenden Strombelastbarkeit ausgewählt. Diese hat laut Datenblatt einen maximalen Strombelastbarkeit von 2,4A und einen Gleichstromwiderstand R_{DC} von 277m Ω . Der angegebene Strom von 2,4A ist ein maximaler Dauerstrom bei einem Temperaturanstieg von 50 $^{\circ}C$ oder bei einem Induktivitätsabfall von 60%. Dadurch wird der Stromripple ΔI_L größer, was im schlimmsten Fall den MOSFET und die Diode zerstören kann. Der Strom in der Induktivität heizt am Gleichstromwiderstand R_{DC} der Induktivität und führt zu einer Verlustleistung.

Da für die Ansteuerung des P-Kanal MOSFETs IRF9530N mit dem PWM-Signal eine Spannung von 5V und der Strom von max. 40mA, die der Mikrocontroller liefern kann nicht ausreicht wurde der invertierende CMOS-Treiberbaustein ICL7667 vom Hersteller intersil eingesetzt. Der ICL7667 stellt also die Schnittstelle zwischen dem Mikrocontroller und dem Leistungsteil dar. Er verstärkt das 5V Signal vom Mikrocontroller und kann kurzfristig bis zu 1,5A aufnehmen und abgeben. Das Blockdiagramm des CMOS-Treiberbausteins ICL7667 wird in Abbildung 4.6 dargestellt.

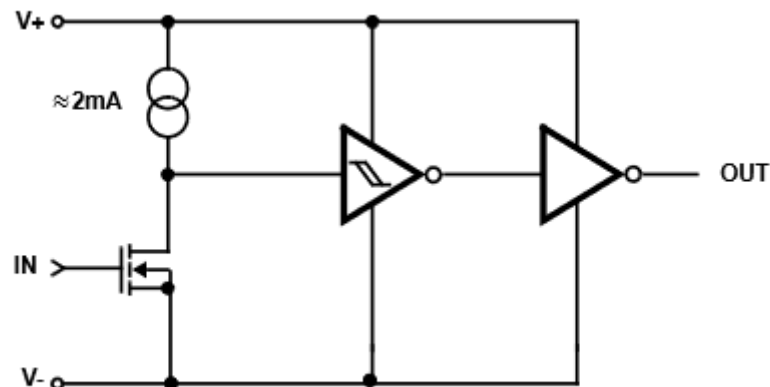


Abbildung 4.6.: Blockdiagramm des CMOS-Treiberbausteins ICL7667 des Herstellers intersil

Der P-Kanal MOSFET IRF9530N benötigt zum Durchschalten eine gegenüber Source negative Spannung und schaltet laut Datenblatt ab $U_{GS} = -8V$ vollständig durch. Eine Spannung von $0V$ am Steuereingang IN des invertierenden CMOS-Treibers sorgt dafür, dass die Versorgungsspannung des Treibers mit dem Ausgang verbunden ist. Der MOSFET IRF9530N sperrt, weil am Gate bzw. am Ausgang des CMOS-Treibers OUT gegenüber Source etwa $0V$ anliegt. Eine positive Spannung am Steuereingang IN des invertierenden CMOS-Treibers bewirkt, dass die Masse mit dem Gate des MOSFETs verbunden ist. Somit liegt am Gate eine gegenüber Source negative Spannung an. Die Betriebsspannung am CMOS-Treiberbaustein wurde durch eine 18V-Z-Diode begrenzt.

Schaltzeiten an MOSFETs

Bei jedem Ein- und Ausschalten muss die Eingangskapazität $C_{iss}(= C_{gs} + C_{gd})$ des MOSFETs umgeladen werden, wozu für einen kurzen Zeitraum ein Gatestrom I_g erforderlich ist. Während der stationären Betriebszustände "Leitend" und "Sperrend" wird kein Gatestrom benötigt. Die Schaltzeit t_s wird durch die Zeit bestimmt, die man zum Umladen des Gates benötigt und ist bei gegebenem Gatestrom proportional zur Gesamtgateladung Q_g . Die Gateladung wird in den Datenblättern zusätzlich zur Eingangskapazität angegeben.[4]

$$t_s = \frac{Q_g}{I_g} \quad (4.1)$$

Die Ein- und Ausschaltzeiten werden in der Praxis durch einen zusätzlichen Gatewiderstand R_g begrenzt, weil die Zuleitungsinduktivität zum Gate und die Eingangskapazität C_{iss} zusammen einen Schwingkreis bilden kann. Der MOSFET kann dann während des Umschalt-

vorganges anfangen zu schwingen. Der Gatewiderstand soll die Schaltgeschwindigkeit begrenzen um diesen potentiellen Schwingkreis zu dämpfen. [4]

Der beim Tiefsetzsteller als Schalter eingesetzte MOSFET IRF9530N hat laut Datenblatt [10] bei einer $U_{GS} = -10V$, $I_{DS} = -8,4A$ und $U_{DS} = -80V$ eine maximale Gesamtgatelaugung Q_g von $58nC$. Wenn das Gate mit $1,5A$ umgeladen wird, ergibt sich nach Gleichung eine gesamte Schaltzeit t_s von $38ns$.

$$t_s = \frac{Q_{g,IRF9530N}}{I_g} = \frac{58nC}{1,5A} = 38ns \quad (4.2)$$

Möchte man in $0,5\mu s$ schalten, 1% der gesamten Periodendauer $T_{Takt} = 18kHz^{-1}$, ist ein Gatestrom von $116mA$ benötigt. Dieser Strom fließt nur für einen kurzen Zeitraum von max. $0,5\mu s$.

$$I_{g,icl7667} = \frac{Q_{g,IRF9530N}}{t_s} = \frac{58nC}{0,5\mu s} = 116mA \quad (4.3)$$

Der Gatewiderstand $R_g = 33\Omega$ am MOSFET IRF9530N begrenzt den maximalen Treiberstrom auf $I_{g,max} = \frac{\Delta U}{R_g}$. ΔU ist der Spannungshub am Gate. Der eingesetzte CMOS-Treiber kann also ausreichend schnell schalten.

Eckdaten des Tiefsetzstellers

Die Eckdaten des Tiefsetzstellers sind in Tabelle 4.2 dargestellt. Der maximale Eingangstrom $I_{e,max}$ ist nicht angegeben, weil der immer kleiner oder gleich (bei $d = 1$) des Ausgangstroms ist. Der maximale Ausgangstrom muss kleiner als die maximale Strombelastbarkeit der Induktivität sein. Daher wurde als maximaler Ausgangstrom $2,4A$ festgelegt.

$U_{e,max} \leq U_e \leq U_{e,max}$	$10V \leq U_e \leq 14V$
$I_{e,max}$	-
$U_{a,max}$	-
$I_{a,max}$	$2,4A$
$f_{Takt,min} \leq f_{Takt} \leq f_{Takt,max}$	$9kHz \leq f_{Takt} \leq 20kHz$
$d_{min} \leq d \leq d_{max}$	$0 \leq d \leq 1$

Tabelle 4.2.: Eckdaten des Tiefsetzstellers

Der Eingangsspannungsbereich des Tiefsetzstellers wird auch vom Mikrocontroller überwacht und für den Fall, dass er unter- oder überschritten wird, schaltet der Mikrocontroller

das PWM-Signal ab, sodass am Ausgang des Tiefsetzstellers 0V anliegt. Der zulässige Schaltfrequenzbereich wird auch durch den Mikrocontroller begrenzt, sodass die minimale bzw. maximale Schaltfrequenz nicht überschritten wird.

4.1.5. Der Hochsetzsteller

Beim Hochsetzsteller wurde der Schalter mit einem N-Kanal MOSFET IRF530N realisiert. Für die Ansteuerung des MOSFETs wurde der nichtinvertierende CMOS-Treiberbaustein TC4427 des Herstellers Microchip eingesetzt und schafft einen Ausgangsspitzenstrom von bis zu 1,5A.

Bauelement	Bezeichnung/Beschreibung	Hersteller
T1 Schalttransistor (MOSFET)	IRF530N (Leistungs-MOSFET)	International Rectifier
L1 Induktivität	1410524C 1mH/2,4A	Murata Power Solutions
D1 Schottky-Diode	MBR10100	ON Semiconductor
C1 Eingangskondensator	EEUFR1J561S , 560 μ F/63V	Panasonic
Ausgangskondensatoren C2 und C3	EEUFC2A331S, 330 μ F/100V	Panasonic
IC2 Treiber-IC	TC4427	Microchip

Tabelle 4.3.: Tabellarische Auflistung der zum Leistungsteil des Hochsetzstellers gehörenden Bauelemente

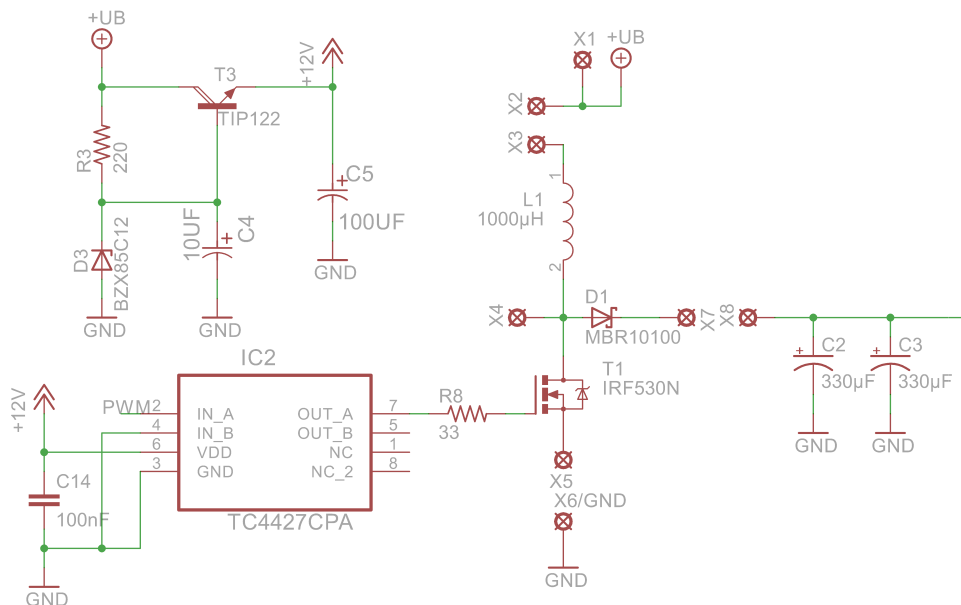


Abbildung 4.7.: Leistungsteil des Hochsetzstellers

Am Ausgang wurden zwei Elektrolytkondensatoren (Low ESR) mit je $330\mu\text{F}/100\text{V}$ parallel geschaltet. Bei der Auswahl der Kondensatoren wurde darauf geachtet, dass ihr Innenwiderstand (ESR) nicht zu hoch ist. Zudem führt das Parallelschalten mehrerer Elektrolytkondensatoren zu einem kleineren Gesamtwiderstand und erhöht die zulässige Strombelastbarkeit des Kondensators.

Da die Treiberleistung des eingesetzten Mikrocontrollers zur Ansteuerung des N-Kanal MOSFETs IRF530N nicht ausreicht, wurde der nichtinvertierende CMOS-Treiberbaustein TC4427 zwischen den PWM-Ausgang des Mikrocontrollers und das Gate gesetzt. Das Blockdiagramm des TC4427 ist in Abbildung 4.8 dargestellt. Der CMOS-Treiber wandelt die Kleinspannung $5\text{V}/0\text{V}$ des Mikrocontrollers in eine Großspannung $V_{DD}/0\text{V}$ um. Die Spannung V_{DD} ist gleich der Betriebsspannung des CMOS-Treibers und beträgt hier konstant 12V . Ist das PWM-Signal am Eingang des Treibers "High", wird die gemeinsame Gatespannung Q1 und Q2 auf "Low" gesetzt, Q1 sperrt und am Gate des N-Kanal MOSFETs IRF530N liegt die Spannung V_{DD} . Ist das PWM-Signal am Eingang des Treibers "Low", wird das gemeinsame Gatespannung Q1 und Q2 auf "High" gesetzt und am Ausgang des Treibers liegt 0V an. Die MOSFETs Q1 und Q2 stellen Pull-up- und Pull-down-Ausgangstreiber für den CMOS-Treiber dar.

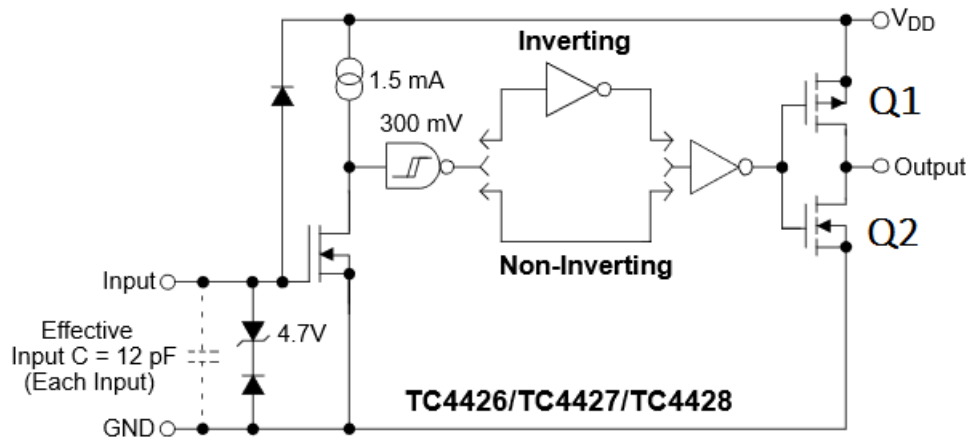


Abbildung 4.8.: Blockdiagramm des nicht invertierenden CMOS-Treiberbausteins TC4427 vom Hersteller Microchip

Der CMOS-Treiber TC4427 kann einen Spitzenstrom von bis zu 1,5 A abgeben und aufnehmen mit welchem der beim Ein- und Ausschalten das Gate des MOSFETs IRF530N umlädt. Der 33Ω Widerstand am Gate des MOSFETs IRF530N begrenzt den maximalen Gatestrom $I_{g,max}$ auf $\frac{\Delta U}{33\Omega} = \frac{12V}{33\Omega} = 363mA$.

Für die Spannungsversorgung des Treibers wurde die Lösung in Abbildung 4.9 mit Darlington-Transistor TIP122 und 12V-Z-Diode BZX85C12 gewählt.[13] Der Vorwiderstand R3 wurde so dimensioniert, dass die Z-Diode noch genügend Strom bekommt und auch der Basisstrom des Darlington-Transistors bei maximalem Kollektorstrom noch ausreicht. Der Treiber-IC TC4427 hat eine maximale Betriebsspannung von 22V und wird mit dieser Lösung durch um die Basis-Emitter-Spannung des Darlington-Transistors verminderte Z-Spannung der Z-Diode begrenzt. Ein 5V-Festspannungsregler erzeugt auch aus dieser Spannung eine konstante Gleichspannung von 5V und versorgt den Mikrocontroller. Somit erstreckt sich der Eingangsspannungsbereich des Hochsetzstellers von 12V bis auf die Nennspannung des Varistors von 25V. Erhöht man die Eingangsspannung über 25V hinaus, wird die Nennspannung des Varistors überschritten.

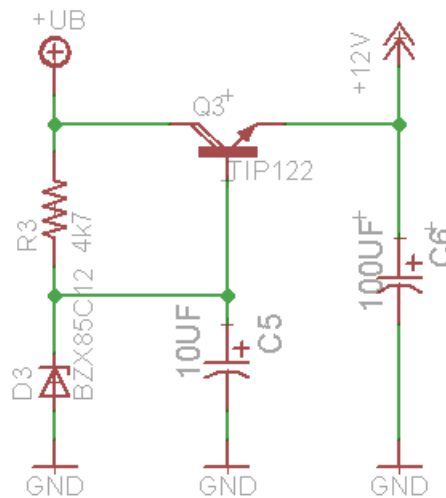


Abbildung 4.9.: Spannungsversorgung der IC-Bausteine

Eckdaten des Hochsetzstellers

Die Eckdaten des Hochsetzstellers sind in Tabelle 4.4 zusammengefasst.

$U_{e,max} \leq U_e \leq U_{e,max}$	$12V \leq U_e \leq 25V$
$I_{e,max}$	2,4A
$U_{a,max}$	50V
$I_{a,max}$	–
$f_{Takt,min} \leq f_{Takt} \leq f_{Takt,max}$	$9kHz \leq f_{Takt} \leq 20kHz$
$d_{min} \leq d \leq d_{max}$	$0 \leq d \leq d_{max} = 1 - \frac{U_e}{50V}$

Tabelle 4.4.: Eckdaten des Hochsetzstellers

Die Eingangsspannung des Hochsetzstellers wird vom Mikrocontroller überwacht und für den Fall, dass sie unter- oder überschritten wird, schaltet der Mikrocontroller das PWM-Signal ab, sodass am Ausgang des Hochsetzstellers die Eingangsspannung anliegt. Der maximale Tastgrad des PWM-Signals wird auch durch den Mikrocontroller auf $d_{max} = 1 - \frac{U_e}{50V}$ begrenzt. Dadurch soll sichergestellt werden, dass der Hochsetzsteller nicht über 50V hinaus betrieben wird.

4.1.6. Der Tief-/Hochsetzsteller

Der zum Leistungsteil des invertierenden Tief-/Hochsetzstellers gehörenden Bauelemente sind in Tabelle 4.5 dargestellt.

Bauelement	Bezeichnung/Beschreibung	Hersteller
T1 Schalttransistor (MOSFET)	IRF9530N (Leistungs-MOSFET)	Internation Rectifier
L1 Induktivität	1410524C 1mH/2,4A	Murata Power Solutions
D1 Schottky-Diode	MBR10100	ON Semiconductor
C1 Eingangskondensator	EEUFR1J561S , 560 μ F/63V	Panasonic
Ausgangskondensatoren C2 und C3	EEUFC2A331S, 330 μ F/100V	Panasonic
IC2 Treiber-IC	ICL7667	intersil

Tabelle 4.5.: Tabellarische Auflistung der zum Leistungsteil des invertierenden Tief-/Hochsetzstellers gehörenden Bauelemente

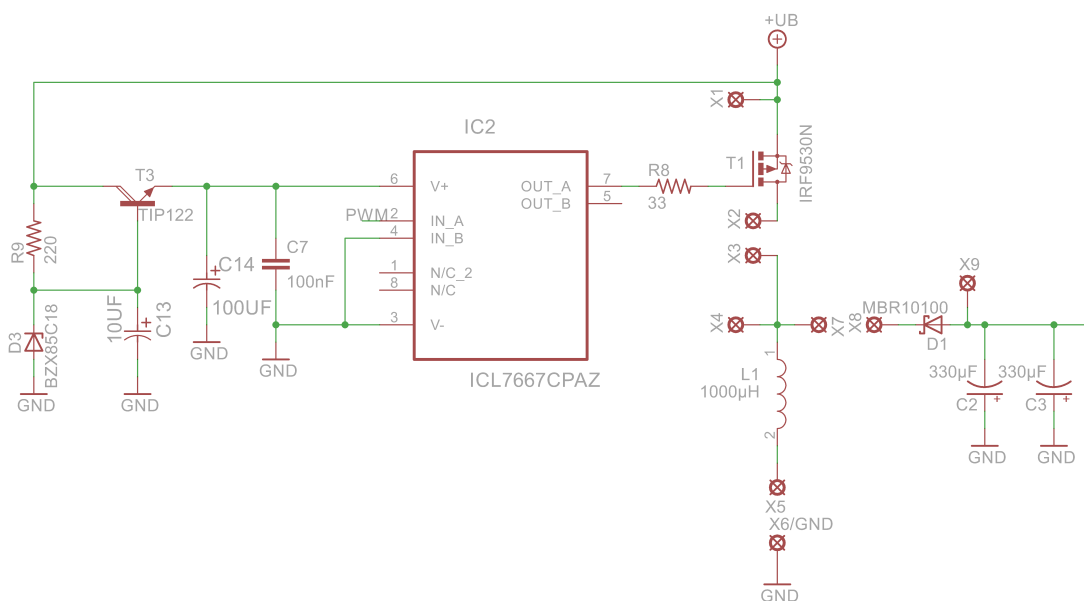


Abbildung 4.10.: Leistungsteil des invertierenden Tief-/Hochsetzstellers

Für die Ansteuerung des P-Kanal MOSFETs IRF9530N mit einem PWM-Signal des Mikrocontrollers wurde wie beim Tiefsetzsteller der invertierende CMOS-Treiberbaustein ICL7667 eingesetzt. Die Eckdaten des Tief-/Hochsetzstellers sind in Tabelle 4.6 zusammengefasst.

Eckdaten des invertierenden Tief-/Hochsetzstellers

Die Eckdaten des invertierenden Tief-/Hochsetzstellers sind in Tabelle 4.6 zusammengefasst.

$U_{e,max} \leq U_e \leq U_{e,max}$	$10V \leq U_e \leq 14V$
$I_{e,max}$	–
$ U_{a,max} $	50V
$I_{a,max}$	$I_{a,max} = 2,4A \cdot (1 - d)$
$f_{Takt,min} \leq f_{Takt} \leq f_{Takt,max}$	$9kHz \leq f_{Takt} \leq 20kHz$
$d_{min} \leq d \leq d_{max}$	$0 \leq d \leq d_{max} = \frac{U_a}{U_a + U_e}$

Tabelle 4.6.: Eckdaten des invertierenden Tief-/Hochsetzstellers

Die Eingangsspannung wird vom AD-Wandler des Mikrocontrollers gemessen und der Tastgrad auf einen maximalen Wert $d_{max} = \frac{U_a}{U_a + U_e} = \frac{50V}{50V + U_e}$ begrenzt.

4.1.7. Überspannungsschutzschaltung

Die Hochsetzsteller und Tief-/Hochsetzsteller sind grundsätzlich nicht leerlauffest. Beim gesteuerten Betrieb im Leerlauf wird die Energie bei jedem Takt von der Induktivität auf den Ausgangskondensator gepumpt. Da die Energie vom Ausgangskondensator durch die Last nicht entnommen werden kann, steigt die Ausgangsspannung solange an, bis die Spannungsfestigkeit der Bauelemente überschritten wird. Daher sollte eine Überspannungsschutzschaltung entworfen und dimensioniert werden, die beim Leerlauf die Ausgangsspannung begrenzt.

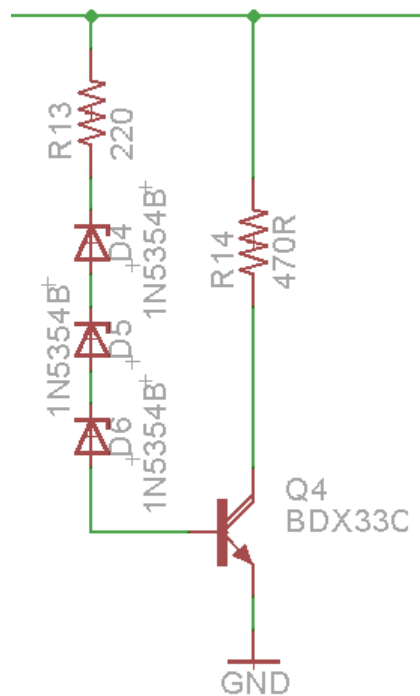


Abbildung 4.11.: Überspannungsschutzschaltung [13]

Die in Abbildung 4.11 dargestellte Überspannungsschutzschaltung am Ausgang des Hochsetzstellers und des Tief-/Hochsetzstellers soll verhindern, dass die Ausgangsspannung im Leerlauf zu weit ansteigt. Erreicht die Ausgangsspannung die Sperrspannung der drei in Reihe geschalteten 18V-Z-Dioden 1N5355B, werden die Z-Dioden leitend und schalten den Darlington-Transistor BDX33C soweit ein, dass er die Ausgangsspannung stabilisiert bzw. bei etwa 54V begrenzt. Bei Überspannungen ab 54V schaltet der Darlington-Transistor vollständig durch und leitet die Energie in den ohmschen Leistungswiderstand (470Ω/50W). Der Basisstrom wird von der Überspannung zur Verfügung gestellt. Der Vorwiderstand schützt die Z-Dioden und die Basis des Darlington-Transistors vor zu hohem Strom im Durchlassbetrieb der Z-Dioden. Damit der Basisstrom den Transistor im Falle einer Überspannung schnell zu vollleitend schaltet, wurde ein 220Ω Vorwiderstand ausgewählt. Bereits bei 6mA Basisstrom wird der Darlington-Transistor vollleitend. Fällt die Spannung am Ausgang unterhalb die Durchbruchspannung von 54V, sperren die Z-Dioden den Basisstrom und der Darlington-Transistor sperrt.

4.2. Mikrocontroller-Programmierung

Der Mikrocontroller von ATMEL wurde über die ISP-Schnittstelle [8] in der Programmiersprache C mit dem freien Software Atmel Studio 6.2 programmiert. Bei den hier aufgebauten DC/DC-Stellern steuert der Mikrocontroller über den Tastgrad $d = \frac{t_{ein}}{T_{akt}}$ die Ausgangsspannung. Er erzeugt ein PWM-Signal mit variablen Tastgrad und variabler Schaltfrequenz für die Ansteuerung des MOSFETs. Die Mikrocontrollerprogramme (C-Codes) der jeweiligen DC/DC-Stellern befinden sich im Anhang auf CD-ROM.

4.2.1. Pulsweitenmodulation PWM

Die Pulsweitenmodulation (PWM) ist ein Verfahren zur Erzeugung von Rechtecksignalen für die digitale Ansteuerung diverser elektrischer Komponenten. Hierbei werden bei gleichbleibender Periodenlänge Signale verschiedener Pulslänge erzeugt, indem das Verhältnis von Ein- zu Ausschaltzeit variiert wird. Ist ein Signal innerhalb einer Periode für die halbe Zeit "Low" und die restliche Zeit "High" (oder umgekehrt), spricht man von einem Tastgrad von 0,5 bzw. 50%. Ist das Signal andauernd "Low", bezeichnet man das auch als 0 bzw. 0% und ein dauerhaftes "High-Signal" hat dementsprechend einen Tastgrad von 1 bzw. 100%. Das Tastgrad $d = \frac{t_{ein}}{t_{ein} + t_{aus}}$ nimmt also einen Wert zwischen 0 und 1 an.

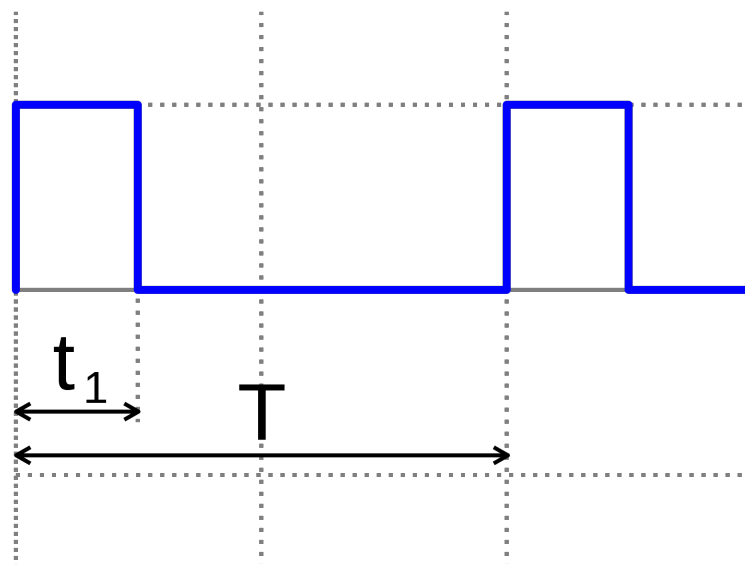


Abbildung 4.12.: PWM-Verlauf, Tastgrad $d = \frac{t_1}{T}$

Hardware-PWM

In den meisten AVR Mikrocontrollern sind PWM-Einheiten als Hardware vorhanden und nutzen den Timer als Taktquelle. Diese haben den Vorteil, sehr wenig Rechenzeit in Anspruch zu nehmen. Es muss nur die PWM aktiviert und bei Änderungen der gewünschte Wert in ein Register geschrieben werden. Der Rest läuft automatisch und unabhängig vom restlichen Programm im Hintergrund. Der CPU wird also nach der Initialisierung für die Signalerzeugung nicht mehr benötigt. Die Hardware-PWM-Funktion steht nur an bestimmten Pins (OCnX) zur Verfügung und hängt nur vom Takt, dem Vorteiler und der Größe des Zählers ab. [12]

Alternativ zur Hardware-PWM kann eine PWM auch in Software generiert werden. Die maximale zulässige PWM-Frequenz bei einer Softwarelösung hängt stark von CPU-Takt und den anderen Aufgaben des Mikrocontrollers ab und ist geringer als die mit den Hardware-PWM-Einheiten erzielbare Geschwindigkeit. Aus diesen Gründen wurde auf Software-PWM verzichtet und aufgrund der Einfachheit und Stabilität der Hardware-PWM wurde diese für die Erzeugung des PWM-Signals ausgewählt. [12]

Der Timer 1 des Mikrocontrollers ATtiny861A wurde über die Bits WGM10 und WGM11 des Registers TCCR1D für den 10-Bit-Fast-PWM-Modus konfiguriert.[1] Die CPU-Frequenz $f_{CPU} = 8MHz$ wurde ohne Vorteiler als Takt gewählt. Im Fast-PWM-Modus zählt der Timer von 0 bis zum max. möglichen Wert (OCR1C bzw. top), in diesem Fall für eine minimale Schaltfrequenz von $9kHz$ 887 und für eine maximale Schaltfrequenz von $20kHz$ 399 und beginnt anschließend wieder bei 0. Der Timer wird so konfiguriert, dass er bei jedem Null-Durchgang den PWM-Ausgang auf "High" setzt. Jedes Mal, wenn der Zähler sich erhöht, wird der aktuelle Wert mit dem Wert des Registerinhaltes OCR1A verglichen. Sollte der Wert in dem Register OCR1A mit dem Zählerregister übereinstimmen wird der PWM-Ausgang auf "Low" gesetzt. Der Tastgrad des PWM-Signals ist dann das Verhältnis von OCR1A zu OCR1C. Die erzeugte Schaltfrequenz f_{Takt} ist:

$$f_{Takt} = \frac{f_{cpu,timer}}{1 + top} \quad (4.4)$$

Da die Register für den Fast-PWM-Modus OCR1A und OCR1C 8-Bit breit sind, und die Maximalwerte den 8-Bit-Bereich überschreiten, wird zusätzlich noch ein 2-Bit-Register TC1H als Zwischenspeicher verwendet. [1]

4.2.2. AD-Wandler

Der AD-Wandler wandelt eine beliebige analoge Spannung in ein digitales Signal um. Der eingesetzte Mikrocontroller ATtiny861A hat einen 10-Bit-AD-Wandler. Dieser teilt seine Referenzspannung $5V$ in $2^{10} = 1024$ teile um. Das Wandlungsergebnis hängt also auch von der gewählten Referenzspannung ab. Um die Auflösung zu berechnen wird das U_{LSB} berechnet. Bei einer Referenzspannung von $5V$ erhält man ein U_{LSB} von $4,8828mV$. [1]

$$U_{LSB} = \frac{5V}{2^{10}} = 4,8828mV \quad (4.5)$$

U_{LSB} entspricht der Spannungsänderung, die eine Änderung in der niederwertigen Bitposition hervorruft.

Das Mikrocontrollerprogramm prüft nach der Initialisierung und Aktivierung des AD-Wandlers in einer Schleife an den jeweiligen Potentiometern den Digitalwert für Tastgrad und Schaltfrequenz. Da der Digitalwert des AD-Wandlers bei einer Auflösung von 10-Bit zwischen 0 und 1023 liegen kann, erfolgt zur Einstellung eines Tastgrades und einer Schaltfrequenz eine Umrechnung.

5. Verlustleistungen und Wirkungsgrade

Bei den Betrachtungen in den Grundlagenkapiteln 2.1.1 bis 2.1.3 wurde von idealen Bauelementen ausgegangen. In Wirklichkeit treten Verluste auf, die hauptsächlich im Leistungsteil des DC/DC-Stellers in Wärme umgesetzt werden. In der Treiberstufe und im Steuerungsteil treten ebenfalls Verluste auf. [6]

Die Verluste im Leistungsteil entstehen durch die ohmschen Verluste aller Bauelemente, durch die Widerstände der Kontaktstellen bzw. Lötstellen und auch durch die endlichen Widerstände der Leiterbahnen und Leitungen. Die Induktivität weist neben ohmschen Verlusten zusätzlich noch magnetische Verluste im Kernmaterial auf, die maßgeblich durch den Stromrippel der Induktivität ΔI_L und der Schaltfrequenz f_{Takt} bestimmt werden. An dem MOSFET als Schalter und an der Schottky-Diode treten Durchlassverluste, Sperrverluste und Schaltverluste auf, wobei die Schaltverluste nur bei sehr hohen Schaltfrequenzen dominant und die Sperrverluste vernachlässigbar klein sind. Desweiteren treten Verluste an dem Mikrocontroller und an dem Festspannungsregler, der den Mikrocontroller mit 5V versorgt, auf. Der Treiber der das Gate des MOSFETs ansteuert hat zusätzliche noch einen Eigenverbrauch.

Der Wirkungsgrad lässt sich aus Ein- und Ausgangsleistung folgendermaßen berechnen:

$$\eta = \frac{P_a}{P_e} \quad (5.1)$$

Die Verlustleistung berechnet sich wie folgt:

$$P_v = P_e - P_a = P_a \cdot \frac{1}{\eta} \quad (5.2)$$

5.1. Verluste an dem MOSFET

Die Gesamtverlustleistung P_{vT} im MOSFET setzt sich aus der Durchlassverlustleistung P_{vTd} und der Schaltverlustleistung P_{vTs} zusammen. Der Sperrverlust in der Sperrphase ist meist

vernachlässigbar, da durch einen vollständig gesperrten MOSFET ($R_{DS(off)} \approx 10M\Omega$) kein Strom fließt. [6]

$$P_{vT} = P_{vTd} + P_{vTs} \quad (5.3)$$

Die Durchlassverlustleistung P_{vTd} im MOSFET tritt nur während der Leitendzeit des MOSFETs auf, da er im leitenden Zustand einen endlichen Widerstand $R_{DS(on)}$ hat. Daher wurde in der Gleichung 5.4 für die Durchlassverlustleistung der Tastgrad noch mit einberechnet, um die Verluste über die Zeit zu mitteln:

$$P_{vTd} = I_{Drain}^2 R_{DS(on)} \cdot \frac{t_{ein}}{T_{Takt}} \quad (5.4)$$

Die Schaltverluste P_{vTs} im MOSFET treten auf, da das Umschalten endlich viel Zeit benötigt. Während des Ein- und Ausschaltvorgangs wird der ohmsche Bereich des MOSFETs durchfahren. Der MOSFET verändert in Abhängigkeit zur angelegten Spannung am Gate den Drain-Source-Widerstand R_{DS} . Der Drain-Source-Widerstand R_{DS} sollte sehr schnell ansteigen oder sinken, wobei nur kurzfristig eine Verlustleistung über dem MOSFET abfällt und dieser sich stark erwärmen kann. Das Umschalten muss möglichst schnell erfolgen, damit auch ein guter Wirkungsgrad erreicht werden kann. Die Schaltverlustleistung eines MOSFETs hängt von der Ein- und Ausschaltdauer t_r und t_f , von den Werten von Drainstrom I_D und Drain-Source-Spannung U_{DS} unmittelbar vor dem Umschalten und schließlich von der Schaltfrequenz f_{Takt} ab. Für die Schaltverlustleistung P_{vTs} gilt näherungsweise:[6]

$$P_{vTs} = U_{DS} \cdot \frac{t_r + t_f}{2} \cdot I_D \cdot f_{Takt} \quad (5.5)$$

Je häufiger zwischen den Zuständen "Leitend" und "Sperrend" geschaltet wird, desto mehr Energie wird am MOSFET in Wärme umgesetzt. Zusätzlich erzeugt die Sperrverzugsladung Q_{rr} der Body-Diode des MOSFETs beim Ausschalten Sperrverzögerungs-Verluste.

Da das Gate des MOSFETs auch immer eine parasitäre Kapazität darstellt, die bei jedem Umschaltvorgang umgeladen werden muss, treten am MOSFET-Treiber zusätzlich zum Eigenverbrauch noch Ansteuerungsverluste $P_{v,driving}$ auf. Diese Verluste sind proportional zum Wert der Gateladung, zur Gate-Source-Spannung und zur Schaltfrequenz. [4]

$$P_{v,driving} = Q_g \cdot U_{gs,max} \cdot f_{Takt} \quad (5.6)$$

5.2. Verluste an der Diode

Die Gesamtverlustleistung P_{vD} an der Diode setzt sich zusammen aus den Durchlassverlusten P_{vDd} , den Sperrverlusten P_{vDr} und den Umschaltverlusten P_{vDs} : [6]

$$P_{vD} = P_{vDd} + P_{vDs} + P_{vDr} \quad (5.7)$$

Die Durchlassverlustleistung P_{vDd} tritt nur während der Sperrzeit des MOSFETs auf. Daher wird in Gleichung 5.8 für die Durchlassverlustleistung die Ausschaltzeit noch mit einberechnet:

$$P_{vDd} = U_F \cdot I_F \cdot (1 - d) \quad (5.8)$$

Bei Dioden sind Schaltverluste vor allem auf Rückströme zurückzuführen. Beim Anlegen einer Sperrspannung sperrt die Diode nicht sofort. Damit die Diode sperren kann, muss eine elektrische Ladung, Sperrverzugsladung Q_{rr} aus der Diode ausgeräumt werden, d.h. kurze Zeit ein Rückwärtsstrom in die Diode fließen. Die Zeit, die dafür benötigt wird, wird Sperrverzugszeit t_{rr} genannt. [4] Verluste beim Einschalten der Diode sind meist vernachlässigbar. Die Schaltverluste P_{vDs} treten im Wesentlichen während der Sperrverzögerungszeit bei höheren Schaltfrequenzen und höheren Sperrspannungen auf:

$$P_{vDs} = Q_{rr} \cdot U_R \cdot f_{Takt} \quad (5.9)$$

Die Sperrverlustleistung P_{vDr} der Diode ist meistens vernachlässigbar, weil durch eine gesperrte Diode kein Strom fließt.

$$P_{vDr} = U_R \cdot I_R \cdot d \approx 0W \quad (5.10)$$

5.3. Wirkungsgrad des umgesetzten Tiefsetzstellers

I_e in mA	74,60	105,82	160,93	298,70	461,20	624,40	777,40	939,90	1200,30
I_a in mA	105,33	160,52	253,84	496,70	764,30	996,6	1225,00	1445,00	1774,00
P_e in W	0,90	1,27	1,93	3,58	5,53	7,49	9,33	11,29	14,40
P_a in W	0,63	0,96	1,52	2,98	4,59	5,98	7,40	8,67	10,64
η in %	70,60	75,85	78,87	83,14	82,86	79,81	78,79	76,87	73,9

Tabelle 5.1.: Gemessene Ein- und Ausgangsstrom für die Berechnung der Ein- und Ausgangsleistung und der Wirkungsgrad des Tiefsetzstellers bei einer Eingangsspannung von $12V$, einer Ausgangsspannung von $6V$ und einer Schaltfrequenz von $18kHz$

Bei einer Ausgangsspannung von $6V$ erreicht der Tiefsetzsteller einen Spitzenwirkungsgrad von nahezu $83,14\%$ und bei einer Ausgangsspannung von $9V$ erreicht der Spitzenwirkungsgrad schon etwa 90% .

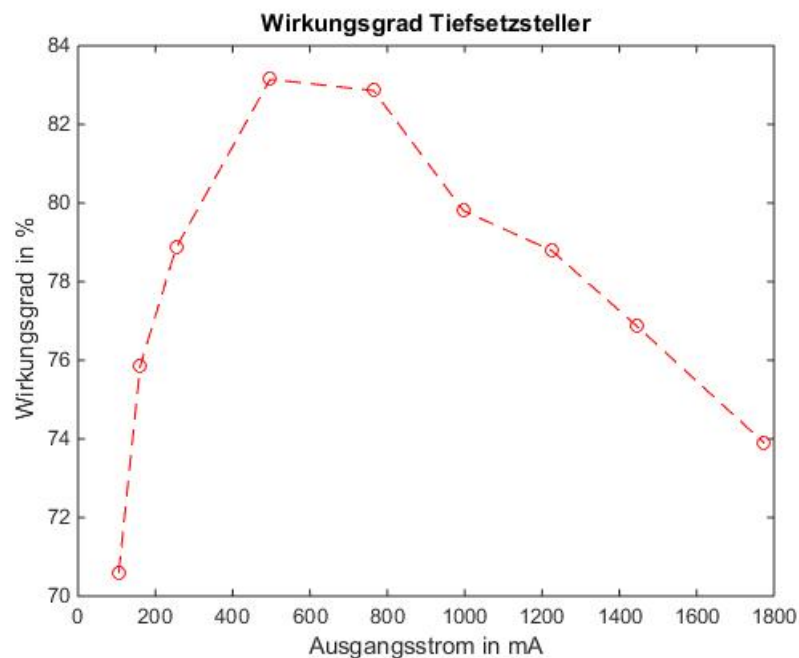


Abbildung 5.1.: Verlauf des Wirkungsgrades von dem realisierten Tiefsetzsteller bei einer Eingangsspannung von $12V$, einer Ausgangsspannung von $6V$ und einer Schaltfrequenz von $18kHz$

Die Abbildung 5.1 zeigt den Verlauf des Wirkungsgrades für den realisierten Tiefsetzsteller. Die Differenz zwischen Ein- und Ausgangsleistung ist die Verlustleistung, die im Tiefsetzsteller in Wärme umgesetzt wird. Bei kleineren Ausgangsströmen fällt der Wirkungsgrad ab, weil die Verluste anteilig größer sind. Die Verlustleistung wird überwiegend im Leistungsteil des Tiefsetzstellers umgesetzt.

Während der Zeit t_{ein} fließt der Induktivitätsstrom durch den MOSFET und während t_{aus} durch die Diode. Bei einem Ausgangsstrom von etwa $1A$ wird etwa $1,5W$ im Tiefsetzsteller in Wärme umgesetzt. Der eingesetzte P-Kanal MOSFET IRF9530N hat laut Datenblatt

ab einer $U_{GS} = -10V$ einen $R_{DS(on)} = 200m\Omega$. Daraus ergibt sich am MOSFET eine Durchlassverlustleistung P_{vTd} von etwa $200mW$. Die Verluste beim Umschalten sind ebenfalls gering, da die Zeit zum Einschalten des MOSFETs $t_r = 66ns$ und zum Ausschalten $t_f = 120ns$ beträgt¹. Bei einer Schaltfrequenz von $18kHz$ finden 36000 Umschaltvorgänge pro Sekunde statt, wodurch sich nach Gleichung 5.5 bei einem Tastgrad $d = 0,5$ eine Schaltverlustleistung von etwa $21,6mW$ ergibt. Zusätzlich treten an der Body-Diode des MOSFETs Sperrverzögerungs-Verluste auf.

Die Verlustleistung an der Schottky-Diode MBR10100 im Leistungsteil setzt sich auch aus der Durchlassverlustleistung und Schaltverlustleistung zusammen. Bei einem Ausgangsstrom von $1A$ ($d \approx 0,5$) beträgt die maximale Durchlassverlustleistung der Schottky-Diode etwa $350mW$. Die Schaltverlustleistung kann vernachlässigt werden, da die eingesetzte Schottky-Diode MBR10100 eine sehr geringe Sperrverzögerung hat.

Die als Energiespeicher verwendete Induktivität ist aus Kupferdraht gewickelt. Dieser Kupferdraht hat einen ohmschen Gleichstromwiderstand von $R_{DC} = 277m\Omega$. Der Strom in der Induktivität erzeugt mit diesem Gleichstromwiderstand R_{DC} eine Verlustleistung. Bei einem Ausgangsstrom von $1A$ hat der Gleichstromwiderstand eine Verlustleistung von etwa $277mW$ zur Folge. Diese Verlustleistung steigt zum Quadrat des Ausgangsstroms proportional an. Zusätzlich hat die Induktivität magnetische Verluste (Kernverluste), die maßgeblich durch den Stromrippel ΔI_L der Induktivität und der Schaltfrequenz f_{Takt} bestimmt werden.

Die Zuleitungskabel vom Netzteil zum Tiefsetzsteller und vom Tiefsetzsteller zur Last haben einen endlichen Widerstand, über den Spannung abfällt. Die Kabel, die für die Strommessungen mit einer Stromzange gedacht sind, tragen auch zur Gesamtverlustleistung bei.

5.4. Wirkungsgrad des umgesetzten Hochsetzstellers

I_e in mA	464,20	702,60	896,70	1153,20	1381,70	1617,40	1908,40	2155,40	2444,00
I_a in mA	199,19	309,80	396,40	505,40	602,30	697,90	809,90	896,90	1001,80
P_e in W	6,96	10,54	13,45	17,30	20,73	24,26	28,626	32,33	36,66
P_a in W	5,98	9,29	11,89	15,16	18,07	20,94	24,30	26,91	30,05
η in %	85,82	88,19	88,41	87,65	87,18	86,30	84,88	83,22	81,98

Tabelle 5.2.: Gemessene Ein- und Ausgangsstrom für die Berechnung der Ein- und Ausgangsleistung und der Wirkungsgrad des Hochsetzstellers bei einer Eingangsspannung von $15V$, einer Ausgangsspannung von $30V$ und einer Schaltfrequenz von $18kHz$

¹Die Anstiegs- und Abfallszeit wurde experimentell mit einem Oszilloskop ermittelt

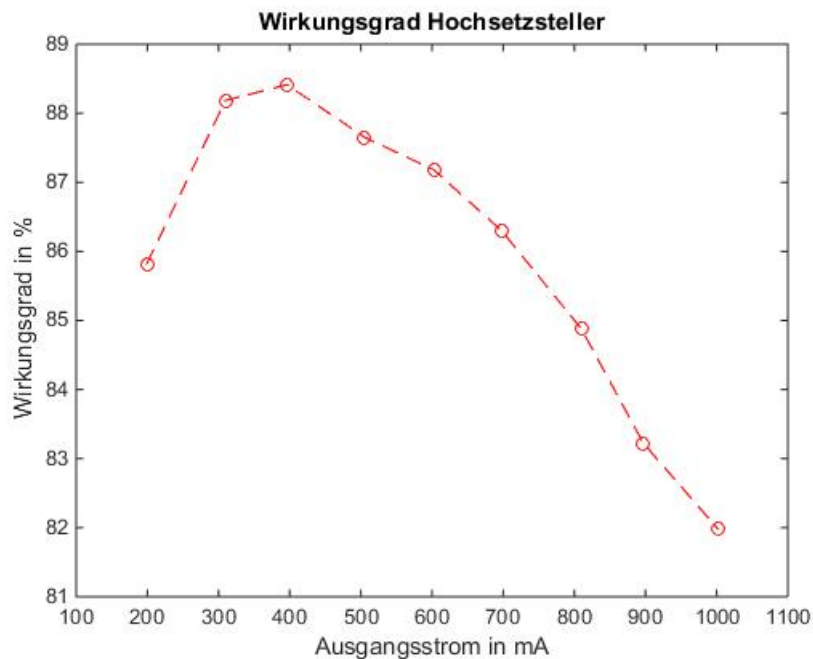


Abbildung 5.2.: Verlauf des Wirkungsgrades von dem realisierten Hochsetzsteller bei einer Eingangsspannung von 15V, einer Ausgangsspannung von 30V und einer Schaltfrequenz von 18kHz

Der Hochsetzsteller erreicht einen Spitzenwirkungsgrad von nahezu 88,41% und nimmt bei sich noch erhöhender Ausgangsleistung und Ausgangsspannung ab. Wenn die Ein- und Ausgangsspannungen weit voneinander abweichen, muss der Hochsetzsteller mit hoher Einschaltdauer betrieben werden, was die Durchlassverlustleistung des MOSFETs erhöht. Die Diodenverluste sind hier, wie praktisch auch bei anderen realisierten DC/DC-Stellern, im Wesentlichen die Durchlassverluste. Bei höheren Ausgangsströmen fällt der Wirkungsgrad auch infolge der zunehmenden Verluste in der Induktivität ab.

5.5. Wirkungsgrad des umgesetzten Tief-/Hochsetzstellers

I_e in mA	376,10	464,60	603,00	748,40	1006,30	1309,90	1644,80	2022,50
I_a in mA	159,13	196,65	247,22	303,8	401,00	505,60	610,90	707,50
P_e in W	4,51	5,58	7,24	8,98	12,08	15,72	19,74	24,27
P_a in W	3,82	4,72	5,93	7,29	9,62	12,13	14,66	16,98
η in %	84,62	84,65	82,00	81,20	79,70	77,20	74,30	69,97

Tabelle 5.3.: Gemessene Ein- und Ausgangsstrom für die Berechnung der Ein- und Ausgangsleistung und der Wirkungsgrad des invertierenden Tief-/Hochsetzstellers bei einer Eingangsspannung von $12V$, einer Ausgangsspannung von $-24V$ und einer Schaltfrequenz von $18kHz$

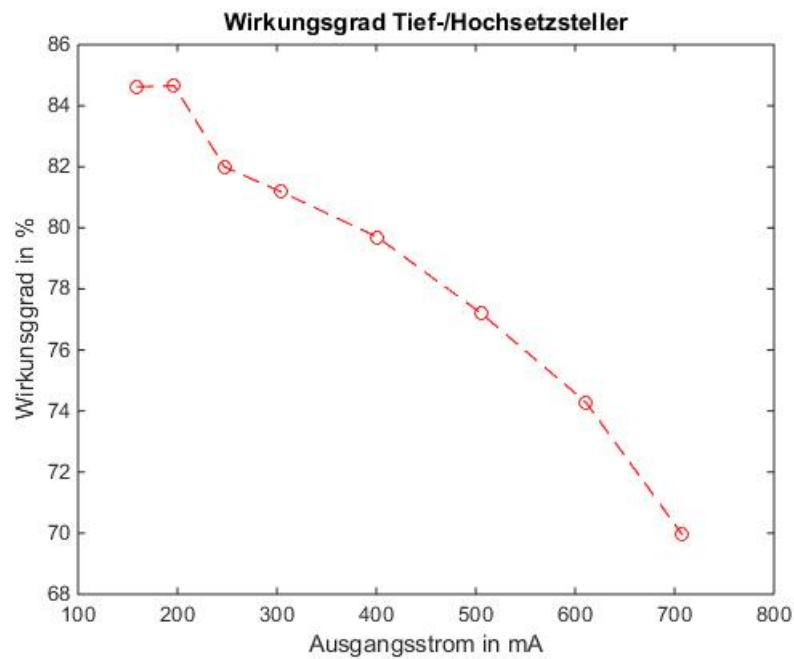


Abbildung 5.3.: Verlauf des Wirkungsgrades von dem realisierten Tief-/Hochsetzsteller bei einer Eingangsspannung von $12V$, einer Ausgangsspannung von $-24V$ und einer Schaltfrequenz von $18kHz$

Der invertierende Tief-/Hochsetzsteller erreicht einen Spitzenwirkungsgrad von nahezu $84,69\%$.

6. Praktische Versuchsdurchführung

Nachdem die entworfenen DC/DC-Stellern fertiggestellt waren, alle Funktionen vorab getestet und Verlustleistungen untersucht wurden, folgt nun die praktische Versuchsdurchführung. Hierbei dient der Laborversuch "Schaltnetzteil" aus dem 6. Semester als Versuchsgrundlage. Die Versuchsbeschreibung für den Schaltnetzteil wurde dort mit eingepflegt und um ein Tiefsetzsteller und um ein Hochsetzsteller ergänzt. Die Versuchsbeschreibung befinden sich auch im Anhang auf CD-ROM.

6.1. Versuchsdurchführung Tiefsetzsteller

6.1.1. Versuchsaufbau

Die Platine des Tiefsetzstellers ist in Abbildung 6.1 dargestellt. Die Messpunkte X2-X3, X5-X6 und X7-X8 werden mit einem Laborstecker-Kabel verbunden. Somit können die Ströme I_T (Transistorstrom), I_D (Diodenstrom) und I_L (Induktivitätsstrom) mittels einer Stromzange an den letztgenannten Messpunkten abgegriffen werden.

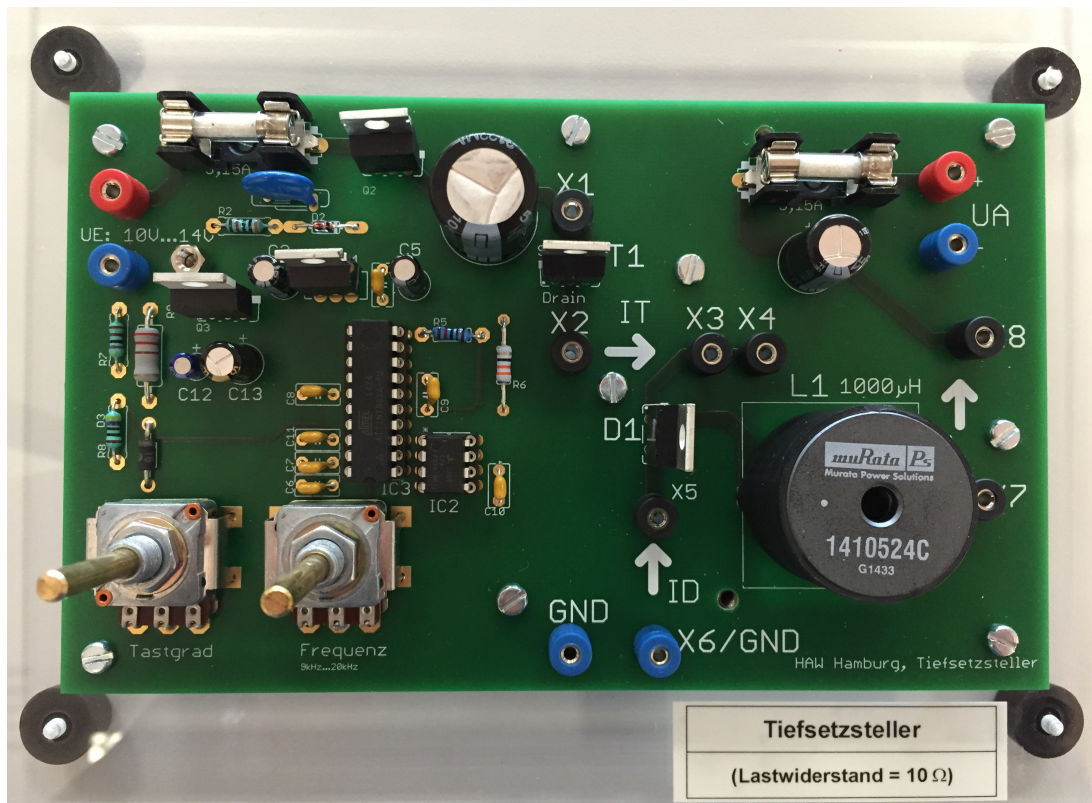


Abbildung 6.1.: Platine Tiefsetzsteller

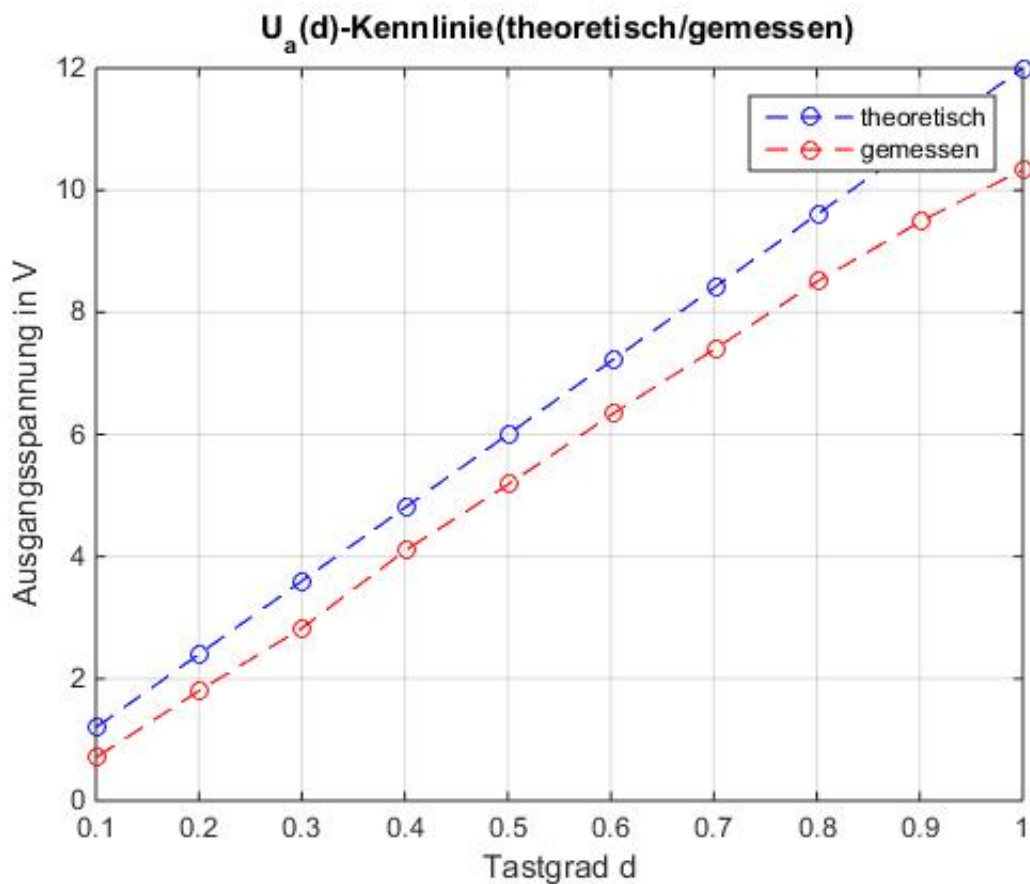
Der Tiefsetzsteller wurde bei einer Schaltfrequenz von $f_{Takt} = 18\text{kHz}$ und einer Eingangsspannung von $U_e = 12\text{V}$ in Betrieb genommen. Als Last wurde ein 10Ω Leistungswiderstand angeschlossen.

Die Spannung über der Induktivität L1 kann zwischen den Messpunkten X3/X4 und X7, die Spannung über die Diode D1 zwischen den Messpunkten X3/X4- und X6/GND und die Spannung über dem MOSFET T1 zwischen den Messpunkten X1 und X2 gemessen werden.

6.1.2. Darstellung der U_a - und I_a -Kennlinien

Die Eingangs- und Ausgangsspannung sowie der Eingangs- und Ausgangsstrom wurde mittels Multimeter in Abhängigkeit vom Tastgrad d gemessen und die Ergebnisse mit den theoretischen Ergebnissen grafisch aufgetragen. Die Ergebnisse sind auch in Tabelle 6.1 dargestellt.

Tastgrad d	0,1	0,2	0,3	0,401	0,501	0,602	0,702	0,801	0,901	1,0
$U_{a,theoretisch}$ in V	1,20	2,40	3,60	4,81	6,01	7,22	8,42	9,61	10,81	12,0
$I_{a,theoretisch}$ in mA	120,0	240,0	360,0	481,2	601,2	722,4	842,4	961,2	1081,2	1200,0
$U_{e,gemessen}$ in V	0,71	1,80	2,83	4,11	5,19	6,34	7,41	8,51	9,49	10,34
$I_{e,gemessen}$ in mA	73,57	184,15	293,68	426,2	538,3	657,8	770,0	879,3	987,0	1075,8

Tabelle 6.1.: Theoretische- und gemessene Ergebnisse bei $f_{Takt} = 18kHz$ und $U_e = 12V$ Abbildung 6.2.: Darstellung der $U_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 12V$, $f_{Takt} = 18kHz$, $R_{Last} = 10\Omega$)

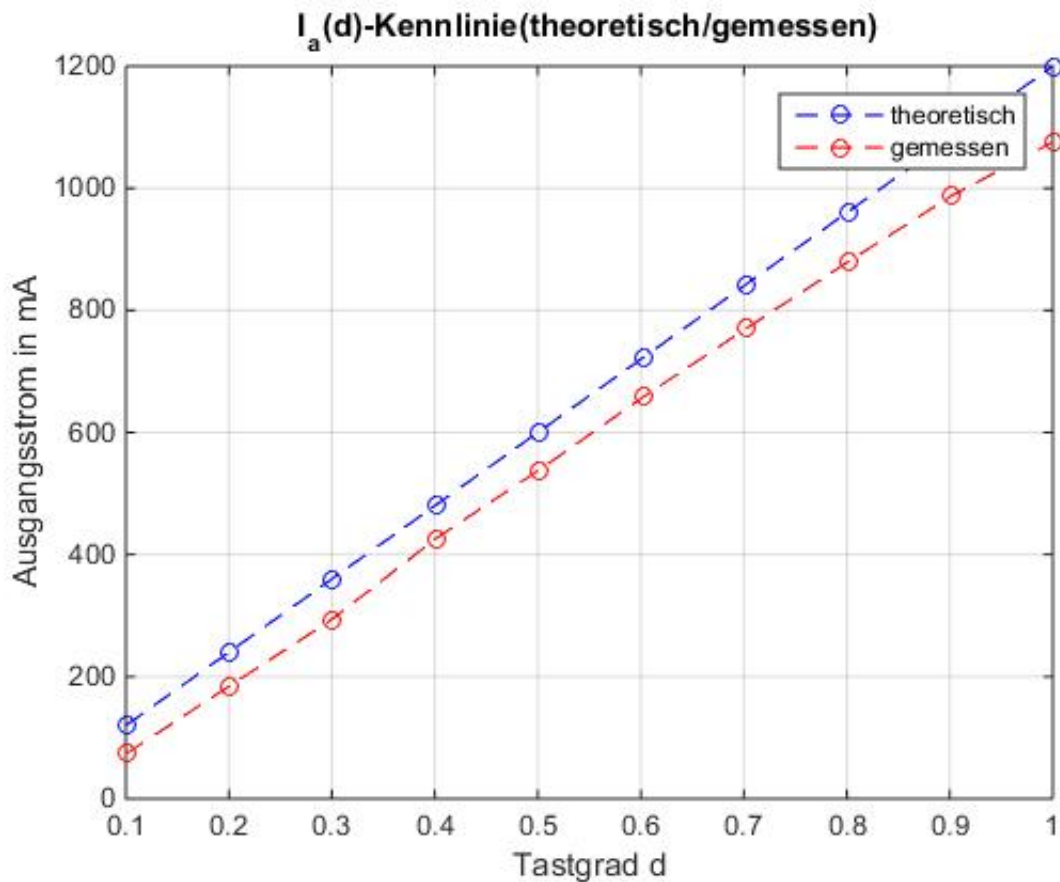
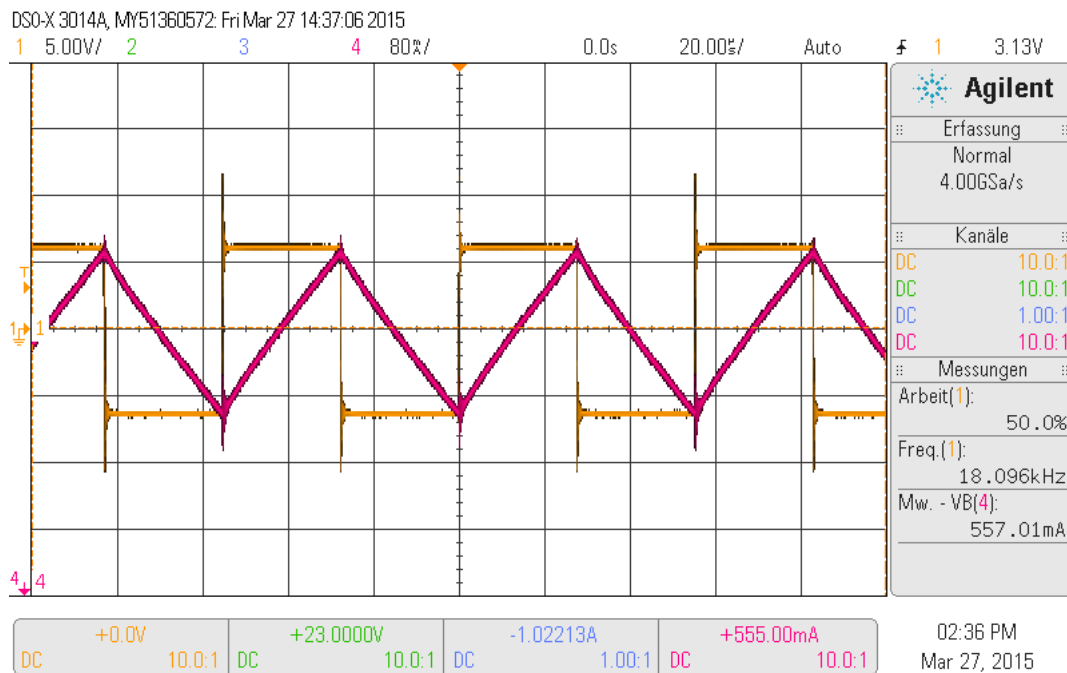


Abbildung 6.3.: Darstellung der $I_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 12V$, $f_{Takt} = 18kHz$, $R_{Last} = 10\Omega$)

In den Abbildungen 6.2 und 6.3 wurden die Kennlinien Ausgangsspannung über Tastgrad und Ausgangsstrom über Tastgrad bei konstanter Eingangsspannung erstellt. Zwischen U_a und d bzw. I_a und d besteht ein linearer Zusammenhang, (wie erwartet). Bei der Berechnung der theoretischen Kennlinie ist von den verlustfreien Bauelementen ausgegangen.

6.1.3. Zeitliche Verläufe der U_L , I_L , U_T , I_T und U_D , I_D bei $U_e = 12V$, $f_{Takt} = 18kHz$ und $R_{Last} = 10\Omega$

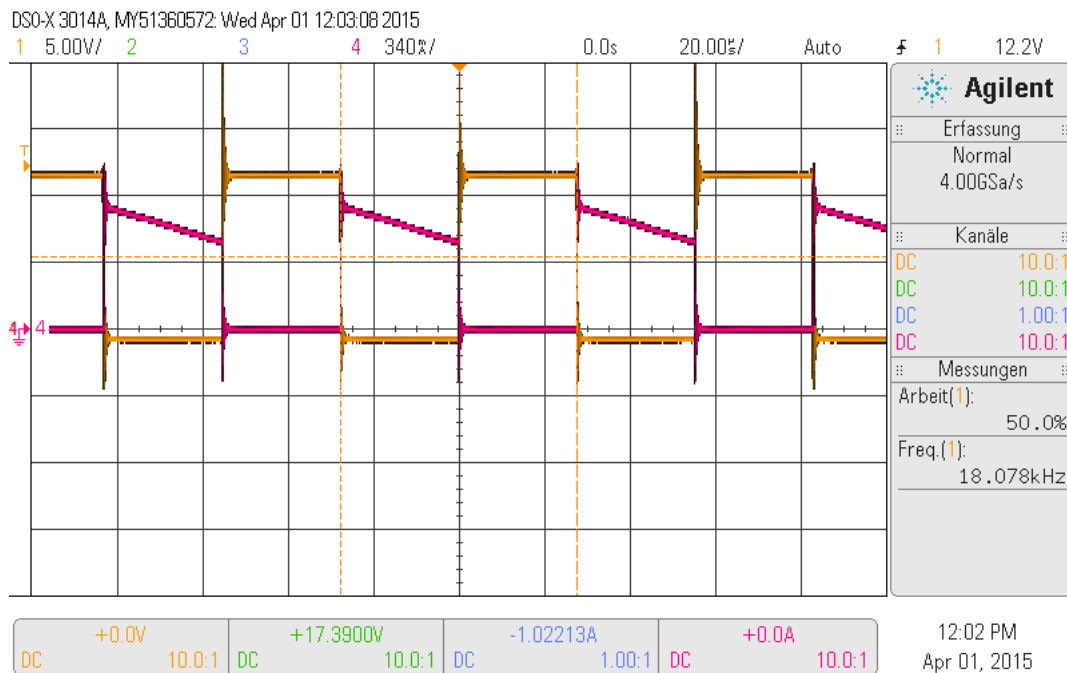
In den nachfolgenden Abbildungen sind die per Oszilloskop aufgenommene Strom- und Spannungsverläufe dargestellt.

Zeitlicher Verlauf von U_L und I_L bei $d = 0,5$ Abbildung 6.4.: Zeitlicher Verlauf von U_L (gelb) und I_L (rot) ($I_{L,avg} = 557mA$) bei $d = 0,5$

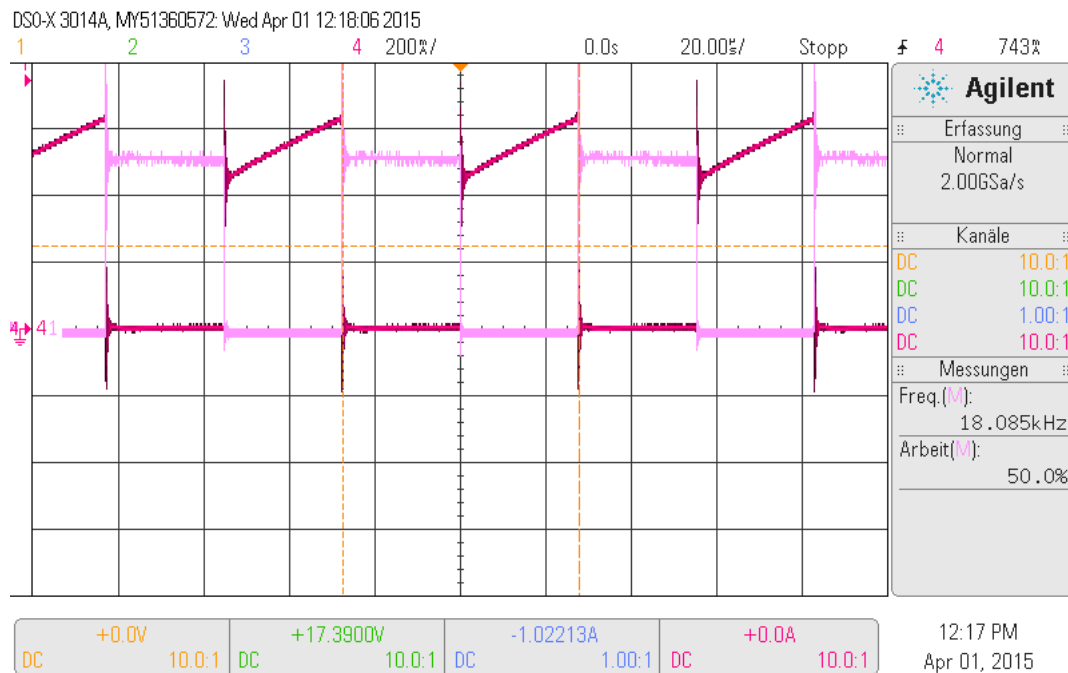
In Abbildung 6.4 ist der Strom in der Induktivität bei einem Tastgrad $d = 0,5$ dargestellt. Da bei $d = 0,5$ die Ein- und Ausschaltzeit gleich ist, hat der Strom durch die Induktivität einen dreieckförmigen Verlauf. Der Mittelwert des Stroms durch die Induktivität ist gleich dem Ausgangsstrom. Während der Einschaltzeit steigt der Strom durch die Induktivität an und während der Ausschaltzeit sinkt der Strom durch die Induktivität. Mit der verwendeten Induktivität von 1 mH und der eingestellten Eingangsspannung $U_e = 12V$ ergibt sich nach Gleichung 2.7 ein theoretischer Stromripple von $\Delta I_{L,ideal} = 167mA$.

$$\Delta I_{L,ideal} = \frac{(U_e - d \cdot U_e) \cdot d}{f_{Takt} \cdot L} = \frac{(12V - 0,5 \cdot 12V) \cdot 0,5}{18kHz \cdot 1mH} = 167mA$$

Der berechnete theoretische Stromripple in der Induktivität gilt im idealen Fall. Der gemessene reale Stromripple in Abbildung 6.4 beträgt $185mA$. Da die Schaltfrequenz, der Tastgrad und die Eingangsspannung konstant sind, liegt die Ursache für die etwa 10% Abweichung womöglich in der Induktivität, da diese nicht genau den Wert $1mH$ hat. Die Ursache kann auch ein Messfehler sein.

Zeitlicher Verlauf von U_D und I_D bei $d = 0,5$ Abbildung 6.5.: Zeitlicher Verlauf von U_D (gelb) und I_D (rot) bei $d = 0,5$

In Abbildung 6.5 ist der zeitliche Verlauf von Induktivitätsstrom und Induktivitätsspannung dargestellt. Sperrt der MOSFET, dann beginnt die Diode zu leiten und entsprechend kommutiert der durch die Induktivität eingepreßte Strom I_L vom MOSFET zur Diode (Abb. 6.7 und 6.8). Bei Wiedereinschalten des MOSFETs sperrt die Diode und die um die Drain-Source-Spannung $U_{DS(on)}$ des MOSFETs verminderte Eingangsspannung liegt als Sperrspannung über die Diode an.

Zeitlicher Verlauf von U_T und I_T bei $d = 0,5$ Abbildung 6.6.: Zeitlicher Verlauf von U_T (violett) und I_T (rot) bei $d = 0,5$

Im leitenden Zustand fließt durch den MOSFET derselbe Strom wie durch die Induktivität. In der Ausschaltzeit liegt die Eingangs- und Durchlassspannung der Diode als Sperrspannung über dem abgeschalteten MOSFET an.

Zeitlicher Verlauf von I_L , I_T und I_D bei $d = 0,3$

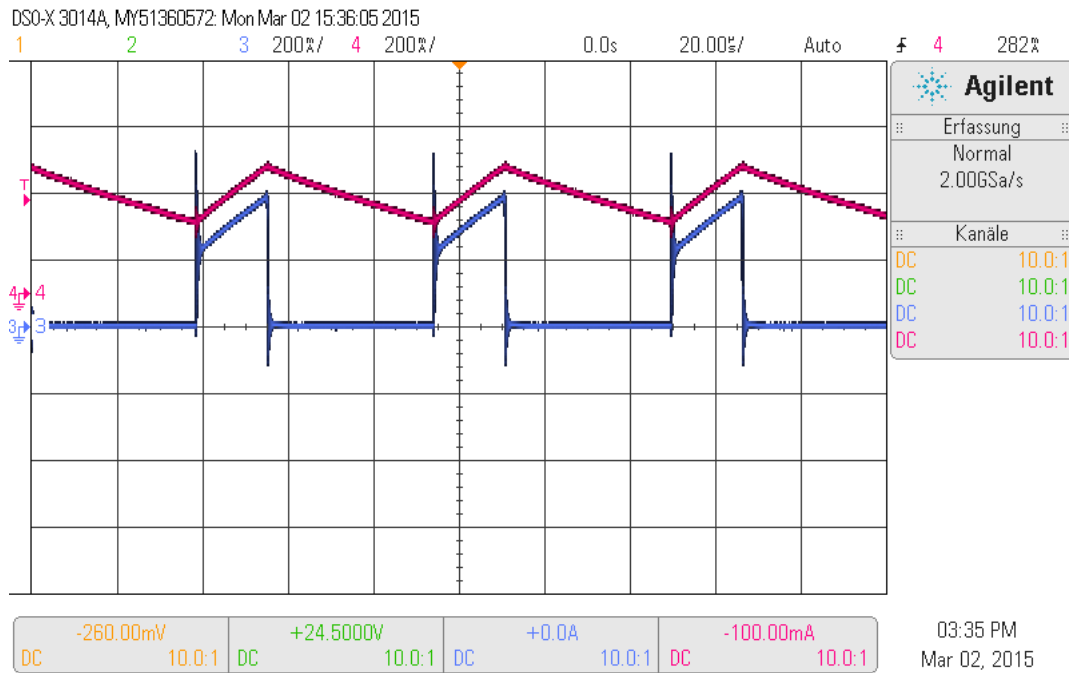


Abbildung 6.7.: Zeitlicher Verlauf von I_L (rot) und I_T (blau) bei $d = 0,3$

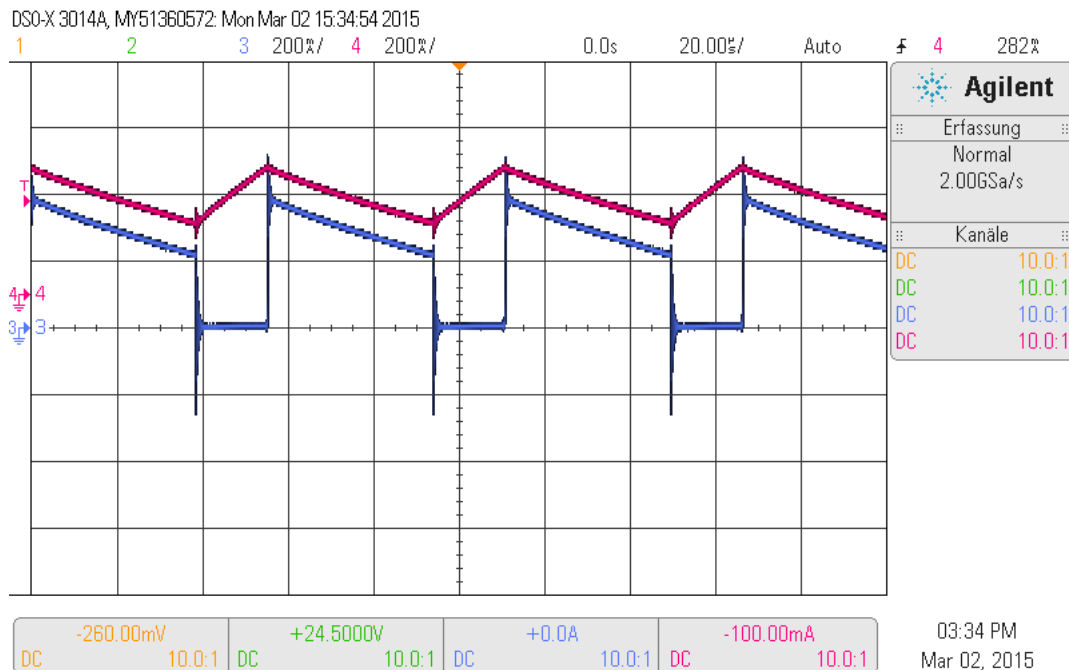


Abbildung 6.8.: Zeitlicher Verlauf von I_L (rot) und I_D (blau) bei $d = 0,3$

Der Strom durch den MOSFET und die Diode besteht aus dem Gleichanteil des Stroms der Induktivität, dem ein Wechselstrom überlagert wird. Durch das schnelle Umschalten des MOSFETs wird die Diode nicht mehr vom Strom durchflossen und dies führt zu einer negativen Stromspitze (Abb. 6.8). Dabei wird die Sperrverzugsladung Q_{rr} aus der Diode ausgeräumt. Anschließend wird die Diode in Sperrichtung betrieben. Die Stromspitze beim Einschalten des MOSFETs (Abb. 6.7) wird durch die negative Stromspitze der Diode hervorgerufen.

6.2. Versuchsdurchführung Hochsetzsteller

6.2.1. Versuchsaufbau

Die Abbildung 6.9 zeigt die Platine des Hochsetzstellers. Die Ströme I_L (Induktivitätsstrom), I_T (Transistorstrom) und I_D (Diodenstrom) können an den Messpunkten X2-X3, X5-X6 und X7-X8 mittels einer Stromzange abgegriffen werden.

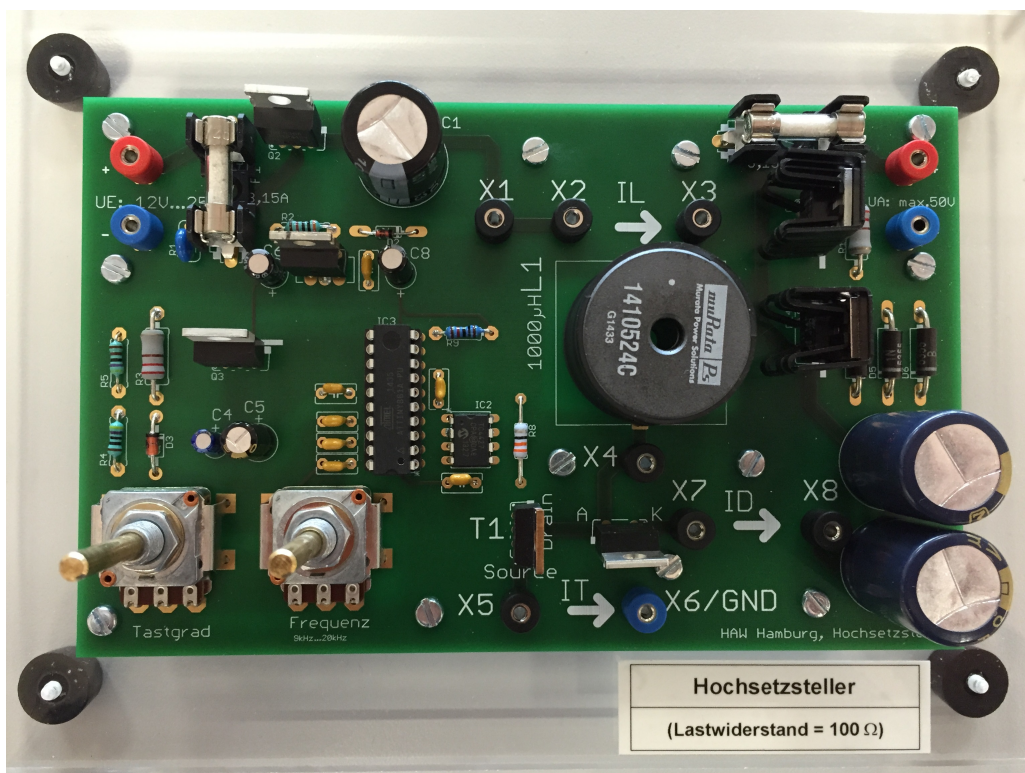


Abbildung 6.9.: Platine Hochsetzsteller

Der Hochsetzsteller wurde bei einer Schaltfrequenz von $f_{T_{akt}} = 18\text{kHz}$ und einer Eingangsspannung von $U_e = 15\text{V}$ in Betrieb genommen. Als Last wurde ein 100Ω Leistungswiderstand angeschlossen.

Die Spannung über der Induktivität L1 kann zwischen den Messpunkten X1/X2/X3 und X4, die Spannung über die Diode D1 zwischen den Messpunkten X4- und X7 und die Spannung über dem MOSFET T1 zwischen den Messpunkten X4 und X5 gemessen werden.

6.2.2. Darstellung der U_a - und I_a -Kennlinien

Wie beim Tiefsetzsteller wurde die Ein- und Ausgangsspannung sowie der Ein- und Ausgangsstrom in Abhängigkeit von dem Tastgrad gemessen und in Tabelle 6.2 eingetragen. Eine $U_a(d)$ - und eine $I_a(d)$ -Kennlinie wurde anhand von Messwerten grafisch dargestellt und mit den theoretischen Ergebnissen verglichen.

Tastgrad d	0	0,099	0,2	0,3	0,401	0,5	0,6	0,651	0,699
$U_{a,theoretisch}$ in V	15,0	16,65	18,75	21,42	25,04	30,0	37,50	42,97	49,83
$I_{a,theoretisch}$ in mA	150,0	166,48	187,50	214,2	250,4	300,0	375,0	429,7	498,3
$U_{e,gemessen}$ in V	14,29	15,97	17,95	20,72	24,09	28,72	35,64	40,08	45,83
$I_{e,gemessen}$ in mA	143,09	159,49	179,27	206,88	240,61	286,84	355,30	399,90	457,20

Tabelle 6.2.: Theoretische und gemessene Ergebnisse bei $f_{T_{akt}} = 18\text{kHz}$, $R_{Last} = 100\Omega$ und $U_e = 15\text{V}$

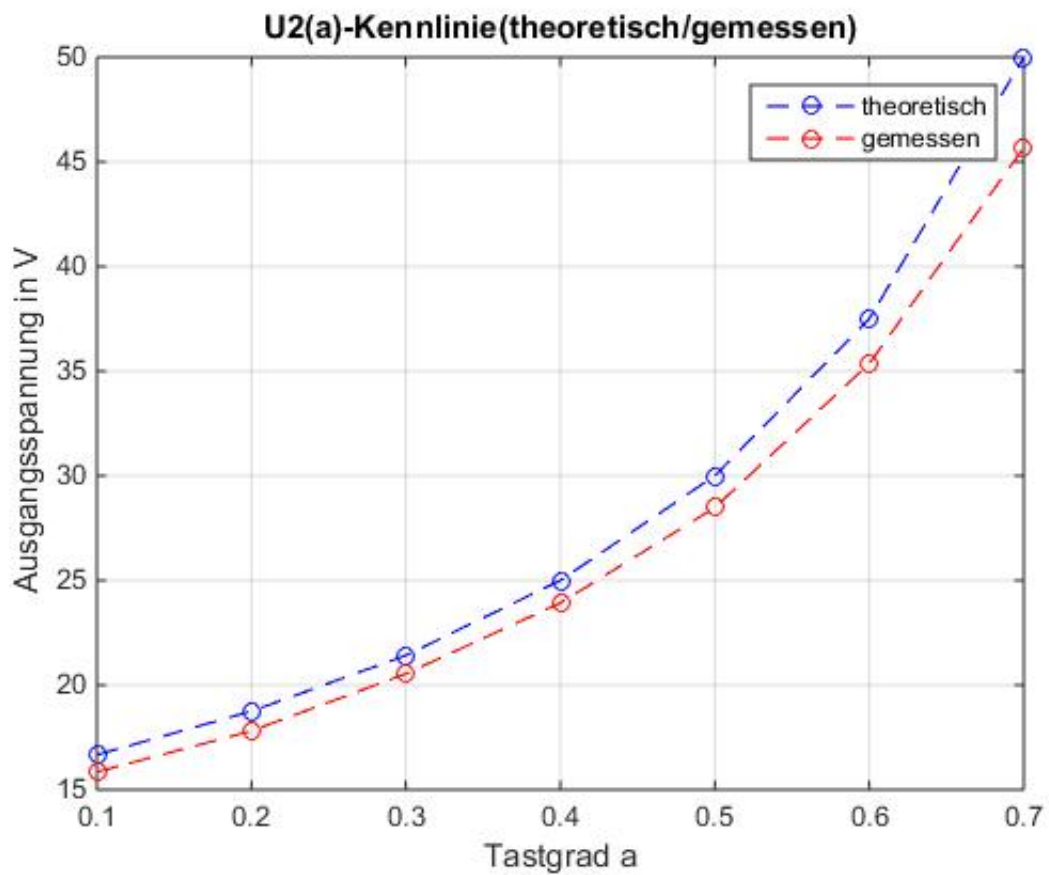


Abbildung 6.10.: Darstellung der $U_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 15V$,
 $f_{Takt} = 18kHz$, $R_{Last} = 100\Omega$)

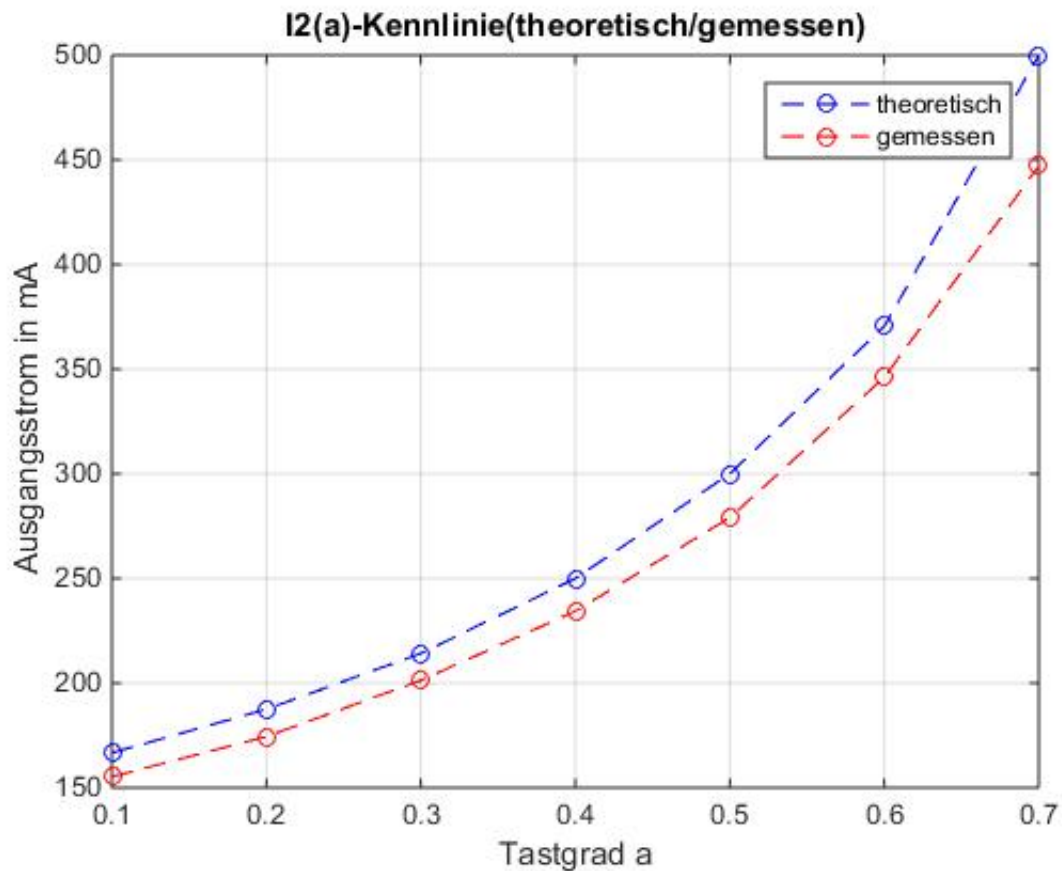


Abbildung 6.11.: Darstellung der $I_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 15V$, $f_{Takt} = 18kHz$, $R_{Last} = 100\Omega$)

Die theoretische Kennlinie gilt unter Vernachlässigung aller Bauelemente. Daher gibt es eine Differenz zwischen den gemessenen und den berechneten Kennlinien. Aus den Kennlinien wird ersichtlich, dass ab etwa $d > 0,6$ eine geringe Veränderung des Tastgrades eine hohe Änderung der Ausgangsspannung bzw. Ausgangsstrom zur Folge hat.

6.2.3. Zeitliche Verläufe der U_L , I_L , U_T , I_T und U_D , I_D bei $U_e = 15V$, $f_{Takt} = 18kHz$ und $R_{Last} = 100\Omega$

Zeitlicher Verlauf von U_L und I_L bei $d = 0,5$

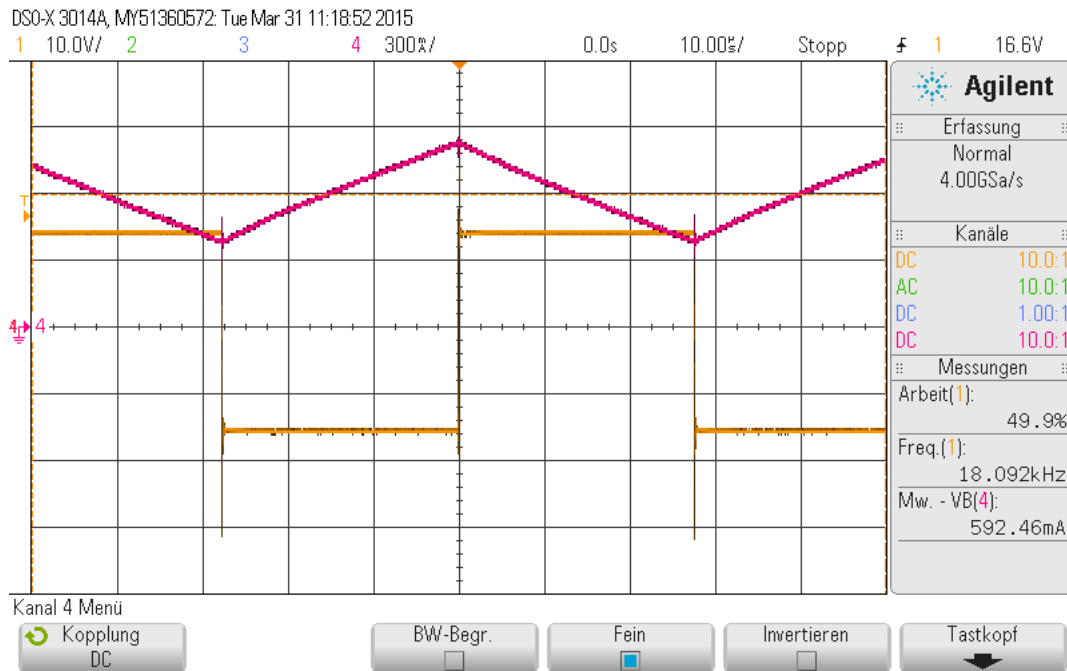


Abbildung 6.12.: Zeitlicher Verlauf von U_L (gelb) und I_L (rot) ($I_{L,avg} = 592,46mA$) bei $d = 0,5$

In Abbildung 6.12 ist der zeitliche Verlauf des Induktivitätsstroms und der zeitliche Verlauf der Spannung an der Induktivität bei einem Tastgrad $d=0,5$ dargestellt. Theoretisch ergibt sich nach Gleichung 2.15 ein Stromrippel von $\Delta I_{L,ideal} = 416mA$.

$$\Delta I_{L,ideal} = \frac{U_e \cdot d}{L \cdot f_{Takt}} = \frac{15V \cdot 0,5}{1mH \cdot 18kHz} = 416mA$$

Der gemessene Stromrippel von etwa $\Delta I_{L,real} = 435mA$ weicht 4,3% von dem idealen Stromrippel ab. Während der Sperrphase des MOSFETs wird Energie auf den Ausgang übertragen. Der Induktivitätsstrom nimmt ab und während dieser Zeitphase liegt an der Induktivität etwa die Differenz zwischen Ein- und Ausgangsspannung. Die gemessene Ausgangsspannung beträgt 28,715V.

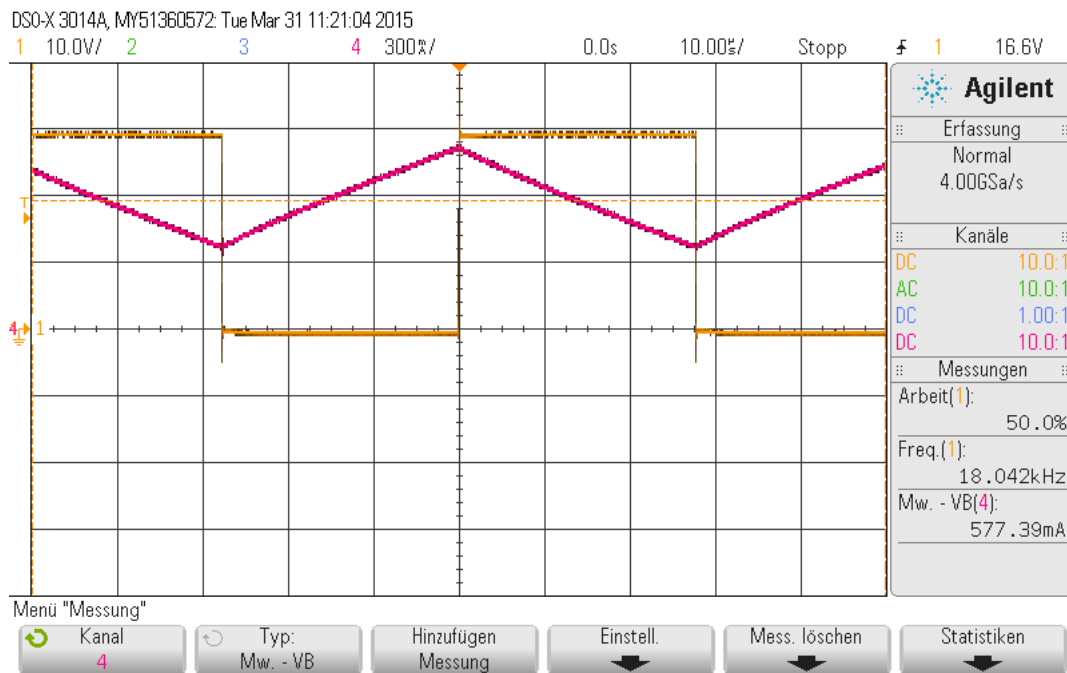
Zeitlicher Verlauf von U_T und I_L bei $d = 0,5$ 

Abbildung 6.13.: Zeitlicher Verlauf von U_T (gelb) und I_L (rot) ($I_{L,avg} = 577,39\text{mA}$) bei $d = 0,5$

Der Mittelwert des Induktivitätsstroms ist gleich dem Eingangsstrom. Während der Leitphase des MOSFETs wird Energie im Magnetfeld der Induktivität gespeichert. Wird der MOSFET ausgeschaltet, fließt der Induktivitätsstrom durch die Diode, die durch den Stromfluss in den leitenden Zustand getrieben wird (Abb. 6.14) und der Ausgangskondensator wird geladen.

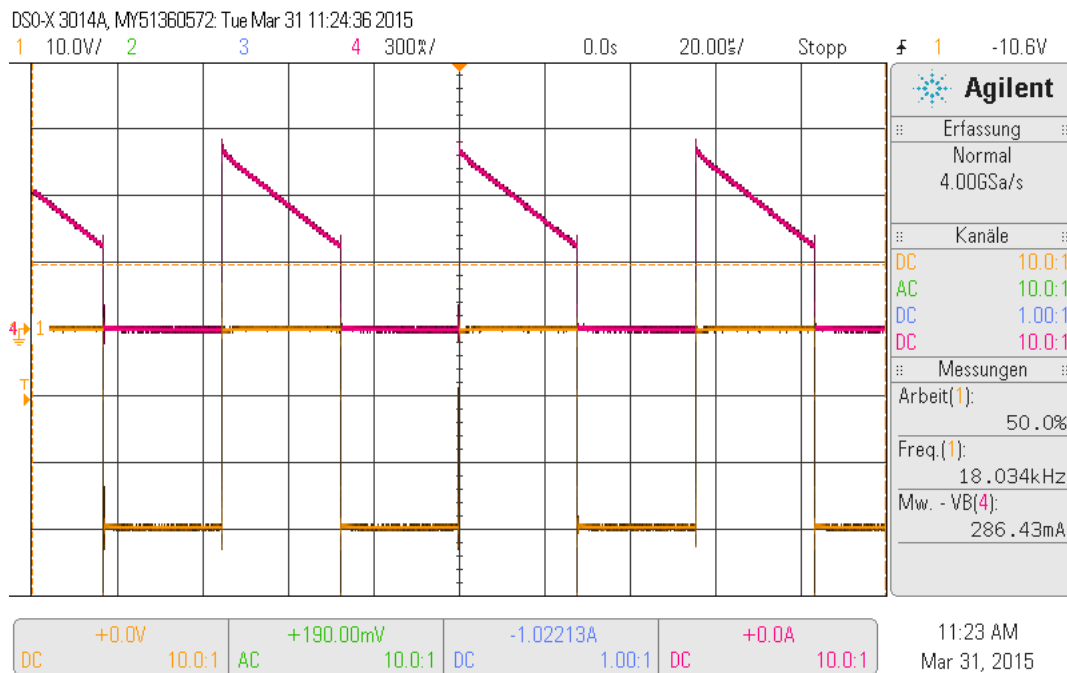
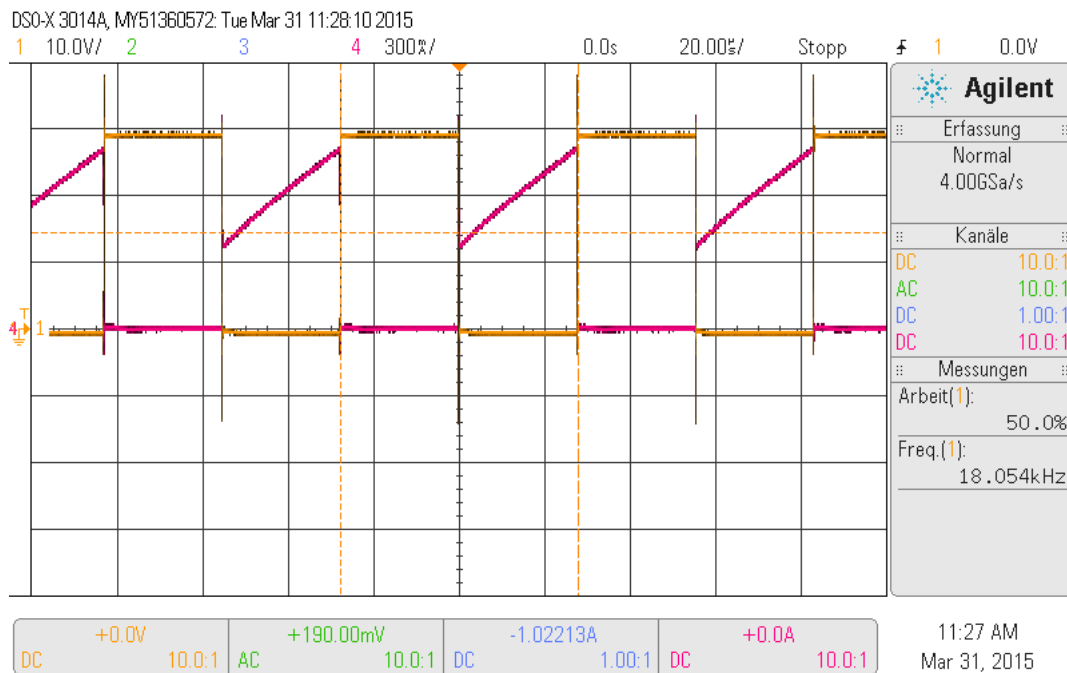
Zeitlicher Verlauf von U_D und I_D bei $d = 0,5$ 

Abbildung 6.14.: Zeitlicher Verlauf von U_D (gelb) und I_D (rot) ($I_{D,avg} = 286,83mA$) bei $d = 0,5$

In Abbildung 6.14 wird der zeitliche Verlauf des Stroms in der Diode und die Spannung über die Diode bei einem Tastgrad $d=0,5$ dargestellt. Sperrt der MOSFET, fließt der Induktivitätsstrom durch die Diode und treibt die Diode in den leitenden Zustand. Der durch die Induktivität eingeprägte Strom I_L kommutiert vom Transistor zur Diode. Sperrt der MOSFET, liegt über die Diode die Ausgangsspannung als Sperrspannung an. Durch die gesperrte Diode fließt kein Strom hindurch. Der Mittelwert des Diodenstroms $I_{D,avg}$ entspricht den Ausgangsstrom I_a .

Zeitlicher Verlauf von U_T und I_T bei $d = 0,5$ Abbildung 6.15.: Zeitlicher Verlauf von U_T (gelb) und I_T (rot) bei $d = 0,5$

Während der Zeit t_{aus} liegt die Ausgangsspannung bzw. Eingangs- und Induktivitätsspannung als Sperrspannung über den MOSFET an. Während der Zeit t_{ein} wird die Induktivität gegen Masse geschaltet, sodass der Strom durch die Induktivität die damit im Magnetfeld gespeicherte Energie wieder aufbaut. Die Energie wird im gesperrten Zustand des MOSFETs an den Ausgangskondensator abgegeben.

Zeitlicher Verlauf von I_L , I_T und I_D bei $d = 0,4$

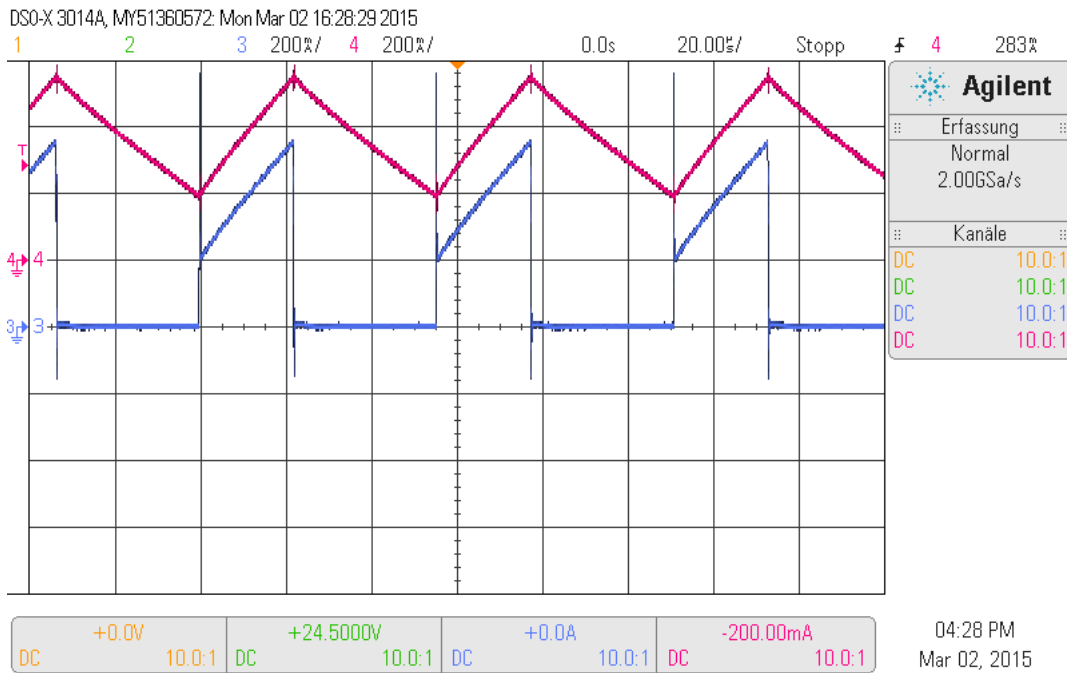


Abbildung 6.16.: Zeitlicher Verlauf von I_L (rot) und I_T (blau) bei $d = 0,4$

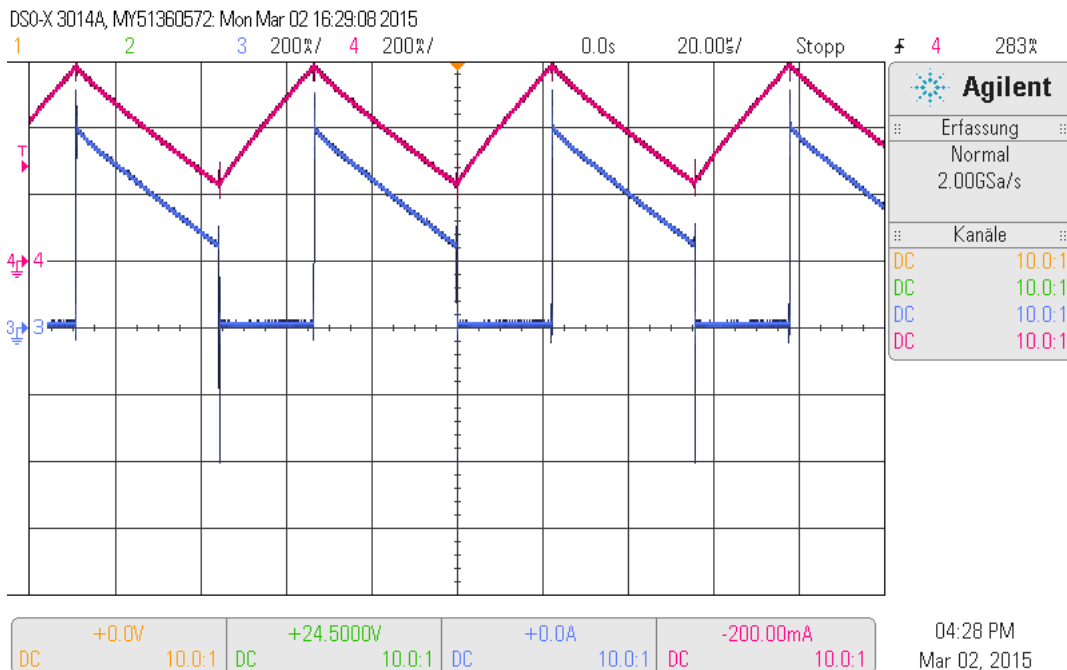


Abbildung 6.17.: Zeitlicher Verlauf von I_L (rot) und I_D (blau) bei $d = 0,4$

In den Abbildungen 6.16 und 6.17 werden die Stromverläufe nochmal dargestellt. Während der Zeit t_{ein} fließt der Induktivitätsstrom durch den MOSFET und während t_{aus} durch die Diode.

6.3. Versuchsdurchführung Tief-/Hochsetzsteller

6.3.1. Versuchsaufbau

Abbildung 6.18 zeigt die Platine des invertierenden Tief-/Hochsetzstellers. Die Ströme I_T (Transistorstrom), I_L (Induktivitätsstrom) und I_D (Diodenstrom) werden an den Messpunkten X2-X3, X5-X6 und X7-X8 mittels einer Stromzange abgegriffen.

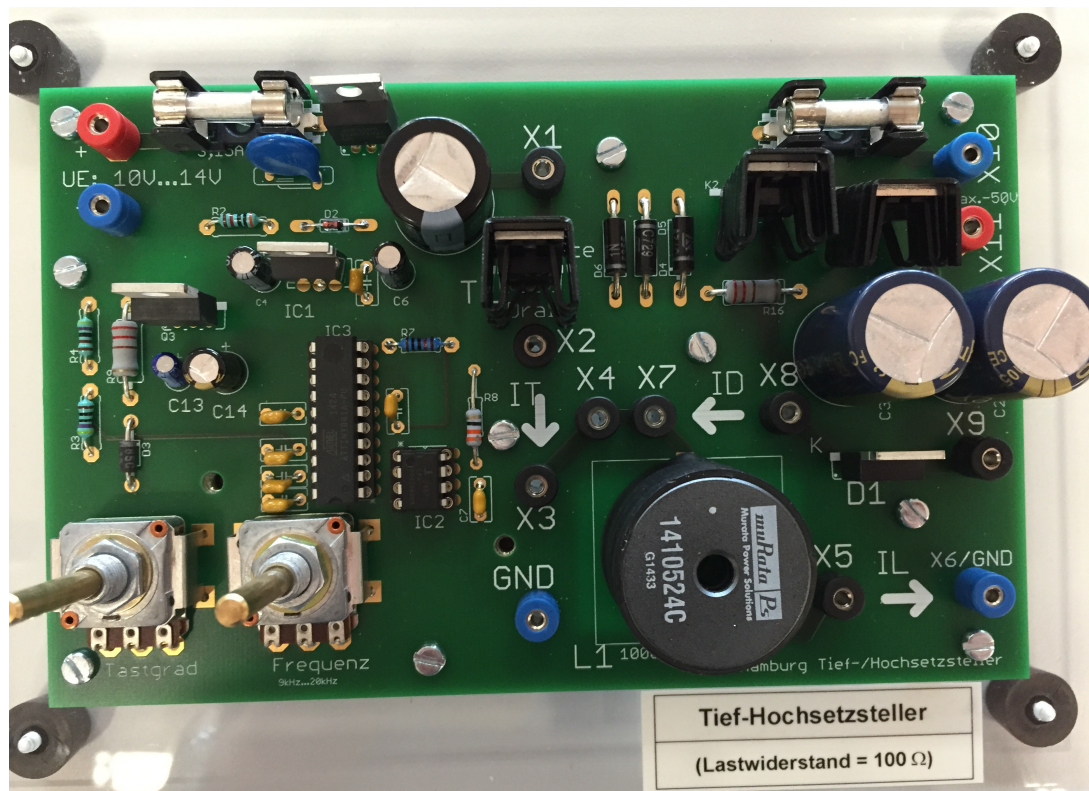


Abbildung 6.18.: Platine Tief-/Hochsetzsteller

Der Tief-/Hochsetzsteller wurde bei einer Schaltfrequenz von $f_{Takt} = 18\text{kHz}$ und einer Eingangsspannung von $U_e = 12\text{V}$ in Betrieb genommen. Als Last wurde ein 100Ω Leistungswiderstand angeschlossen.

Die Spannung über der Induktivität L1 kann zwischen den Messpunkten X4/X7 und X5, die Spannung über die Diode D1 zwischen den Messpunkten X9 und X8 und die Spannung über dem MOSFET T1 zwischen den Messpunkten X1 und X2 gemessen werden.

6.3.2. Darstellung der U_a - und I_a -Kennlinien

Die Eingangs- und Ausgangsspannung sowie der Eingangs- und Ausgangsstrom wurde mittels Multimeter in Abhängigkeit vom Tastgrad d gemessen und die Ergebnisse mit den theoretischen Ergebnissen grafisch aufgetragen. Die Ergebnisse sind auch in Tabelle 6.3 dargestellt.

Tastgrad d	0,1	0,199	0,301	0,401	0,497	0,599	0,7	0,749	0,801
$U_{a,theoretisch}$ in V	-2,0	-3,98	-6,02	-8,033	-11,85	-17,92	-28,0	-35,81	-48,3
$I_{a,theoretisch}$ in mA	-20,0	-39,8	-60,2	-80,33	-118,5	-179,2	-280,0	358,1	-483,0
$U_{e,gemessen}$ in V	1,72	3,71	5,72	7,28	11,07	16,47	25,49	31,71	40,07
$I_{e,gemessen}$ in mA	17,26	37,05	57,19	72,81	110,63	164,68	254,85	315,8	399,9

Tabelle 6.3.: Theoretische- und gemessene Ergebnisse des invertierenden Tief-/Hochsetzstellers bei $f_{Takt} = 18kHz$ und $U_e = 12V$

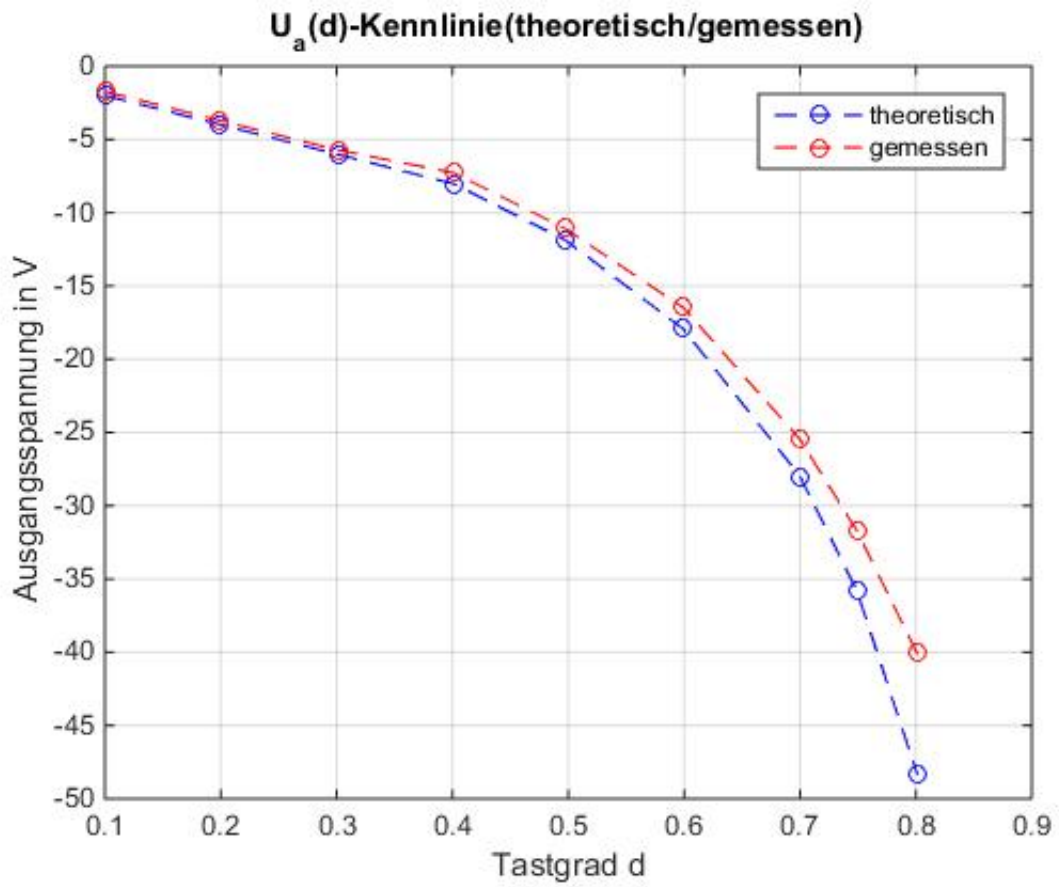


Abbildung 6.19.: Darstellung der $U_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 12V$,
 $f_{Takt} = 18kHz$, $R_{Last} = 10\Omega$)

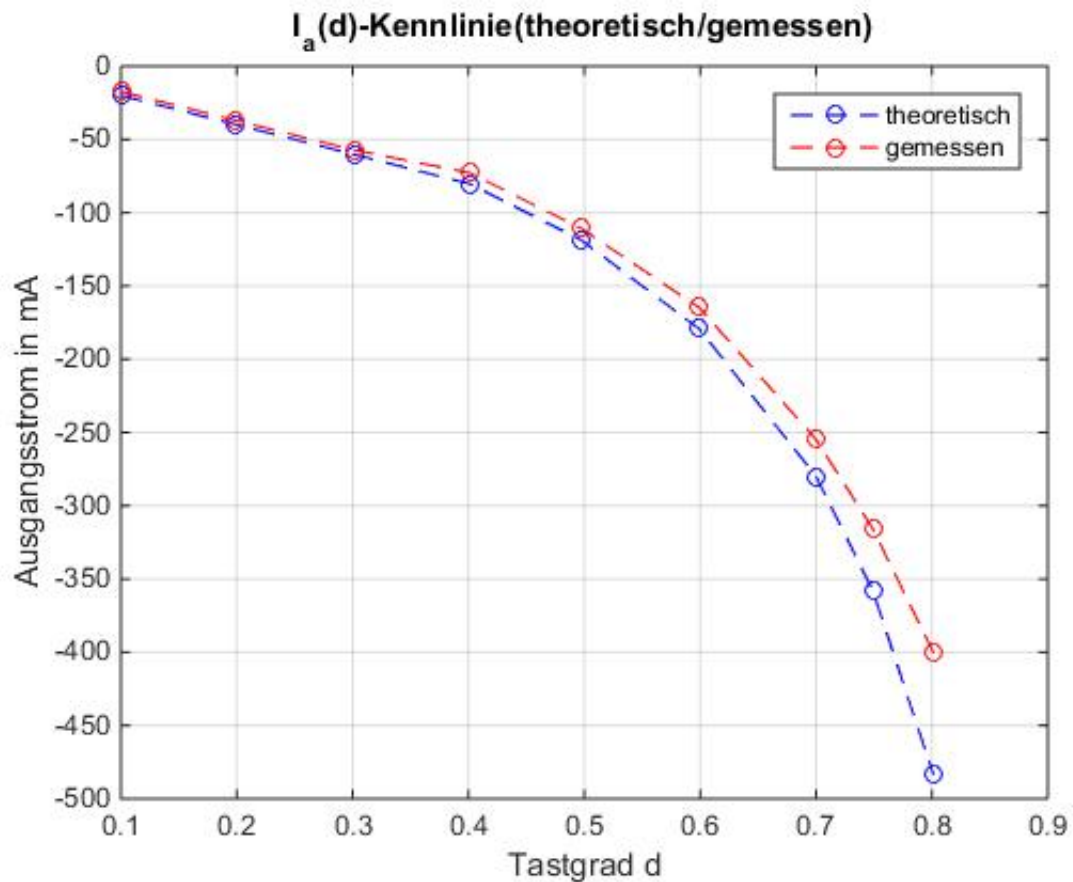


Abbildung 6.20.: Darstellung der $I_a(d)$ -Kennlinie(theoretisch/gemessen), ($U_e = 12V$, $f_{Takt} = 18kHz$, $R_{Last} = 10\Omega$)

Aus den oberen Grafiken erkennt man, dass die theoretischen und gemessenen Kennlinien sich bis etwa $d = 0,3$ linear verhalten und gut übereinstimmen. Ab etwa $d = 0,3$ entsteht eine Differenz zwischen den beiden Kennlinien. Die Differenz steigt mit steigendem Tastgrad.

6.3.3. Zeitliche Verläufe der U_L , I_L , U_T , I_T und U_D , I_D bei $U_e = 12V$, $f_{Takt} = 18kHz$ und $R_{Last} = 100\Omega$

Zeitlicher Verlauf von U_L und I_L

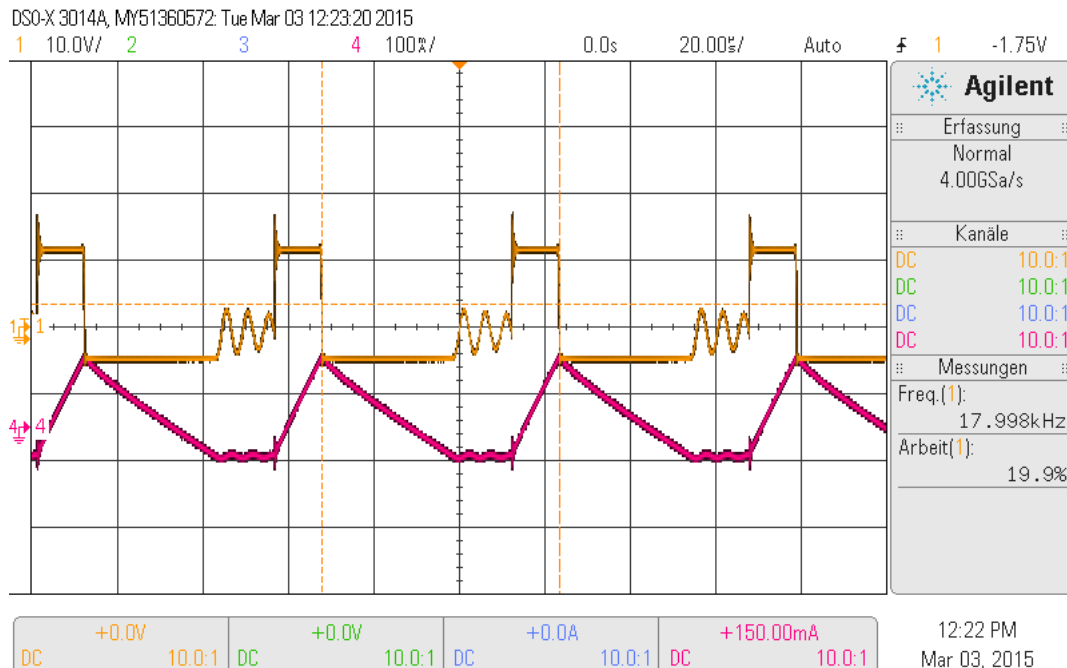


Abbildung 6.21.: Zeitlicher Verlauf von U_L (gelb) und I_L (rot) bei $d = 0,2$ (Lückbetrieb)

Bei $d = 0,2$ ist die Einschaltzeit viel kleiner als die Ausschaltzeit, deshalb wurde die Induktivität zu einem Zeitpunkt komplett entladen. Daraus ergibt sich ein lückender Strom. In dem Moment, in dem der Induktivitätsstrom lückt, springt die Spannung an der Induktivität auf $0V$. Da aber die Drain-Source-Kapazität parallel zur Dioden-Sperrschichtkapazität mit der Induktivität einen Schwingkreis bildet, der durch den Spannungssprung angeregt wird, ist die Induktivitätsspannung U_L eine abklingende Schwingung. Die abklingende Schwingung ist in Abbildung 6.22 bei $d = 0,089$ deutlicher zu sehen.

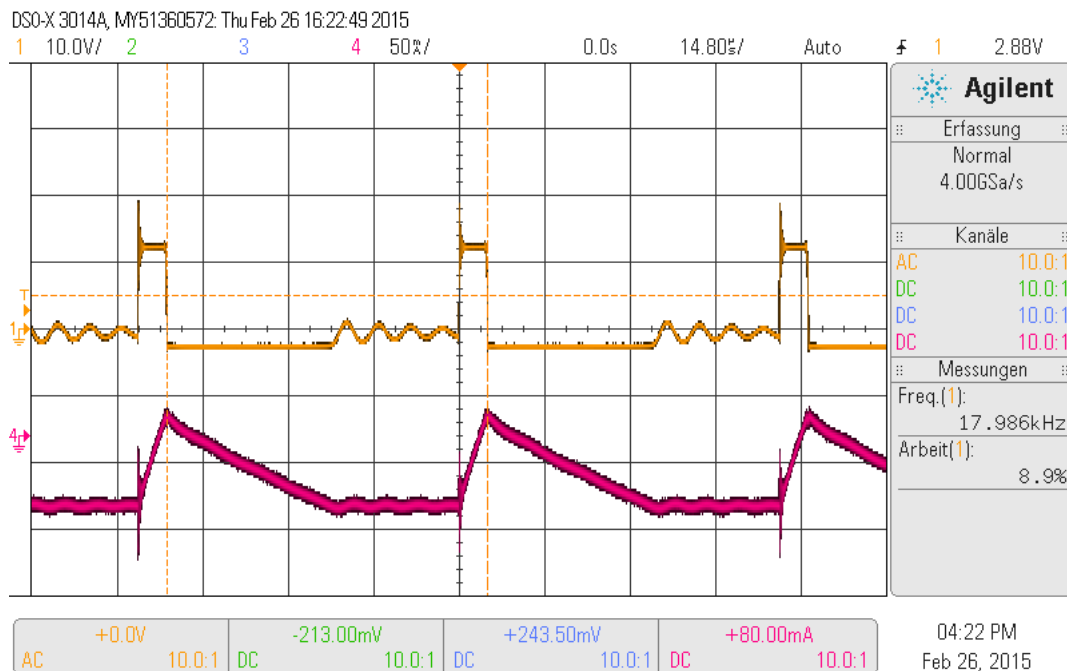


Abbildung 6.22.: Zeitlicher Verlauf von U_L (gelb) und I_L (rot) bei $d = 0,089$ (Lückbetrieb)

Der Strom durch die Induktivität ist ab einem Tastgrad von $d = 0,371$ nicht mehr lückend. Bei $d = 0,371$ beträgt die Ausgangsspannung $-6,533V$ und weicht aufgrund der Spannungsabfälle an den ohmschen Widerständen der anderen Bauteile $7,6\%$ von der idealen (verlustfreie Bauteile) Ausgangsspannung ab.

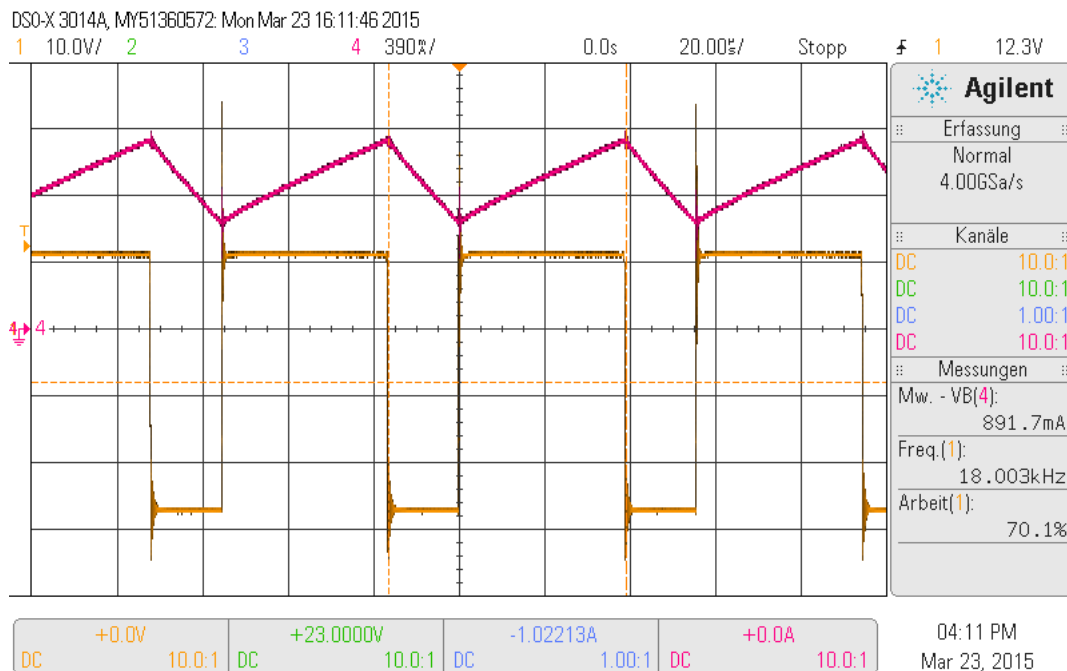
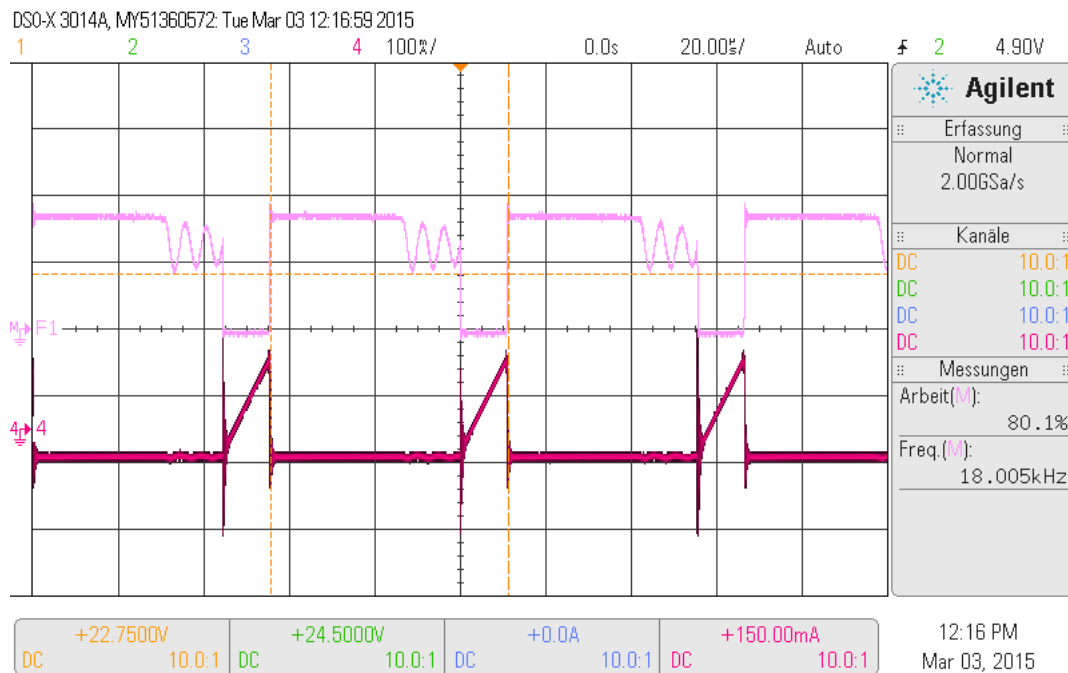


Abbildung 6.23.: Zeitlicher Verlauf von U_L (gelb) und I_L (rot) ($I_{L,avg} = 891,7\text{mA}$) bei $d = 0,7$

In Abbildung 6.23 ist der zeitliche Verlauf von U_L und I_L bei $d = 0,7$ dargestellt. Die Ausgangsspannung beträgt laut Multimeter $25,905\text{V}$ und liegt 7% unter der idealen Ausgangsspannung. Während der Einschaltzeit t_{ein} des MOSFETs liegt an der Induktivität die um die Drain-Source-Spannung $U_{DS(on)}$ des MOSFETs verminderte Eingangsspannung und der Induktivitätsstrom steigt linear an. Die Induktivität speichert eine magnetische Energie. Während der Ausschaltzeit t_{aus} ist der MOSFET gesperrt und der Induktivitätsstrom kommutiert von dem MOSFET zur Diode. Die Diode wird leitend. Der gemessene Stromrippel ΔI_L beträgt etwa 466mA und wird auch vom berechneten theoretischen Stromrippel bestätigt.

Zeitlicher Verlauf von U_T und I_T Abbildung 6.24.: Zeitlicher Verlauf von U_T (violett) und I_T (rot) bei $d = 0,2$ (Lückbetrieb)

Die Abbildung 6.24 zeigt den Strom- und Spannungsverlauf des MOSFETs im lückenden Betrieb. Wenn der Induktivitätsstrom lückt, springt die Sperrspannung über dem MOSFET auf die Eingangsspannung.

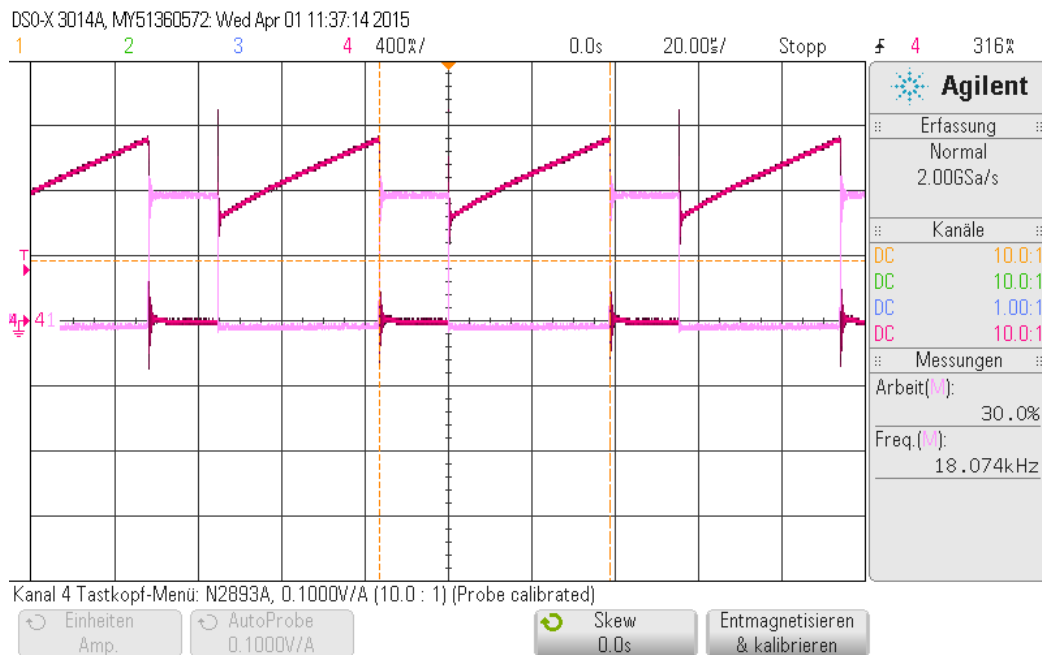
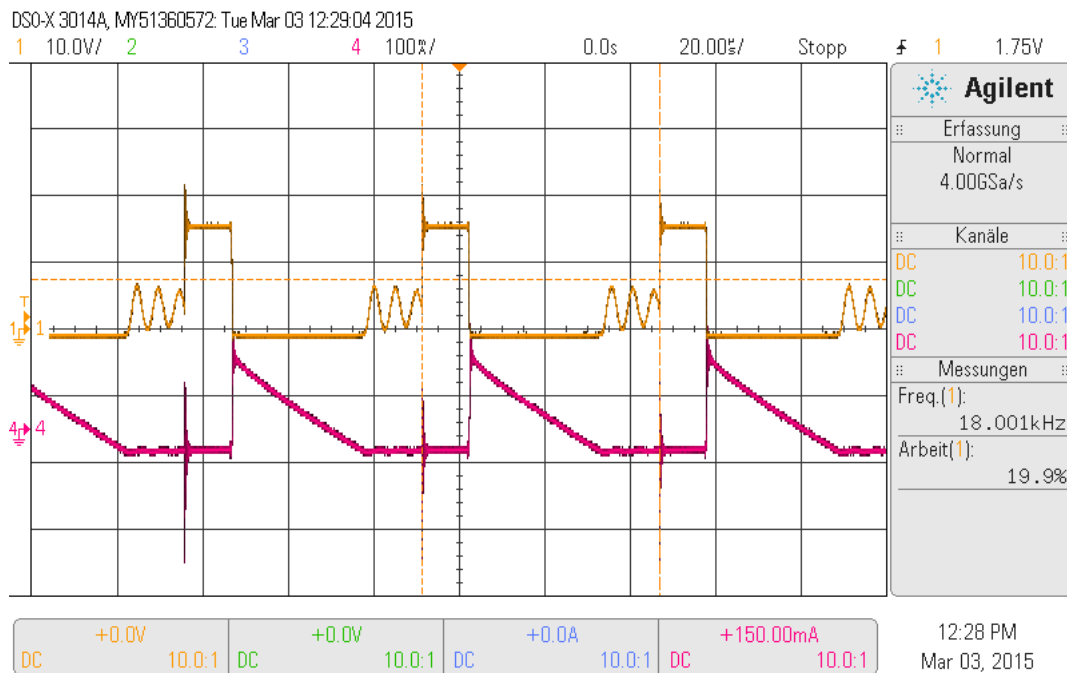


Abbildung 6.25.: Zeitlicher Verlauf von U_T (violett) und I_T (rot) bei $d = 0,7$

Während der Ausschaltzeit t_{aus} des MOSFETs liegt die Summe der Eingangs- und Induktivitätsspannung als Sperrspannung über dem MOSFET an. Bei $d = 0,7$ wurde in der Sperrphase über den Transistor eine Spannung von 38,125V gemessen. Während der Leitphase t_{ein} speichert die Induktivität magnetisch Energie.

Zeitlicher Verlauf von U_D und I_D Abbildung 6.26.: Zeitlicher Verlauf von U_D (gelb) und I_D (rot) bei $d = 0,2$ (Lückbetrieb)

Die Abbildung 6.26 zeigt den Strom- und Spannungsverlauf der Diode im lückenden Betrieb. Lückt der Strom in der Induktivität, beginnt die Diode die Ausgangsspannung zu sperren. Die abklingende Schwingung, die durch diesen Spannungssprung angeregt wird, ist auf parasitäre Kapazitäten und Induktivitäten zurückzuführen.

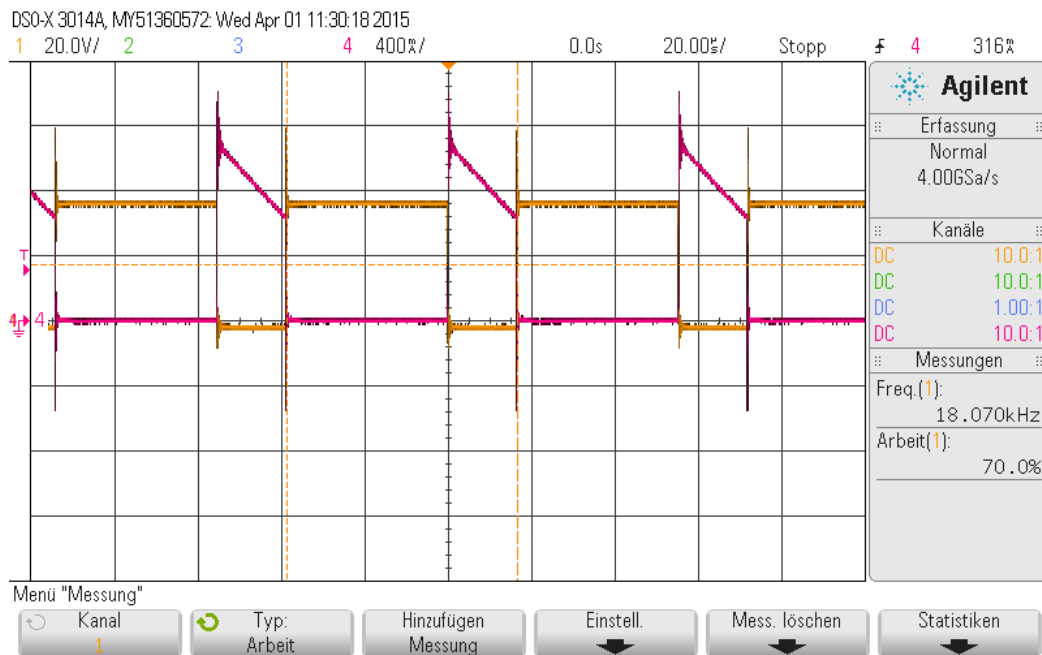
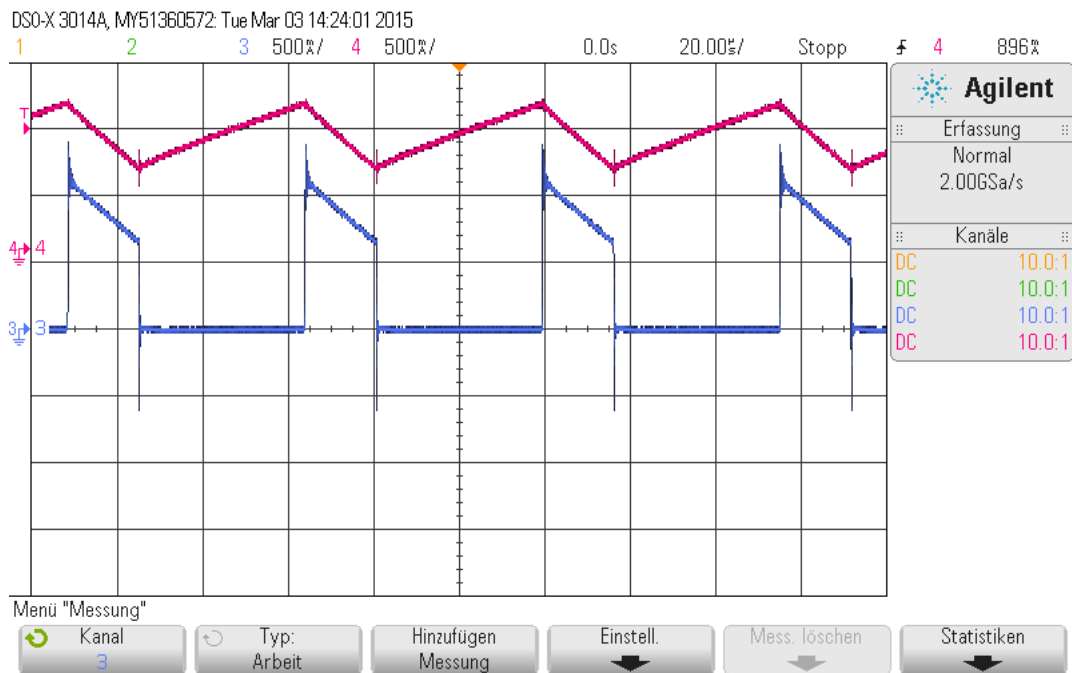


Abbildung 6.27.: Zeitlicher Verlauf von U_D (gelb) und I_D (rot) bei $d = 0,7$

Die Diode sperrt während der Einschaltzeit t_{ein} des MOSFETs und leitet in der Ausschaltzeit t_{aus} . Der Ausgangskondensator wird auf die Induktivitätsspannung abzüglich der Durchlassspannung der Diode geladen. Die Energie wird in der Ausschaltzeit zum Ausgang übertragen und der Ausgangskondensator lädt sich auf.

Zeitlicher Verlauf von I_L , I_D und I_T bei $d = 0,7$ Abbildung 6.28.: Zeitlicher Verlauf von I_L (rot) und I_D (blau) bei $d = 0,7$

Am Ende der Einschaltzeit t_{ein} des MOSFETs kommutiert der Induktivitätsstrom von dem MOSFET zur Diode.

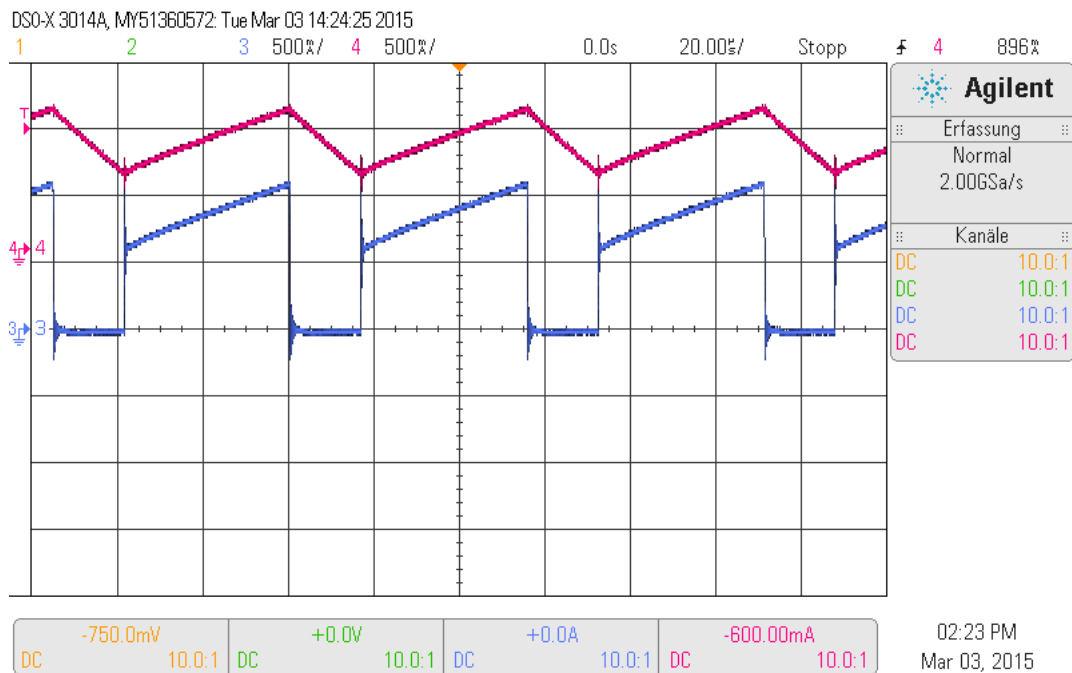


Abbildung 6.29.: Zeitlicher Verlauf von I_L (rot) und I_T (blau) bei $d = 0,7$

Am Ende der Ausschaltzeit t_{aus} des MOSFETs kommutiert der Induktivitätsstrom von der Diode zurück auf den MOSFET.

7. Fazit

In dieser Arbeit sollte ein Tiefsetz-, ein Hochsetz- und ein invertierender Tief-/Hochsetzsteller für den Praktikumsversuch im Labor für Energietechnik entworfen, aufgebaut und getestet werden. Dabei wurde das Simulationstool PORTUNUS als Orientierungshilfe und zum besseren Verständnis beim Entwerfen, Dimensionieren und Optimieren der Schaltungen verwendet. Die Umsetzung ist ohne allzu große Probleme abgelaufen.

Für die Ansteuerung des MOSFETs (als Schalter) der jeweiligen DC/DC-Steller wurde ein Mikrocontroller verwendet, dessen PWM-Signal mittels einer CMOS-Treibers verstärkt wurde. Die Steuerung des Tastgrades und der Schaltfrequenz der jeweiligen DC/DC-Stellern konnten mittels der jeweiligen Potentiometer eingestellt werden. Desweiteren wurden die Bauteile für die Schaltungen dimensioniert und gewählt. Danach wurden die Platinen gelay-outet.

Nachdem die entworfenen DC/DC-Stellern fertiggestellt waren, wurden zuerst die Funktionen getestet und anschließend Messungen durchgeführt. Der Überspannungsschutz am Ausgang des Hochsetzstellers und des Tief-/Hochsetzstellers funktionierten im Leerlauf wie erwartet und begrenzten die Spannung auf etwa 54V.

Literaturverzeichnis

- [1] ATMEL: *ATtiny261/462/861 Datasheet*. URL <http://www.atmel.com/images/doc8197.pdf>, 05/2011
- [2] DURCANSKY, Georg: *EMV-gerechtes Gerätedesign*. Franzis, 1999. – ISBN 3-7723-5388-6
- [3] EAGLE: *EAGLE Handbuch Version 4.1*. URL http://www.cadsoft.de/fileadmin/journalist/Documents/manual-ger_4.1.pdf, 2004
- [4] GUTEKUNST, E. Hering; K. Bressler; J.: *Elektronik für Ingenieure und Naturwissenschaftler*. Springer Vieweg, 2014. – ISBN 978-3-642-05498-3
- [5] INTERSIL: *ICL7667 Datasheet*. URL <https://www.intersil.com/content/dam/Intersil/documents/icl7/icl7667.pdf>, 04/2010
- [6] KILGENSTEIN, Otmar: *Schaltnetzteile in der Praxis*. Vogel, 1986. – ISBN 3-8023-0727-5
- [7] MICROCHIP: *TC4427 Datasheet*. URL <http://ww1.microchip.com/downloads/en/DeviceDoc/21422D.pdf>, 10/2005
- [8] MIKROCONTROLLER.NET: *AVR - In System Programming (ISP)*. URL http://www.mikrocontroller.net/articles/AVR_In_System_Programmer#ISP, 04/2015
- [9] RECTIFIER, International: *IRF530N Datasheet*. URL <http://www.irf.com/product-info/datasheets/data/irf530n.pdf>, 03/2001
- [10] RECTIFIER, International: *IRF9530N Datasheet*. URL <http://www.irf.com/product-info/datasheets/data/irf9530n.pdf>, 05/1998
- [11] RÖTHER, Prof. Dr.-Ing M.: *E6-LE-Antriebe und Leistungselektronik/Hochschule für Angewandte Wissenschaften Hamburg, Vorlesung Handout 03*. 2013
- [12] SALZBURGER, Irmtraut M.: *AVR-Mikrocontroller-Kochbuch, Entwurf und Programmierung praktischer Anwendungen*. Franzis, 2013. – ISBN 978-3-645-65126-4
- [13] SCHLIENZ, Prof. Dr. U.: *Schaltnetzteile und ihre Peripherie*. Springer Vieweg, 2011. – ISBN 978-3-8348-1646-7

-
- [14] SEMICONDUCTOR, ON: *MBR10100 Datasheet*. URL http://www.onsemi.com/pub_link/Collateral/MBR1080-D.PDF, 01/2012
- [15] THIEL, Udo L.: *Schaltnetzteile erfolgreich planen und dimensionieren*. Franzis, 1995. – ISBN 3-7723-7682-7
- [16] TIETZE, U. ; SCHENK, Ch.: *Halbleiter-Schaltungstechnik*. Springer, 2002. – ISBN 3-540-42849-6
- [17] ZANTIS, Franz-Peter: *Schaltnetzteile-Funktionsprinzip und Nachbausaltungen*. elektor, 1994. – ISBN 3-928051-75-X
- [18] ZASTROW, Dieter: *Elektronik*. Vieweg+Teubner, 2011. – ISBN 978-3-8348-1421-0

A. Glossar

A.1. Abkürzungen

Abb. Abbildung

AD Analog/Digital

ADC Analog/Digital-Converter

C Kondensator

CPU Central Processing Unit

D Diode

DC Direct Current, Gleichstrom

EAGLE Easily Applicable Graphical Layout Editor

EDA Electronic Design Automation

ELKO Elektrolytkondensator

ESR Equivalent Series Resistance, Ersatzserienwiderstand (Kondensator)

Gl. Gleichung

IC Integrated Circuit

ISP In System Programming

L Induktivität, Spule, Drossel

MOSFET Metall-Oxid-Halbleiter-Feldeffekttransistor

MOV Metalloxid-Varistor

PWM Pulsweitenmodulation

S Schalter

T Transistor

A.2. Formelzeichen

d	Duty Cycle, Tastgrad
f	Frequenz
f_{Takt}	Schaltfrequenz
C	Kapazität
C_{gd}	Gate-Drain-Kapazität (MOSFET)
C_{gs}	Gate-Source-Kapazität (MOSFET)
C_{iss}	Eingangskapazität (MOSFET)
I	Strom
I_{Drain}	Drainstrom (MOSFET)
I_F	Strom durch die Diode in Durchlassrichtung
I_{FAV}	Arithmetischer Mittelwert des Diodenstroms
I_R	Strom durch die Diode in Sperrrichtung
I_{Last}	Laststrom
L	Induktivität
P	Leistung
P_V	Verlustleistung
$P_{V,driving}$	Ansteuerungsverluste (MOSFET)
P_{vDd}	Durchlassverlustleistung einer Diode
P_{vDs}	Schaltverlustleistung einer Diode
P_{vDr}	Sperrverlustleistung einer Diode
P_{vTd}	Durchlassverlustleistung eines MOSFET-Transistors
P_{vTs}	Schaltverlustleistung eines MOSFET-Transistors
P_{vTr}	Sperrverlustleistung eines MOSFET-Transistors

Q	Ladung
R	ohmscher Widerstand
R_{Last}	ohmscher Lastwiderstand
T	Periodendauer
t	Zeit
t_f	Anstiegszeit
t_r	Abfallzeit
t_s	Schaltzeit
U	Spannung
U_F	Flussspannung, Spannung an der Diode in Durchlassrichtung
U_R	Sperrspannung, Spannung an der Diode in Sperrrichtung
U_{Last}	Lastspannung
Δ	Differenz
ΔI_L	Stromrippel in der Induktivität ($I_{L,max} - I_{L,min}$)
η	Wirkungsgrad

A.3. Indizes

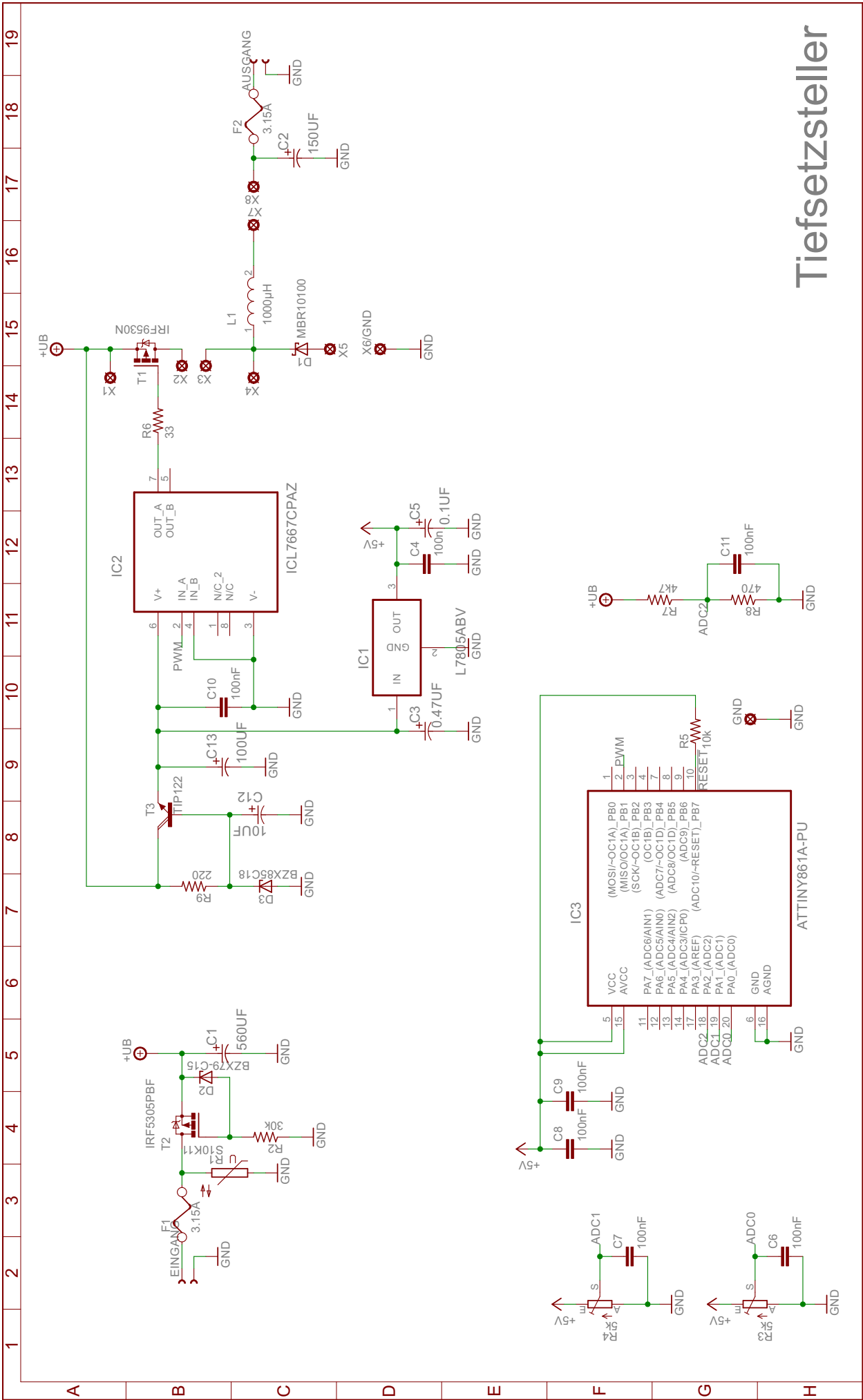
a	Eingang
aus	Ausschalt-
avg	Mittelwert
C	Kondensator-
e	Ausgang
eff	Effektivwert
ein	Einschalt-
D	Dioden-

<i>DC</i>	Direct Current, Gleichstrom
<i>ds</i>	Drain-Source
<i>ds(off)</i>	Drain-Source im ausgeschalteten Zustand
<i>ds(on)</i>	Drain-Source im eingeschalteten Zustand
<i>g</i>	Gate
<i>gs</i>	Gate-Source
<i>L</i>	Induktivitäts-
<i>max</i>	Minimalwert
<i>min</i>	Maximalwert
<i>rr</i>	Reverse Recovery
<i>T</i>	Transistor- (MOSFET)

B. Schaltpläne und Layouts

B.1. Schaltplan des Tiefsetzstellers

Tiefsetzsteller



B.2. Layout des Tiefsetzstellers

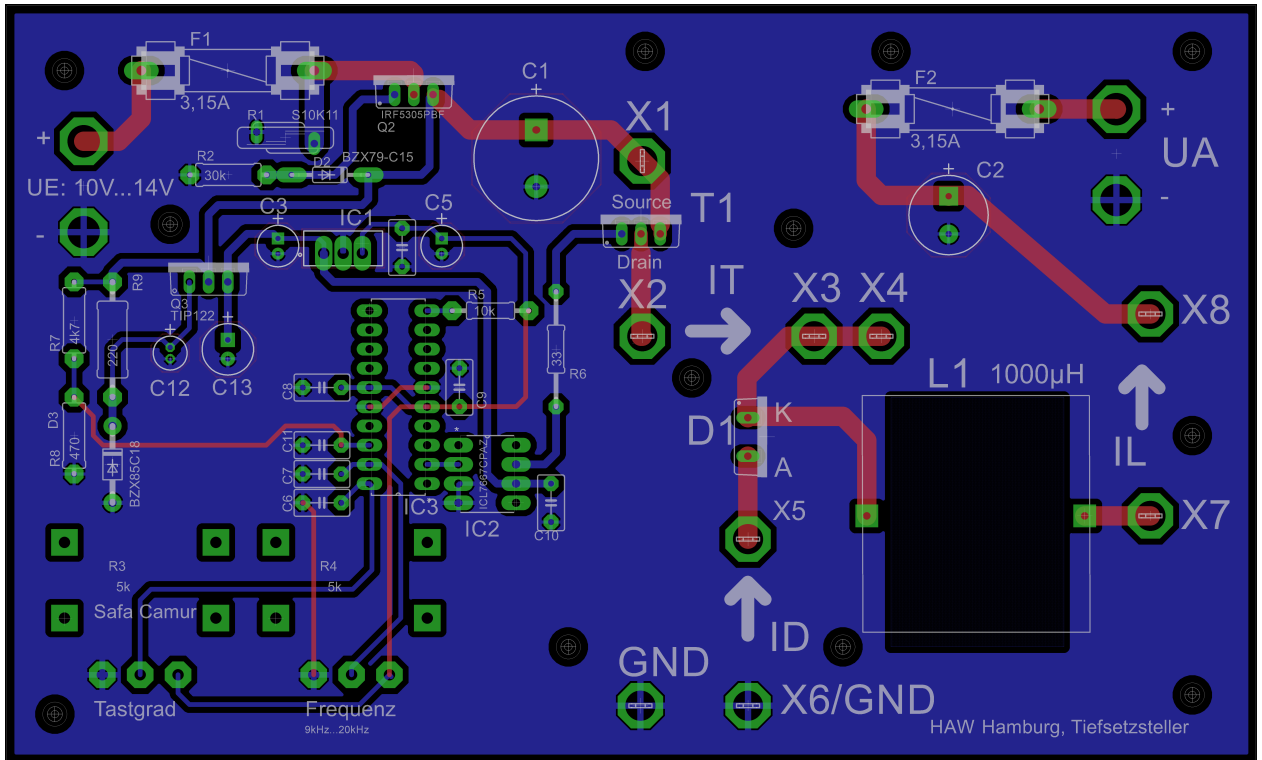
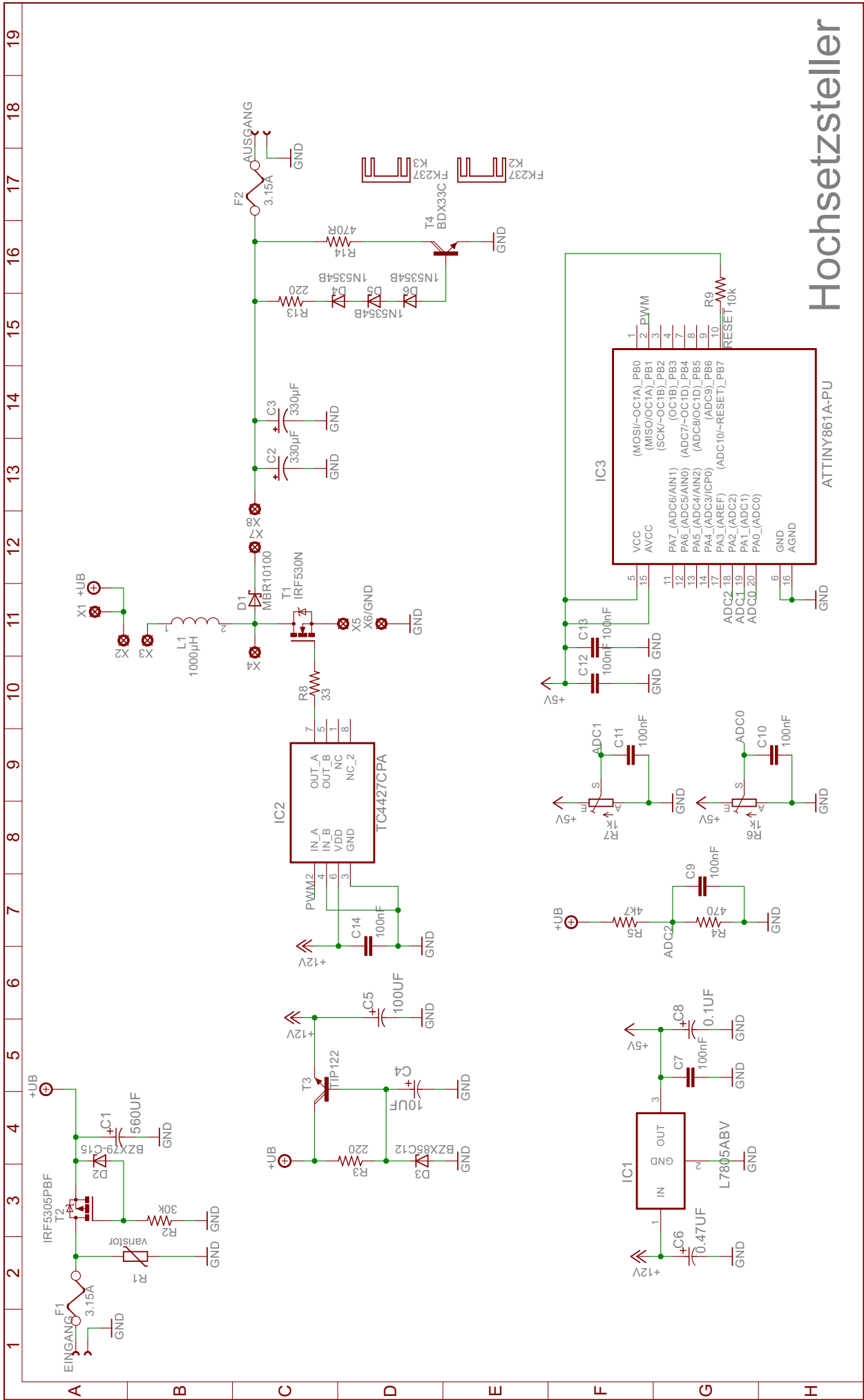


Abbildung B.1.: Layout des Tiefsetzstellers

B.3. Schaltplan des Hochsetzstellers



Hochsetzsteller

B.4. Layout des Hochsetzstellers

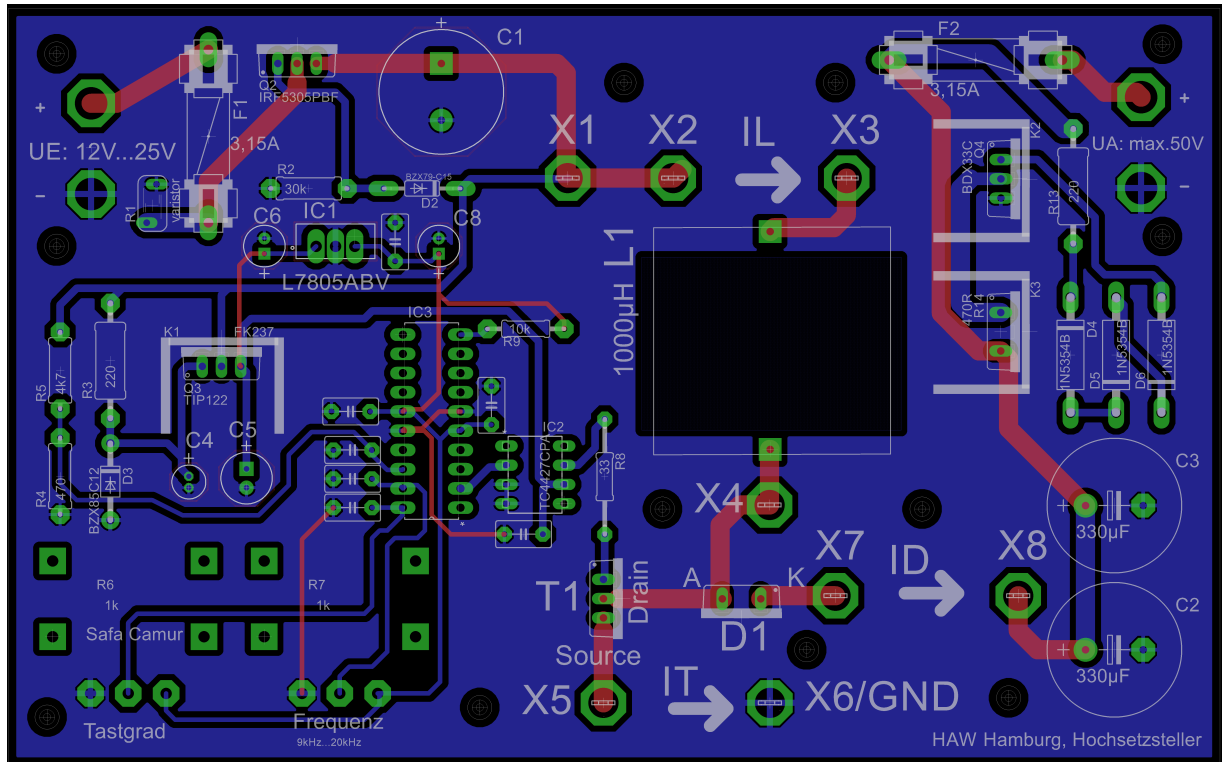
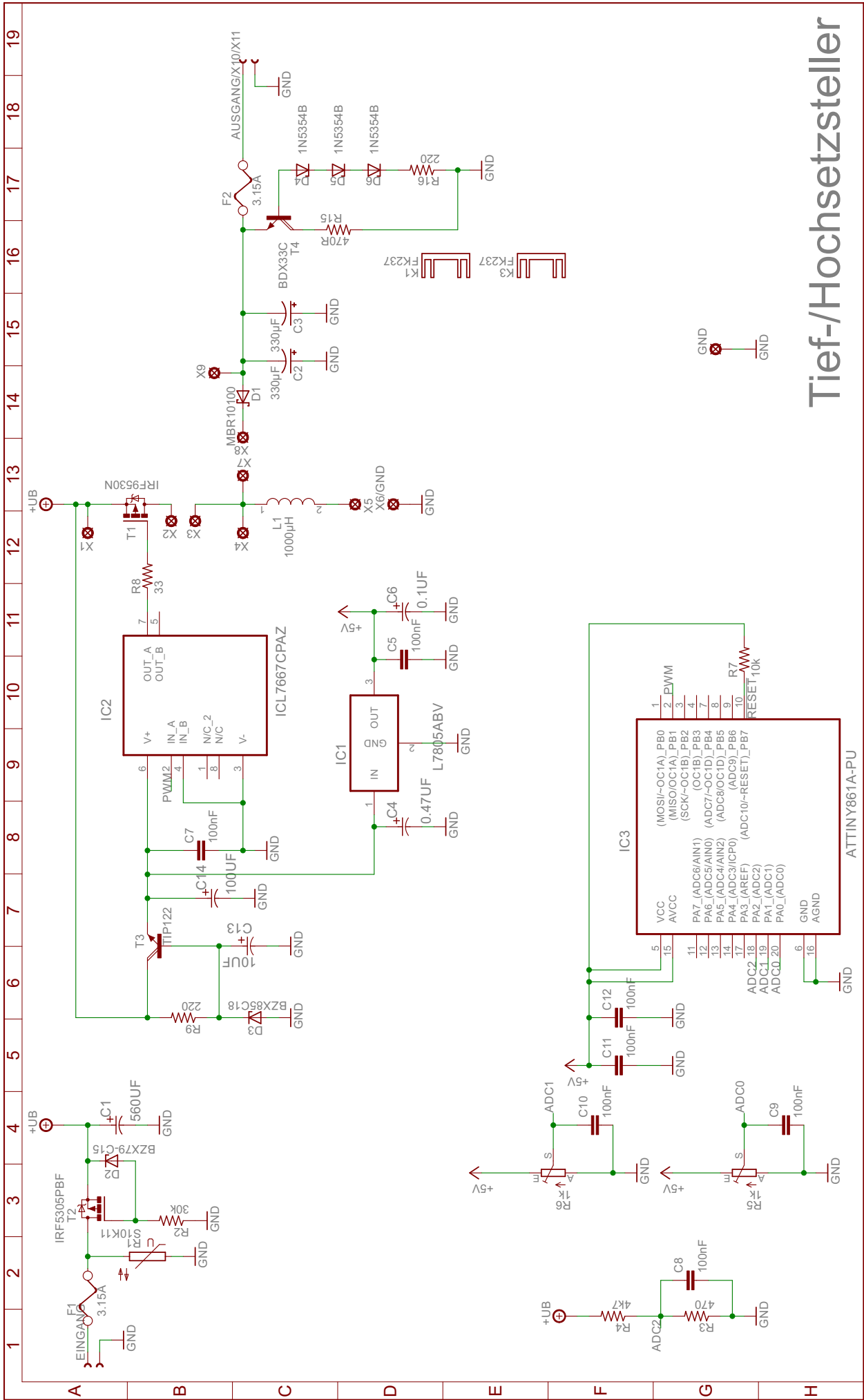


Abbildung B.2.: Layout des Hochsetzstellers

B.5. Schaltplan des invertierenden Tief-/Hochsetzstellers



Tief-/Hochsetzsteller

B.6. Layout des invertierenden Tief-/Hochsetzstellers

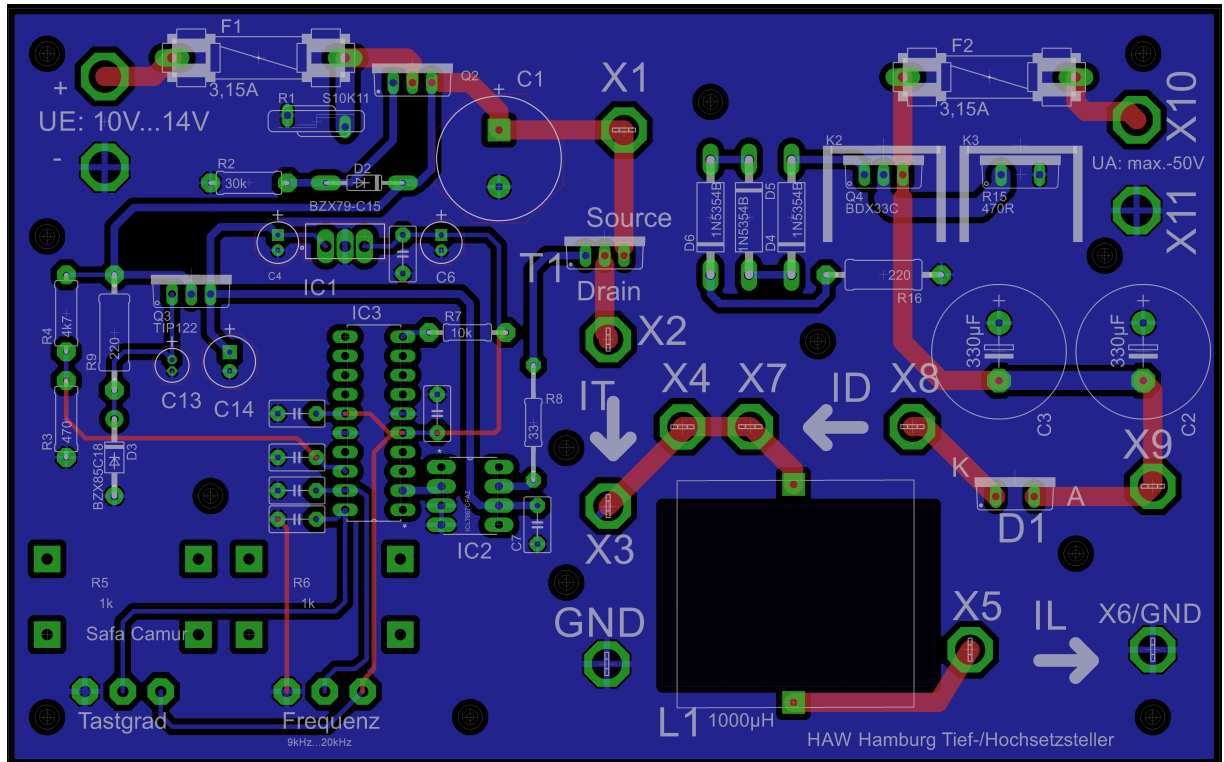


Abbildung B.3.: Layout des Tief-/Hochsetzstellers

Versicherung über die Selbstständigkeit

Hiermit versichere ich, dass ich die vorliegende Arbeit im Sinne der Prüfungsordnung nach §16(5) APSO-TI-BM ohne fremde Hilfe selbstständig verfasst und nur die angegebenen Hilfsmittel benutzt habe. Wörtlich oder dem Sinn nach aus anderen Werken entnommene Stellen habe ich unter Angabe der Quellen kenntlich gemacht.

Hamburg, 22. April 2015

Ort, Datum

Unterschrift